

---

# LTE-Advanced SAW-Less 송신기용 7개 채널 차단 주파수 및 40-dB 이득범위를 제공하는 65-nm CMOS 저전력 기저대역 회로 설계에 관한 연구

김성환\* · 김창완\*\*

A 65-nm CMOS Low-Power Baseband Circuit with 7-Channel Cutoff Frequency and 40-dB Gain Range for LTE-Advanced SAW-Less RF Transmitters

Sung-hwan Kim\* · Chang-wan Kim\*\*

---

이 논문은 2013년도 동아대학교 학술 연구비를 지원받았음

---

## 요 약

본 논문에서는 SAW 필터가 없는 LTE-Advanced RF 송신기에 적용 가능한 기저대역 송신단 회로를 제안한다. 제안하는 기저대역 송신단 회로는 Tow-Thomas 구조의 2차 능동 저역통과 필터 1개와 1차 수동 RC 필터 1개로 구현되었으며, 0.7 MHz, 1.5 MHz, 2.5 MHz, 5 MHz, 7.5 MHz, 10 MHz, 그리고 20 MHz의 총 7개의 채널 차단 주파수를 제공하며, 각 채널 별로 -41 dB에서 0 dB까지 1-dB 단계로 이득 조절이 가능하다. 제안하는 2차 능동 저역 통과 필터 회로는 DC 소모 전류 효율을 높이기 위해 채널 차단 주파수를 세 그룹으로 나누어서 선택된 차단 주파수 그룹에 따라 연산증폭기의 전류 소모를 3단계로 가변 할 수 있도록 연산증폭기 내부에 3개의 단위-연산증폭기(OTA)를 병렬로 연결하여 선택적으로 사용할 수 있도록 설계하였다. 또한, 제안하는 연산 증폭기는 저전력으로 1-GHz UGBW(Unit Gain Bandwidth)를 얻기 위해 Miller 위상 보상 방식과 feed-forward 위상 보상 방식을 동시에 사용하였다. 제안하는 기저대역 송신기는 65-nm CMOS 공정을 사용하여 설계되었고 1.2 V의 전압으로부터 선택된 채널 대역폭에 따라 최소 6.3 mW, 최대 24.1 mW의 전력을 소모한다.

## ABSTRACT

This paper describes a low-power baseband circuit for SAW-less LTE-Advanced transmitters. The proposed transmitter baseband circuit consists of a 2nd-order Tow-Thomas type active RC-LPF and a 1st-order passive RC LPF. It can provide a 7 multi-channel cut-off frequencies and wide gain control range of -41 dB ~ 0 dB with a 1-dB step. The proposed 2nd-order active RC-LPF adopts an op-amp in which three other sub-op amps are in parallel connected to reduce DC current for different cutoff frequency. In addition, each sub-op amp adopts both Miller and feed-forward phase compensation method to achieve an UGBW of more than 1-GHz with a small DC power consumption. The proposed baseband circuit is implemented in 65-nm CMOS technology, consuming DC power from 6.3 mW to 24.1 mW from a 1.2V supply voltage for each different cut-off frequency.

## 키워드

주파수 보상, 저역 통과 필터, CMOS, LTE-Advanced, SAW-Less, 송신기

## Key word

CMOS, Frequency compensation, LTE-Advanced, LPF, SAW-Less, Transmitter

---

\* 준회원 : 동아대 학교(주저자, butterf0@hanmail.net)

\*\* 정회원 : 동아대 학교(교신저자)

접수일자 : 2012. 10. 18

심사완료일자 : 2012. 11. 12

Open Access <http://dx.doi.org/10.6109/jkiice.2013.17.3.678>

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.  
Copyright © The Korea Institute of Information and Communication Engineering.

## I. 서 론

최근 SAW(Surface Acoustic Wave) 필터를 제거하는 3세대 및 4세대 이동통신용 RF 칩 개발이 주류를 이루고 있다. 그러나 SAW 필터가 없는 RF 칩에서 가장 큰 문제점은 수신 대역폭에 위치하는 송신 노이즈 파워가 듀플렉스(duplexer)의 제한된 격리 특성(Isolation)으로 인해 수신단으로 흘러 들어가서 수신단의 수신감도를 저하시키는 것으로 수신 대역폭에 위치하는 송신 노이즈 파워 레벨은 최대한 낮아야 한다[1].

최근 발표된 SAW 필터가 없는 이동통신용 RF 송신단들은 기저대역 회로인 저역 통과 필터(low-pass-filter, LPF) 및 가변 증폭기(variable gain amplifier, VGA)에서 발생하는 노이즈를 최대한 줄여서 전력 증폭기에 의해 증폭된 후 수신 대역폭에 위치하는 송신 노이즈 파워 레벨을 줄이는 방법을 대부분 사용하고 있다[1-3]. 그림 1에 보는 바와 같이, SAW-Less RF 송신기에서 기저대역 회로는 능동 low-pass filter(LPF)는 2차로 구현하고 저주파 노이즈 특성이 우수한 수동 RC LPF를 1차로 구성하여 총 3차 필터링 특성을 제공할 수 있도록 설계된다[1-3]. 여기서 1차 수동 RC LPF는 앞단의 2차 능동 LPF에서 발생하는 수신단 대역폭에 위치하는 노이즈 성분들을 필터링하여 구동 증폭기(Driver amplifier, DA)나 전력 증폭기(Power amplifier, PA)에 의해 최소한으로 증폭되도록 한다. 또한, RF 블록은 저주파 노이즈가 없는 수동 믹서(passive mixer)와 구동 증폭기로 구성되어 있다.

향후 차세대 이동통신 규격인 LTE-Advanced RF 송신기는 그림 1의 SAW 필터가 없는 RF 송신단 형태를 가지면서 1-dB단계로 70 dB 이상 이득 제어가 가능해야 하고, 1.4 MHz, 3 MHz, 5 MHz, 10 MHz, 15 MHz, 20 MHz, 그리고 40 MHz의 다중 채널 대역폭을 지원해야 한다. 여기서 기저대역 저역 통과 필터의 채널 차단 주파수는 채널 대역폭의 1/2배이므로 기저대역 저역 통과 필터에 사용되는 연산증폭기는 1-GHz 이상의 UGBW (Unit Gain Band-Width)를 가져야 하는데, 이는 많은 DC 전류 소모가 예상된다.

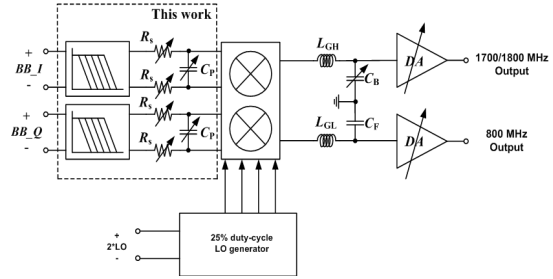


그림 1. SAW-less LTE-Advanced 송신기 블록도  
Fig. 1 SAW-Less LTE-Advanced Transmitter

본 논문에서는 SAW 필터가 없는 차세대 LTE-Advanced 송신기에 적용 가능한, 전류 효율이 높은 기저대역 회로에 대한 설계와 모의실험 결과를 기술한다. 제안하는 기저대역 회로는 LTE-Advanced 시스템의 채널 특성 규격을 저전력으로 만족시키기 위해 새로운 저전력 연산 증폭기 구조를 이용하였고, RF 블록에 35 dB 이득 제어가 할당된 가정 하에, 각 채널 별로 -41 dB ~ 0 dB 범위에 걸쳐 전압 이득을 1-dB 단계로 제공할 수 있다.

## II. 기저대역 송신기 회로 설계

그림 2에 본 논문에서 제안하는 기저대역 송신단 회로를 상세하게 나타내었다. 제안하는 2차 능동 RC 타입 저역 통과 필터는 채널 차단 주파수와 이득제어를 독립적으로 조정하기 위하여, Q-factor, 전압이득, 그리고 채널 차단 주파수를 각각 독립적으로 조절할 수 있는 Tow-Thomas 구조를 채택하였다. 그림 2에서 채널 차단 주파수는  $C_1$ ,  $C_2$ ,  $R_2$ , 그리고  $R_3$ 로 결정되므로 0.7 MHz, 1.5 MHz, 2.5 MHz, 5 MHz, 7.5 MHz, 10 MHz, 그리고 20 MHz의 7가지 채널 차단 주파수를 조정하기 위해서는 저항  $R_2$ 와  $R_3$  및 커패시터  $C_1$ 과  $C_2$ 를 조절하여야 한다. 2차 Tow-Thomas 저역 통과 필터의 채널 차단 주파수( $w_n$ ) 및 Q-factor는 식 (1), (2)과 같이 나타낼 수 있다[4].

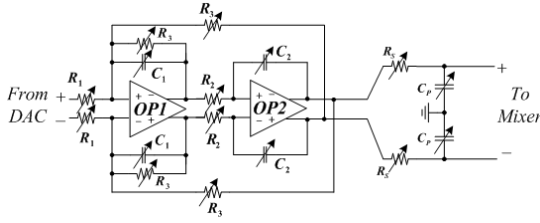


그림 2. 제안하는 기저대역 송신단 회로들  
Fig. 2 Proposed baseband transmitter circuits

$$w_n = \frac{1}{\sqrt{R_2 R_3 C_1 C_2}} \quad (1)$$

$$Q^{-1} = \frac{1}{R_3} \sqrt{\frac{R_2 R_3 C_2}{C_1}} \quad (2)$$

제안하는 저역 통과 필터의 채널 차단 주파수가 0.7 MHz에서 20 MHz까지 7 단계로 조정하기 위해서는 식 (1)에서 커패시터 값 ( $C_1$ 과  $C_2$ )만 조절하게 되면 칩 면적이 너무 커지게 되므로 저항 값 ( $R_2$ 와  $R_3$ )도 동시에 가변시켜 줌으로써 커패시터의 값을 줄여 칩 면적을 줄일 수 있다. 본 연구에서는 그림 2에서  $R_3$ 를 25 kΩ 또는 100 kΩ로 가변 할 수 있도록 하고, 각각의  $R_3$  값에 따라 1.5 MHz에서 5 MHz까지의 커패시터 값과 7.5 MHz에서 20 MHz까지의 커패시터 값을 공유하여 칩의 면적을 줄일 수 있도록 설계하였다. 또한, 식 (2)로부터  $R_3$ 값의 변화에 따라 각 채널별로 독립적으로  $Q$ -factor를 조정하기 위해  $R_2$ 를 16 kΩ 또는 70 kΩ으로 두 가지 값으로 선택 가능하도록 하였다.

그림 3은 그림 2의 저역통과 필터에 사용된 두 개의 연산증폭기 OP1과 OP2의 내부 구성 블록도를 보여주고 있다. 일반적으로 채널 차단 주파수와 연산 증폭기의 DC 전류 소모량은 비례관계에 있기 때문에, 본 논문에서는 높은 전류 효율성으로 7개의 다양한 채널 차단 주파수를 제공하는 연산 증폭기 OP1과 OP2를 구현하기 위하여, 그림 3에서 보는 바와 같이 연산증폭기(OP1과 OP2)내부에 각각 3 개의 단위 연산증폭기(OTA1-3)가 병렬 구조로 연결되어 있도록 설계하였다. 디지털 제어 신호에 의해 원하는 채널 차단 주파수에 따라 3개의 단위 연산 증폭기중 한 개만 선택되어 동작하도록 하였다.

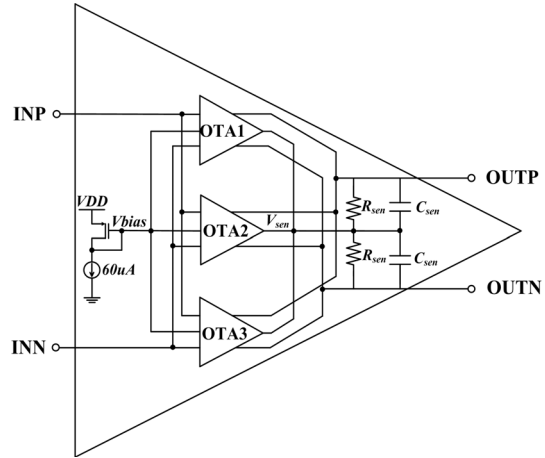


그림 3. 연산증폭기 구조  
Fig. 3 Proposed OP-amp structure

그림 3에서 공통 출력 모드 레벨 감지 회로(common-mode output voltage sensing circuit)인  $R_{sen}$ 와  $C_{sen}$ 은 3개의 단위 연산증폭기가(OTA1-3) 공유하여 회로의 재활용성을 높였다[5].

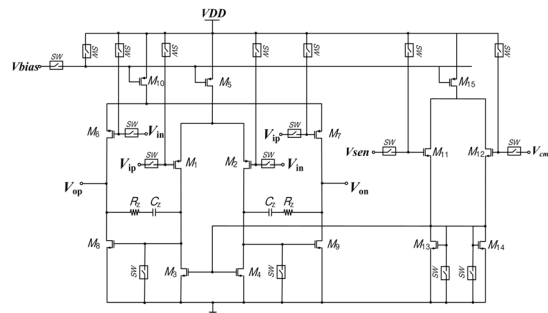


그림 4. 제안된 단위 연산증폭기(OTA)  
Fig. 4 Proposed OTA schematic

그림 4는 그림 3의 단위 연산증폭기(OTA1-3)에 대한 대표 회로도를 보여 주고 있다. 그림 3에서 보는 바와 같이 단위 연산 증폭기는 3 가지(OTA 1-3)가 있지만 기본 구조는 그림 4와 동일하고, 단지 UGBW와 DC 전류 소모가 각각 할당 된 채널 차단 주파수별로 최적화 되었다. 그림 4에서  $M_1 \sim M_5$ 는 입력 증폭단을 구성하고  $M_6 \sim M_{10}$ 은 두 번째 출력단을 구성한다. 그리고  $M_{11} \sim M_{15}$ 는 CMFB(Common Mode Feedback)회로이다.

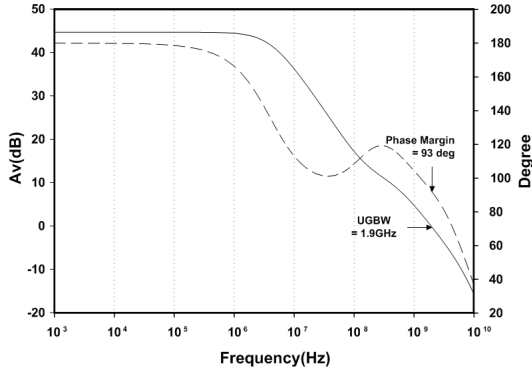


그림 5. OTA3의 위상 및 이득 곡선  
Fig. 5 Simulated phase and gain curve of OTA3

각 선로에 위치한 스위치들은 선택한 차단 주파수에 따라 3 개의 단위 연산증폭기 중 1개를 선택하기 위해 사용되었다. 그림 3의 단위 연산 증폭기 (OTA)는 최대 20 MHz의 채널 차단 주파수를 제공해야 하므로 UGBW (Unit Gain Band-Width)가 1-GHz 이상 필요하다. 일반적으로 Miller 위상 보상 설계 기술을 사용하여 1-GHz 이상의 UGBW를 제공하는 OTA는 많은 DC 전류가 소모되는데, 본 연구에서는 그림 4에서 보는 바와 같이 전류 소모를 줄이고 높은 UGBW를 얻기 위해 Miller 위상 보상 방법을 1차적으로 사용하고, 기존의 출력단의 부하로 사용되던 트랜지스터  $M_6$  와  $M_7$  입력 게이트 단에 입력신호를 인가하여 추가적인 전류 소모는 없으면서 두 번째 극점 근처에 영점을 생성시켜 1-GHz 이상의 UGBW에서 위상 이득을 만족시킬 수 있는 전류 재사용 feed-forward 보상 방식을 동시에 사용하였다[6].

그림 5는 가장 큰 UGBW를 가지는 OTA3에 대한 위상 및 이득곡선을 나타낸 그림이다. 그림 3에서 3개의 단위 연산증폭기(OTA1-3)의 성능은 표 1에 각각 나타내었다. 표 1에서 보는 바와 같이 제안하는 연산증폭기는 채널 차단 주파수가 20 MHz 일 때, OTA3가 선택되어 최대 4.8 mA의 전류를 소모하며, 채널 차단 주파수가 7.5 MHz과 10 MHz 인 두 경우는 OTA2가 동작하여 2.4 mA의 전류를 소모하고, 5 MHz 이하인 경우는 OTA1이 선택되어 1.25 mA를 소모한다.

그림 6은 그림 2의 2차 저역통과 필터의 입력 저항 ( $R_1$ ) 부분을 보다 더 자세히 도시한 그림이다.

표 1. 단위 연산증폭기(OTA)의 성능 요약  
Table. 1 Performance summary of proposed OTAs

	OTA 1	OTA 2	OTA 3
Channel BW (MHz)	0.7 ~ 5	7.5 / 10	20
Current Consumption (mA)	1.25	2.4	4.8
DC Gain (dB)	43.9	44.4	44.7
UGBW (MHz)	124	550	1900
Phase Margin (°)	103	120	93
CMFB PM (°)	65	85	99

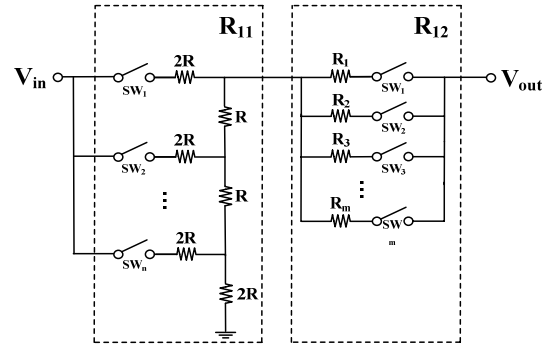


그림 6. 입력단 가변 저항( $R_1$ ) 구조  
Fig. 6 Internal structure of Input variable resistor  $R_1$

$R_1$ 을 이용하여 2차 저역 통과 필터의 이득을 조절하는 이 구조는 단순한 수동소자로 구성되어 있기 때문에 오차가 적고 OP-Amp를 사용한 VGA 보다 잡음이 적다는 장점이 있다. 그림 6에서 보는 바와 같이, 입력 저항 ( $R_1$ )은 R2R ladder 방식의 가변저항  $R_{11}$ 와 병렬구조 방식의 가변저항  $R_{12}$ 의 합으로 구성된다.  $R_{11}$ 에서 쓰인 R2R ladder 구조는 6-dB 단계로 이득을 조절하면서도 출력 임피던스가 일정하다는 장점이 있다. 이러한 장점을 이용하여 병렬 방식의 가변저항  $R_{12}$ 를 연결하여 1-dB 단계로 이득을 조절할 수 있도록 구현하였다. 따라서 제안하는 저역통과 필터는 디지털 컨트롤 방식으로 R2R ladder 가변저항  $R_{11}$ 을 이용하여 6-dB 단계로 -42 dB에서 -6 dB까지 이득조절을 할 수 있으며, 병렬 방식의 가변저항  $R_{12}$ 를 이용하여 1-dB 단계로 +1 dB에서 +6 dB까지 이득조절 기능을 동시에 만족할 수 있도록 설계되어, 최종적으로 1-dB 단계로 -41 dB에서 0 dB까지 이득 제어가 가능하다.

그림 2의 제안하는 1차 수동 RC 저역 통과 필터는 SAW 필터가 없는 RF 송신기를 구현하기 위해 2차 능동 RC 저역 통과 필터에서 발생하는 노이즈 중 수신단 대역폭에 위치하는 노이즈를 감쇄시키기 위해 사용되었다. 제안하는 1차 수동 RC 저역 통과 필터는  $R_S$ 와  $C_P$ 를 가변함으로써 수신단 대역폭을 감안하여 3 MHz ~ 60 MHz 범위의 차단 주파수 특성을 가진다. 또한, 1차 수동 RC 저역 통과 필터에 사용된 병렬 커패시터  $C_P$ 는 다음 단의 수동 믹서로부터 능동 저역 통과 필터 출력 단으로 누설되는 국부 발진 신호를 필터링 하여, 수동 믹서와 능동 저역 통과 필터의 선형성을 개선시키는 역할도 한다.

### III. 모의실험 결과

본 논문에서 제안하는 SAW 필터가 없는 LTE-Advanced RF 송신기용 기저대역 송신기회로는 65-nm CMOS 공정을 사용하여 설계되었고 모의실험을 통해 성능을 검증하였다.

그림 7은 제안하는 기저대역 송신기의 채널 차단 주파수 특성을 나타낸 그림이다. 그림 7에서 보는 바와 같이 0.7 MHz에서 20 MHz까지 7개의 채널 차단 주파수가 안정적으로 가변되는 것을 확인 할 수 있다. 그림 8은 제안하는 기저대역 송신기의 선형 특성을 나타낸 모의실험 결과이다. 그림 8에서 보는 바와 같이 제안하는 기저대역 송신기는 +11.65 dBm (=차동 신호 형태로 1.2 V<sub>pp</sub>)의 입력 P<sub>1dB</sub>를 가짐으로써 우수한 선형 특성을 확인할 수 있다.

표 2는 본 논문에서 제안하는 기저대역 송신기의 모의실험 결과를 정리한 표이다. 표 2에서 보는 바와 같이 제안하는 저역 통과 필터는 기존에 발표된 문헌들[7],[8]보다 -41 dB에서 +0 dB 까지 넓은 범위로 이득 제어가 가능하다. 또한 1.2 V의 공급 전압으로부터 20 MHz 차단 주파수 일 경우 24.1 mW 전력을 소모하고 10 MHz와 7.5 MHz 일 때는 12.2 mW 전력을 소모한다. 그리고 나머지 다른 채널 차단 주파수 대역에서는 6.3 mW 전력을 소비함으로써 DC 전력 소모 효율이 높은 시스템을 구현하였다는 것을 확인할 수 있다.

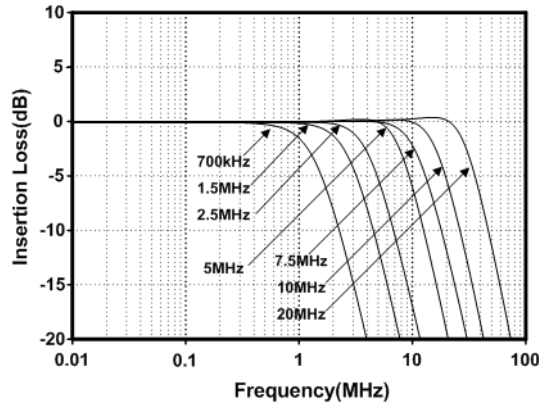


그림 7. 기저대역 회로의 멀티 차단 주파수 특성  
Fig. 7 Multi-Cutoff frequency characteristics of proposed baseband circuits

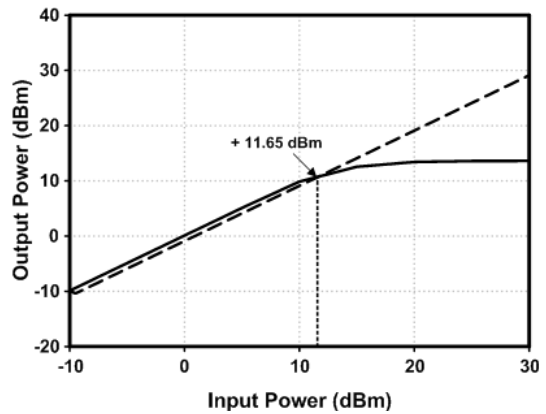


그림 8. 입력 P1dB 모의 실험 결과  
Fig. 8 Simulated Input P1dB

제안하는 기저대역 회로는 차동 신호 형태로 1.2 V<sub>pp</sub> 입력 신호까지 받아들일 수 있어 선형성 또한 우수하며, 4.4 nsec에서 최대 32.6 nsec의 Group Delay를 가진다.

### IV. 결 론

본 논문은 SAW 필터가 없는 LTE-Advanced RF 송신기에 적용 가능한 기저대역 송신기회로를 제안하였다. 모의 실험결과로부터, 제안하는 기저대역 송신기 회로

는 0.7 MHz, 1.5 MHz, 2.5 MHz, 5 MHz, 7.5 MHz, 10 MHz, 그리고 20 MHz의 총 7개의 채널 차단 주파수들을 제공하며, 각 채널 별로 -41 dB ~ 0 dB 범위에 대해 1-dB 단계로 이득 조절이 가능하다. 2차 능동필터에 사용되는 연산 증폭기는 전류 소모 대비 넓은 UGBW를 만족시키기 위하여 Miller 및 feed-forward 위상 보상 방식을 동시에 사용하였고, 3 가지로 분류된 채널 차단 주파수에 대하여 연산증폭기의 전류 소모를 3단계로 조정 할 수 있도록 설계하였다. 제안하는 기저대역 송신기는 65-nm CMOS 공정을 사용하여 설계되었고 1.2 V의 전압으로부터 최소 6.3 mW, 최대 24.1 mW의 전력을 소모한다.

표 2. 제안하는 기저대역 송신기 회로의 성능 요약  
Table. 2 Performance summary

	[7]	[8]	This work
CMOS technology	130-nm	40-nm	65-nm
Supply voltage	1.8 V	1.1 V	1.2 V
DC current consumption (mA)	4.0 ~ 24.2	20 ~ 38	5.3 ~ 20.1
Cut-off frequency (MHz)	0.2 ~ 2.5	0.5 ~ 20	0.7 ~ 20
Voltage gain (dB)	0	-24 ~ 0	-41 ~ 0
Group delay (nsec)	N/A	N/A	4.4 ~ 32.6
Maximum differential input voltage	1.6 V <sub>PP</sub>	N/A	1.2 V <sub>PP</sub>

### 감사의 글

이 논문은 2013년도 동아대학교 학술 연구비로 연구되었음.

### 참고문헌

- [1] J. Cranincks, J. Borremans and M. Ingels, "SAW-less Software-Defined Radio Transceivers in 40nm CMOS", *CICC(Custom Integrated Circuits Conference)*, pp. 1-8, Sept. 2011.
- [2] M. Cassia et al., "A Low-Power CMOS SAW-Less Quad Band WCDMA/HSPA/HSPA+/ 1X/EGPRS Transmitter", *IEEE J. Solid-State Circuits*, vol. 44, no. 7, pp. 1897-1906, July 2009.
- [3] Xin He, Jan van Sinderen and Robert Rutten, "A 45nm WCDMA Transmitter Using Direct Quadrature Voltage Modulator with High Oversampling Digital Front-End", *ISSCC Dig. Tech. Papers*, pp. 62-63, Feb. 2010.
- [4] 임진업, 최중호, "[특집] 아날로그 필터 IC 설계 기술 동향", *대한전자공학회지*, 제31권 제9호 (통권 제244호), pp. 59-69, 2004.
- [5] V. Giannini, J. Craninckx, S. D'Amico and A. Baschiroto, "Flexible Baseband Analog Circuits for Software-Defined Radio Front-Ends", *IEEE J. Solid-State Circuits*, vol. 42, no. 7, pp. 1501-1501, July 2007.
- [6] Jin-Hong Hwang and Changsik Yoo, "A Low-Power Wide-bandwidth Fully Differential Operational Amplifier with Current Re-using Feedforward Frequency Compensation", *AP-ASIC(Asia-Pacific Conference on Advanced System Integrated Circuits)*, pp. 32-35, Aug. 2004.
- [7] Sandeep D'Souza et al., "A Programmable Baseband Anti-Aloas Filter for a Passive-Mixer-Based, SAW-less, Multi-band, Multi-Mode WEDGE Transmitter", *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp.450-453, May 2011.
- [8] Mark Ingels et al., "A 5mm2 40nm LP CMOS 0.1-to-3GHz Multistandard Transceiver", *ISSCC Dig. Tech. Papers*, pp. 458-459, Feb. 2010.

## 저자소개



**김성환(Sung-Hwan Kim)**

2011년 동아대학교  
전자공학과학사 졸업.  
2013년 동아대학교  
전자공학과석사 졸업.

※ 관심분야: CMOS RF/Analog IC



**김창완(Chang-Wan Kim)**

1997년 경북대학교  
전자공학과학사 졸업.  
2003년 한국정보통신대학교  
전자공학과 석사 졸업.

2006년 한국정보통신대학교 전자공학과 박사 졸업.  
2006년~2007년 한국전자통신연구원 선임연구원.  
2007년~ 동아대학교 전자공학과 부교수.

※ 관심분야: CMOS RF/Analog IC