

6 GHz EMI/EMC 대책 설계 기술의 방향

김종훈 · 김석진 · 김다영 · 김명희 ·
최철승 · 안승영 · 김정호
한국과학기술원 (KAIST)

I. 서 론

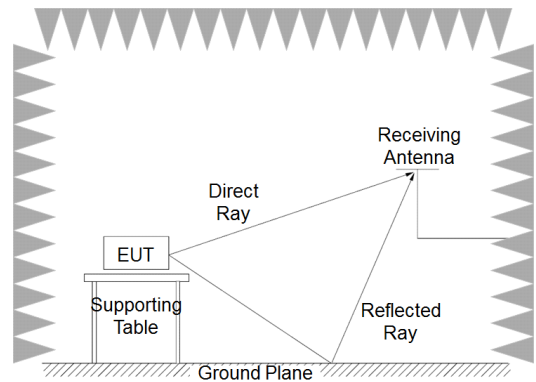
전자 제품의 발달로 인하여, 우리의 삶은 보다 편리해지고, 언제 어디서든 지면 곳곳에 있는 사람과도 이제는 바로 옆에 있는 것처럼 편안하게 이야기할 수 있는 세상이 되었다. 먼저 이러한 윤택한 생활을 누릴 수 있도록 수없이 많은 땀을 흘린 과학자들과 엔지니어들에게 깊은 감사의 표현을 전한다.

전자 제품의 동작 속도가 증가함에 따라, 우리는 더 짧은 시간에 더 많은 정보를 받을 수 있게 되었지만, 고속화된 전자 제품에서는 유용하게 사용되는 전자파와 더불어, 유해한 전자파의 발생 확률도 그만큼 증가하였다. 그로 인하여, 전자파 발생에 관한 규제 또한 동시에 복잡해지고 있는 것이 현실이다.

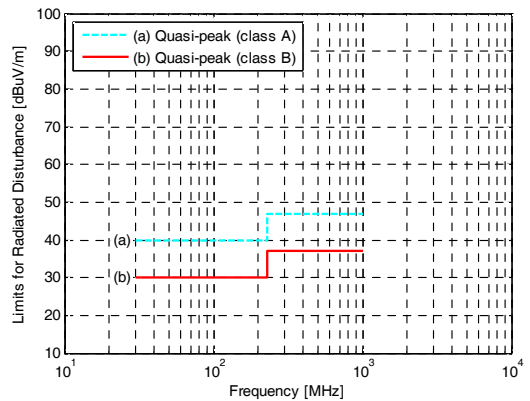
유해 전자파는 다양한 형태로 발생하고 전달되는데, 본 원고에서는 공기 중을 통하여 전달되는 전자기 복사성 방사(Electromagnetic Radiated Emission) 노이즈에 관하여 다루고자 한다. 전자기 복사성 방사는 흔히 EMI(Electromagnetic Interference)라고 불리며, 간단히 RE(Radiated Emission)라고 불리기도 한다 [1]-[3].

전자기 복사성 방사 정도는, [그림 1]에 표현된 것처럼 30 MHz에서 1 GHz까지의 주파수 영역에서 Quasi-peak 값이 정해진 제한을 넘지 않도록 규제되고 있

으며, 이를 초과할 경우 해당 제품은 상용화를 할 수 없게 된다. 전자기 복사성 방사량은 [그림 1]에서 설명된 것처럼 1 GHz까지 측정하면 되었지만, 2012년부터는 6 GHz까지 측정하도록 RE 규정이 강화되었다 [4],[5].



(a) 측정 장치의 구성(Below 1 GHz)



(b) RE Limits(Below 1 GHz)

[그림 1] 30 MHz~1 GHz 영역에서의 RE 측정 [4],[5]

이 논문은 2012년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. 2012-0000990 and No. 2010-0029179)

이에, 본 원고에서는 변화된 전자파 환경 규제 아래에서, Above 1 GHz 영역에서의 전자파 불량 확률을 최소화하기 위하여 어떻게 초고속 전자 제품을 설계해야 하는지, 설계 시 특히 중점적으로 고려해야 할 사항은 무엇인지에 관하여 다루고자 한다.

II. 6 GHz EMI Regulation

예전까지는 30 MHz에서 1 GHz까지의 주파수 영역에서 RE 측정을 수행하면 되었지만, 2012년부터 1 GHz에서 6 GHz까지의 Over GHz 주파수 영역에서의 RE 측정이 의무화되었다^{[4],[5]}.

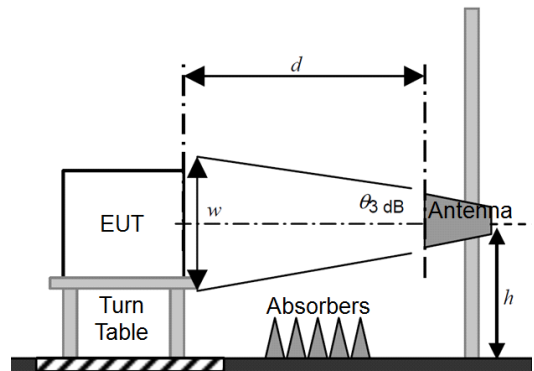
RE 측정 기준은 CISPR 22와 CISPR 16-2-3에 잘 표현되어 있다. CISPR은 COMITÉ INTERNAIONAL SPÉCIAL DES PERTURBATIONS RADIO ÉLECTRIQUES의 약자이며, 영어식으로는 International Special Committee on Radio Interference라고 표현된다. International Electrotechnical Commission(IEC)는 국제표준화 활동을 수행하는 협회이다.

Above 1 GHz(1~6 GHz) RE 평가는 측정 장치의 구성부터, below 1 GHz 영역의 측정 방법과 많은 차이를 보인다. 우선, below 1 GHz를 위한 측정 거리는 10 m이지만(혹은 3 m), [그림 2]와 같이 above 1 GHz를 위한 측정 거리는 3 m이고, 바닥에는 Absorber를 설치해야 하며, Horn Antenna를 사용해야 한다.

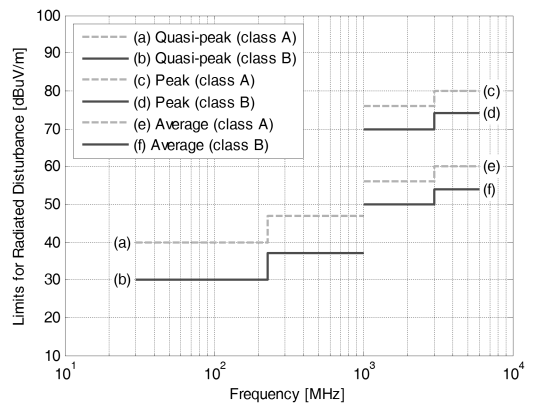
측정 장치의 구성을 살펴보면, below 1 GHz 측정은 바닥에서 전반사를 가정한 반면, above 1 GHz 측정은 바닥에서의 반사를 제거한 형상이므로, Semi Anechoic Chamber에서 Full Anechoic Chamber로 바뀌었다고 할 수 있을 것이다.

Spectrum Analyzer(혹은 EMI Receiver)에서 측정되는 값의 형태도 [그림 2]에 표현된 것처럼, below 1 GHz 영역에서는 Quasi-peak 값을 관찰하고, above 1 GHz 영역에서는 Peak(max-hold를 의미함)와 Average 값을 모두 관찰하는 것으로 변화되었다.

실제적으로, 디지털 전자 제품의 설계 및 개발을 수행함에 있어서, [그림 2]에서 소개된 RE Regulation Level이 얼마나 심각하게 영향을 줄 것인가에 대한 고민을 할 필요는 없다. 표준화 위원회에서는 생산자와 소비자 양쪽 모두의 합의를 통하여 Regulation Level을 정하게 되는데, 이는 제품 개발을 할 때, EMI 축소를 위한 충분한 노력을 한다면 규제 조건을 만족시킬 수 있겠지만, 그렇지 않으면 규정을 만족시킬 수 없을 정도의 값으로 결정된다. 그러므로 설계 및 개발의 모든 단계에서 EMI Noise 축소를 위한 충분한 노력을 해야 할 것이다.



(a) 측정 장치의 구성(Above 1 GHz)



(b) RE Limits(Above 1 GHz)

[그림 2] 1~6 GHz 영역에서의 RE 측정^{[4],[5]}

III. Above 1 GHz EMI 불량 사례

본 장에서는 1 GHz에서 6 GHz 사이의 주파수 영역에서 RE 평가 불량 사례를 언급하려 한다. 이미 Above 1 GHz 영역에서 EMI Fail 경험이 있는 Engineer들도 많겠지만, 대부분의 불량 현상들은 기업 비밀로 관리되므로, 서로 공유되지 않는 것이 일반적이다. 그래서 많은 Engineer들이 EMI 불량 사례 및 해결 방법을 듣기를 원하지만, 그런 자료는 쉽게 구할 수 없다. 그러한 자료를 보기를 원한다면, 본인 스스로가 먼저 본인의 EMI 불량 경험을 말할 수 있어야 할 것이다. 이에 본 장에서는 Hand calculation에 의한 EMI 불량 가능성을 추정된 결과를 소개하고, 실제 설계 제작된 실험용 PCB를 이용하여 Above 1 GHz 영역에서 측정된 EMI 불량 사례를 소개하려 한다.

3-1 Hand Calculation에 의한 EMI Fail 가능성 예측

일반적으로 Hand calculation으로 추정된 RE의 세기는 실제 상황과 유사하지는 않는 경우가 많다. 이는 사용된 수식(Equation) 전개를 위하여 가정된 조건이 실제 현상과 유사하다고 가정할 수 없기 때문이다. 단순한 형태일수록 계산식과 실측값이 더 유사하므로 PCB에서 비교적 단순한 형태인 Micro-strip line을 가정하고, RE 세기를 추정하였다.

<표 1>과 같이 가정된 조건을 사용하여, 식 (1)과 식 (2)의 Differential mode radiation 예측 수식[1]에 적용하면, 63 dB μ V/m가 계산된다. [그림 2]에서 표현된 바와 같이 Regulation은 54 dB μ V/m이므로 약 9 dB 정도 초과하는 EMI 불량이라고 추정할 수 있다. 이는 10 mm 길이의 전송선에 4 GHz의 전류가 20 mA 정도 흐르면, EMI는 CISPR regulation보다 약 9 dB 정도 초과할 수 있다는 것을 의미한다.

<표 1> RE 예측을 위한 가정 및 계산 결과

가정
Frequency, $f = 4$ GHz
Period = 250 ps Lambda = 40 mm (근사)
Current, $I = C \times V/t = 1$ pF \times 1 V / 50 ps = 20 mA
Rising/falling time = 50 ps Operating voltage = 1 V (normalization) Loading capacitance = 1 pF
$\sin(\Theta) = 1$ (maximum condition)
Distance, $r = 3$ m (CISPR regulation)
Loop area, $a = 1$ mm ² = 10 mm \times 0.1 mm
Trace length = 10 mm Dielectric height = 100 μ m
계산 결과
Hand calculated E-field = 63 dB μ V/m
CISPR regulation = 54 dB μ V/m
결과 9 dB 초과 \rightarrow EMI Fail

$$E [V/m] = \frac{131.6 \times 10^{-16} \cdot f^2 \cdot A \cdot I \cdot \sin\theta}{r} \quad (1)$$

$$E [dB \mu V/m] = 20 \cdot \log_{10} \left(\frac{E [V/m]}{10^{-6}} \right) \quad (2)$$

3-2 EMI 측정을 통한 EMI Fail 사례

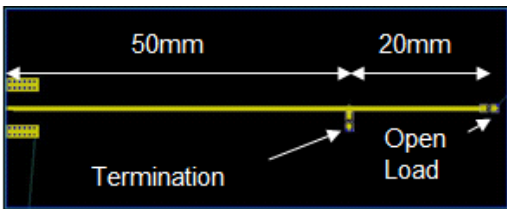
Above 1 GHz 주파수 영역에서의 RE 측정 결과에서도 [그림 4(b)]와 같이 EMI 불량 현상이 관찰되었다. 불량이 관찰된 주파수는 1.08 GHz로, 동작 주파수 360 MHz의 3체배에 해당하는 주파수에서 Average 값에서 CISPR regulation인 50 dB μ V/m보다 4.6 dB 초과한 54.6 dB μ V/m가 관찰되어, 실측 결과에서도 EMI 불량 현상이 관찰될 수 있음이 확인되었다.

Test PCB는 4층 기판이나, 사용하지 않는 면은 No metal 상태이며, 2층에 Ground plane을 배치한, 전형적인 Micro-strip line으로 설계 제작되었다. 전송선 임피던스는 50 Ω 이며, SMA Connector에서 50 mm

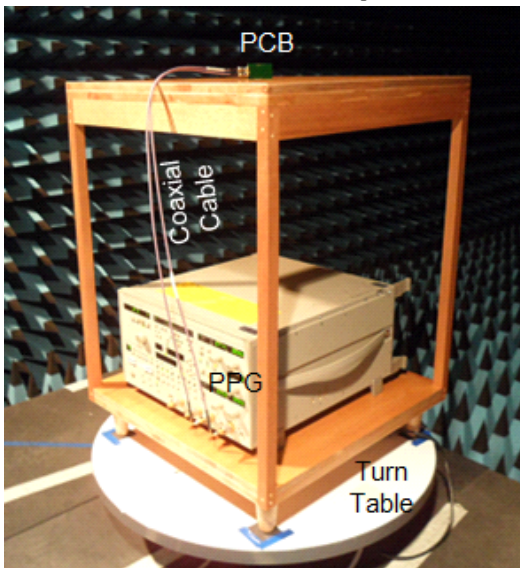
떨어진 지점에 50 Ω Termination을 연결한 후에, 20 mm의 Stub이 Micro-strip line 형태로 연결되어 있으며, Stub의 끝은 open 상태이다.

Test PCB는 [그림 3] (b)와 같이 Coaxial Cable을 통하여, Power Pattern Generator(PPG)와 연결되어 있다. [그림 3] (b)에서는 2개의 Coaxial Cable이 관찰되는데, 그 이유는 Differential line의 결선을 위한 구조이기 때문이며, Single-ended line은 한 개의 Coaxial Cable을 사용하여 결선되었다. PPG 출력은 1 V swing을 갖는 Digital 신호이다.

[그림 4]는 EMI 측정 환경 및 측정 결과를 표현하



(a) 설계된 PCB, Micro-strip Transmission Line with 50 Ω Termination and Open Load



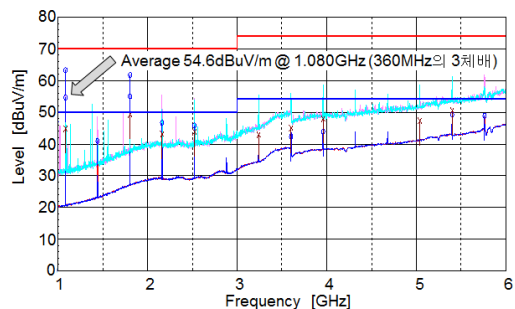
(b) DUT의 구성 (Power Pattern Generator, PPG)

[그림 3] EMI 측정을 위한 DUT(Device Under Test)의 구성(Test PCB + Coaxial Cable + PPG)

고 있다. 측정은 [그림 4] (a)와 같이 Full Anechoic Chamber에서 수행되었으며, 측정 결과는 1.08 GHz에서 Average 값이 4.6 dB 초과하는 EMI 불량이었다. 동일한 조건에서 동작 주파수를 360 MHz에서 1.09 GHz로 증가시킨 경우에는 무려 14.7 dB 초과하는 EMI 불량 현상이 실측으로 관찰되었다. Differential Signal line의 경우에는 대부분 Regulation의 limit을 넘지 않았다.



(a) Above 1 GHz EMI 측정 장치의 구성



(b) Measured RE Level

[그림 4] 1~6 GHz 영역에서의 RE 측정 장치의 구성 및 측정된 RE level. 동작 주파수 360 MHz의 3배 주파수인 1.08 GHz에서 Average 54.6 dB μ V/m로 Regulation 50 dB μ V/m보다 4.6 dB 초과하는 EMI 불량 사례

3-3 EMI 수식 계산 및 측정 사례 요약

앞에서 간단한 수식 계산을 통하여 약 9 dB 정도 초과하는 EMI 불량 현상이 발생할 수 있음을 확인 하였을 뿐만 아니라, 실제 RE 측정을 통하여 4.6 dB 초과하는 EMI 불량 현상을 관찰하였다. 이처럼 Above 1 GHz 주파수 영역에서 CISPR regulation을 초과하는 EMI 불량 현상이 빈번하게 나타날 수 있으므로, 이에 대한 대책 수립이 절실하게 요구되고 있다. 이에 Above 1 GHz EMI 불량 발생 확률을 최소화하기 위하여, 설계 관점에서는 어떤 점을 중점적으로 관리해야 하는 지에 관하여 다룰 것이다.

IV. Above 1 GHz EMC 대책 설계 기술

Above 1 GHz 주파수 영역에서 EMI 불량 발생 확률을 최소화하기 위한 방법은 항상 시스템 전체적인 관점에서 고려해야 하므로 해결 방안을 찾기가 까다로운 경우가 대부분이지만, 효율적인 EMI 대책 설계를 위하여 시스템을 크게 3부분으로 나누어 접근할 수 있다.

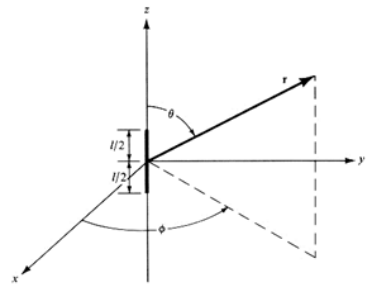
본 글에서는 시스템을 신호선(Signal line) 설계 관점, 전원(Power / Ground) 설계 관점, 기구(mechanical part) 설계 관점으로 나누어 접근하였다.

4-1 신호선 관점의 설계 기술 방향

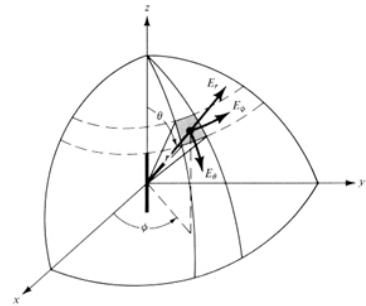
신호선에서 발생하는 EMI를 축소하는 방법을 찾기 위하여, 먼저 아주 짧은 도선에 전류가 흐를 때, 도선 주위의 전기장 및 자기장의 세기를 [그림 5]에서 설명하고 있다. z축 방향으로 길이 l의 도선에 전류 I가 흐를 때, 도선 주위의 전기장 및 자기장의 세기는 Free-space 조건에서 [그림 5] (c)와 같이 표현되며, 복잡한 도선의 경우 작은 크기의 Infinitesimal Dipole Antenna로 잘게 나눈 후, 각각에 의한 E-field 및 H-field를, 시간과 공간을 고려한 중첩으로, 추정

할 수 있다^[6].

이렇게 Infinitesimal Dipole Antenna에서의 방사 특성 및 중첩의 원리를 이용하여, 일반적인 Signal line 주변의 전자기장의 세기를 관찰하면, [그림 6]과 같이 나타난다. 저주파에서는 파장이 거리보다 길기 때문에 Near-field가 강하게 나타나다가, Far-field 효과가 나타나는 주파수부터 방사되는 전자파 노이즈는 점점 증가하는 양상을 보이며, Signal line의 길이가 파장의 0.25배(λ/4)와 같아지는 주파수에서 강한



(a) Infinitesimal dipole antenna



(b) Definition of each E-field

$$E_r = \eta \cdot \frac{I_0 \cdot l \cdot \cos \theta}{2\pi r^2} \cdot \left[1 + \frac{1}{jkr} \right] \cdot e^{-jkr}$$

$$E_\theta = j \cdot \eta \cdot \frac{k \cdot I_0 \cdot l \cdot \sin \theta}{4\pi r} \cdot \left[1 + \frac{1}{jkr} + \frac{1}{(jkr)^2} \right] \cdot e^{-jkr}$$

$$H_\phi = j \cdot \frac{k \cdot I_0 \cdot l \cdot \sin \theta}{4\pi r} \cdot \left[1 + \frac{1}{jkr} \right] \cdot e^{-jkr}$$

$$E_\phi = H_r = H_\theta = 0$$

(c) Analyzed E-field & H-field equations

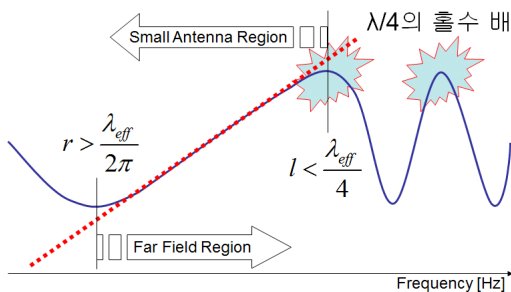
[그림 5] Radiation from Infinitesimal Dipole Antenna

전자파 노이즈를 방사하게 된다.

[그림 6]에서 볼 수 있듯이, 파장의 0.25배($\lambda/4$) 뿐만 아니라 0.75($3\lambda/4$), 1.25($5\lambda/4$), 1.75($7\lambda/4$), ... 값이 신호선의 길이와 같을 때에도 상대적으로 강한 전자파 노이즈가 방사됨을 알 수 있다. 이를 통하여 신호선의 길이가 동작 주파수에서의 $\lambda/4$ 의 홀수 배와 같아지는 주파수에서 EMI 불량 발생 확률도 상대적으로 높게 나타날 것이라고 추정할 수 있으므로, 이러한 EMI 발생 모드를 $\lambda/4$ radiation mode라고 부르기 로 한다.

<표 2>는 전송선 길이가 $\lambda/4$, $3\lambda/4$, $5\lambda/4$ 와 동일하게 되는 주파수가 각각 얼마인지 표현하고 있다. 예를 들면 매질의 유효 유전율은 4.0이라고 가정된 PCB에 존재하는 전송선의 길이가 100 mm라고 가정한다면, $\lambda/4$ 가 100 mm가 되는 주파수는 375 MHz이고, $3\lambda/4$ 가 100 mm가 되는 주파수는 1,125 MHz이며, $5\lambda/4$ 가 100 mm가 되는 주파수는 1,875 MHz라는 것이다.

<표 2>에서 확인할 수 있듯이, EMI 측정에 있어서 측정해야 할 최대 주파수가 1 GHz라고 가정한다면, $\lambda/4$ 길이는 37.5 mm이므로, 37.5 mm보다 긴 길이의 신호선에서는 $\lambda/4$ radiation 발생 가능성이 있음을 의미한다. 만약 측정해야 할 주파수가 6 GHz까지 올라가게 되면 $\lambda/4$ 길이는 6.25 mm가 되며, 6.25 mm보다 긴 신호선의 경우, $\lambda/4$ radiation 현상이 나타날 수 있다는 것을 의미한다.



[그림 6] Radiation profile from Signal line

<표 2> 전송선 길이에 따른 $\lambda/4$, $3\lambda/4$, $5\lambda/4$ 주파수

Trace length (mm)	Frequency(MHz)		
	Length= $1\lambda/4$	Length= $3\lambda/4$	Length= $5\lambda/4$
1,000.0	37.5	112.5	187.5
187.5	200	600	1,000
112.5	333	1,000	1,667
100.0	375	1,125	1,875
37.5	1,000	3,000	5,000
31.25	1,200	3,600	6,000
18.75	2,000	6,000	10,000
10.0	3,750	11,250	18,750
6.25	6,000	18,000	30,000
6.0	6,250	18,750	31,250
5.0	7,500	22,500	37,500

6.25 mm 길이는 Package에서의 Trace length와 유사한 정도의 크기이며, 일부 IC chip 내부의 전송선 길이와도 유사한 정도이다. 그 의미는 Package 및 IC chip 내부의 전송선 자체에서 발생하는 전자파 노이즈가 EMI 불량을 유발할 수 있는 가능성이 급격하게 증가하였다는 것을 의미한다. 1 GHz까지 EMI 평가를 할 때에는, $\lambda/4$ 길이가 37.5 mm이며, 대부분의 Package보다 훨씬 길기 때문에 $\lambda/4$ radiation 현상에 의한 EMI 불량 현상이 잘 관찰되지는 않는다.

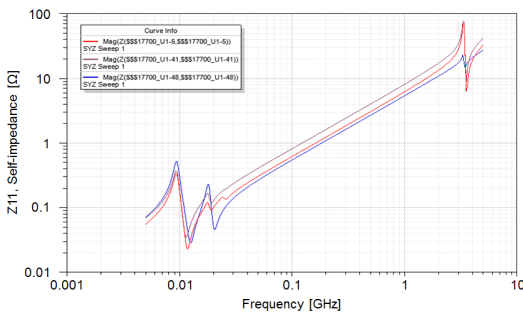
1 GHz까지 EMI를 평가할 때에는, Package는 Noise source이고, PCB를 통하여 외부로 전자파 노이즈가 방사된다고 가정해도 대체로 괜찮았지만, 6 GHz까지 EMI 평가를 해야 하는 경우에는 Package가 그 자체로서 Noise source이며, 동시에 Package 내부의 배선을 통하여 $\lambda/4$ radiation 모드의 전자파 노이즈가 발생할 가능성이 높아졌기 때문에, PCB 뿐만 아니라 Package Design에도 더욱 각별한 주의를 기울여야 할 것이다. PCB 설계 관점에서는 사용되는 IC chip의 Package Design에도 관심을 가지고, 더욱 신중하게 IC chip을 선택해야 할 것이다.

4.2 전원 관점의 설계 기술 방향

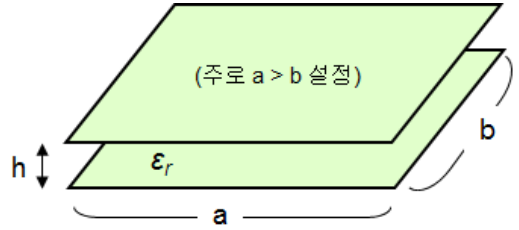
전원(Power/Ground, P/G) 설계 관점에서, 설계된 PCB의 Power Integrity 특성을 평가하기 위하여, 일반적으로 Z-parameter를 관찰한다. 특히 Self-impedance, Z_{11} 을 관찰하는데, [그림 7]은 일반적인 상용 전자 제품의 Z_{11} simulation 결과이다. 동일한 전류가 흐를 때, P/G 사이의 전압 변동은 전류에 임피던스를 곱한 값에 비례하여 나타나므로, 임피던스가 작으면 작용수록 P/G 노이즈가 감소하여 EMI 불량 발생 확률도 작아지게 되는 것이다. 그러므로 P/G Z_{11} 값은 가능한 작게 설계하는 것이 유리하다.

[그림 7]을 자세히 살펴보면, 약 3 GHz 부근에서 높은 Impedance peak가 관찰되는데, 이는 PCB에서의 공진현상에 의하여 나타나며, 해당 공진 모드에서는 작은 전류에도 큰 전압 변동이 발생할 수 있음을 의미한다.

3 GHz 부근에서 나타나는 공진 모드는 대체로 1 GHz 부근에서 시작하여 더 높은 주파수 영역에서 관찰된다. 이는 P/G의 Plane Resonance에 의하여 나타나는 것으로 그 원리는 [그림 8]과 같은 Parallel Plate Resonance Mode와 동일하다. 실제의 상용 PCB에서는 이러한 직사각형 모양의 Power plane 혹은 Ground plane 형상으로 나타나지 않으므로 계산을 통하여 구하기는 어려우며, 시뮬레이션 혹은 측정을



[그림 7] Self-impedance Z_{11} (power/ground on PCB)



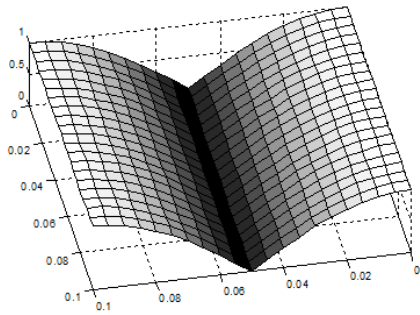
[그림 8] Parallel Plate Resonance 계산을 위한 두 개의 평판 구조. PCB에서는 주로 Power plane과 Ground plane을 의미한다.

통하여 예측 혹은 검증할 수 있다.

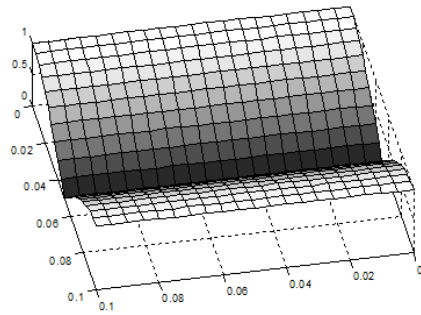
[그림 8]과 같이, 두 개의 평판에서의 공진 모드는 식 (3)과 같이 구할 수 있다. (1,0) 모드라는 것은 m 은 1이고 n 은 0일 때를 의미하며, (0,1) 모드는 m 은 0이고 n 은 1일 때를 의미한다. 일반적으로 긴 변의 길이를 a 로 설정하므로, (1,0) 모드에서 가장 첫 번째 공진 모드가 나타난다. [그림 8]의 가정에서 두 개의 평판 외곽은 모두 open되어 있는 형태를 가정하여 계산되었으며, 어느 한쪽이라도, short되어 있거나 termination되어 있다면, 식 (3)은 변경되어야 한다. 일반적으로 PCB의 Power plane 및 Ground plane은 외곽에서 이렇게 서로 연결되지 않으므로 식 (3)의 적용은 타당하다고 할 수 있다.

$$f_{mn} = \frac{3 \times 10^8}{2\sqrt{\epsilon_r}} \cdot \sqrt{\left(\frac{m}{a}\right)^2 + \left(\frac{n}{b}\right)^2} \quad (3)$$

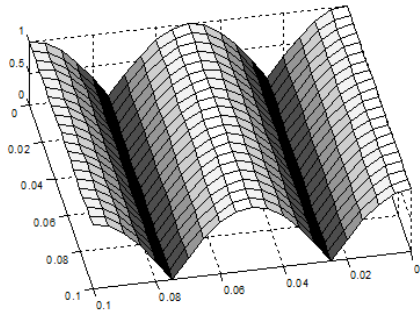
[그림 9]는 Plane의 위치 변화에 따른, 각각의 Resonance mode 별 정규화된 전압의 진폭을 나타낸 것으로 1에 가까울수록 무한대의 높은 임피던스를 의미하고, 0에 가까울수록 0 Ω의 낮은 임피던스를 의미한다. P/G Plane의 임의의 위치에서 임피던스는 mode에 따라 크게 나타나거나 혹은 작게 나타날 수 있으므로, 특히 관심 지점에서의 임피던스가 크게 되지 않도록 설계하는 것이 필요하다.



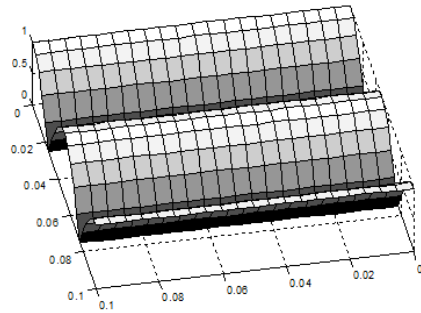
(a) (1,0) mode



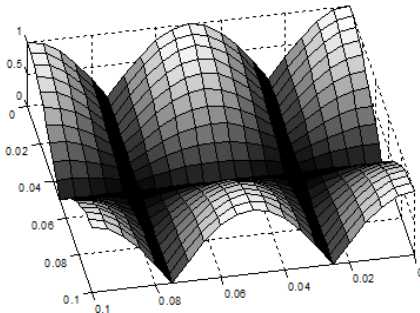
(b) (0,1) mode



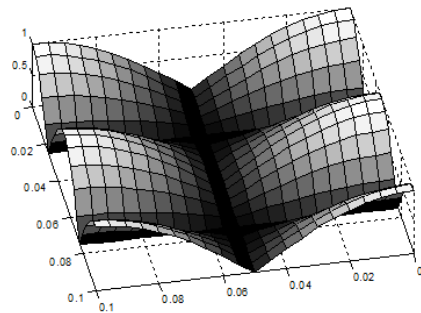
(c) (2,0) mode



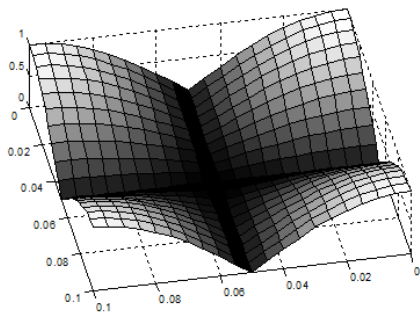
(d) (0,2) mode



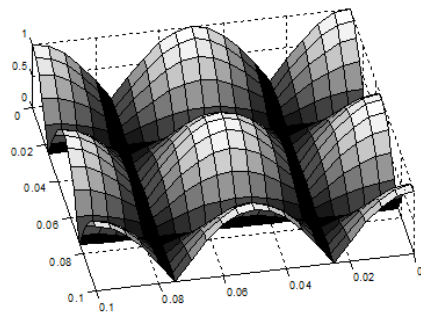
(e) (2,1) mode



(f) (1,2) mode

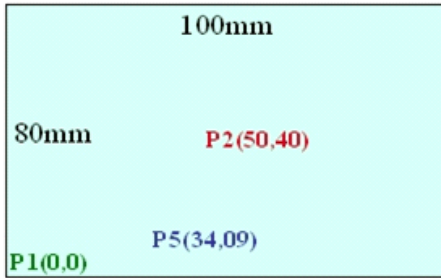


(g) (1,1) mode



(h) (2,2) mode

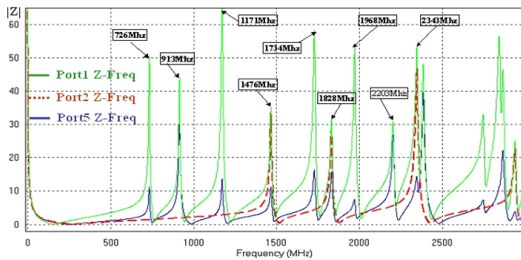
[그림 9] Normalized Absolute Voltage Distribution at Parallel Plate Resonance Mode(Plane의 위치별 전압의 진폭)



(a) Parallel Plate 크기 및 관찰 지점

m mode No.	n mode No.	Resonance Freq.
1	0	730 MHz
0	1	913 MHz
1	1	1,170 MHz
2	0	1,460 MHz
2	1	1,722 MHz
0	2	1,826 MHz
1	2	1,967 MHz
2	2	2,338 MHz

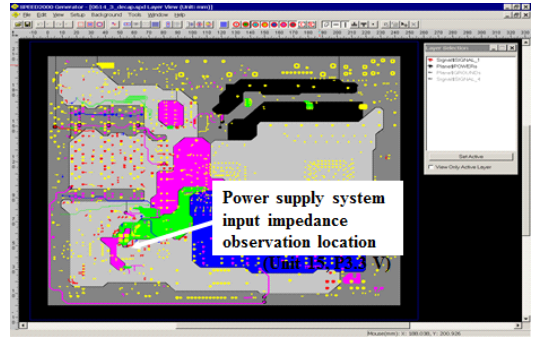
(b) Resonance mode 별 주파수



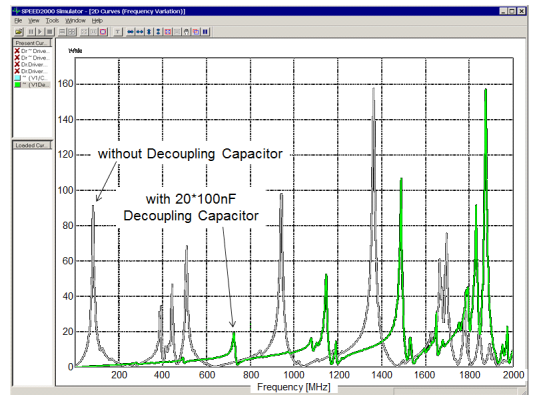
(c) Simulated Plane Resonance Profile

[그림 10] Plane Resonance Example

예를 들어서 [그림 10] (a)와 같은 100 mm × 80 mm의 크기를 갖는 Parallel plate에서, 관찰 지점에 상관없이 Resonance mode는 [그림 10] (b)와 같이 발생할 수 있다. 관심 지점 P1, P2, P5에서의 Input impedance는 [그림 10] (c)와 같이 나타나는데, 위치 별로 서로 다른 Impedance profile이 관찰되어짐을 확인할 수 있다. 예를 들어서 1,171 MHz 성분의 임피던스는 P1 지점에서 아주 강하게 나타나지만, P5 지점에서는 다소 강하게 나타나고, P2 지점에서는 거의 나타나지 않는다.



(a) Designed Power plane (with Full Ground plane)



(b) Input Impedance

[그림 11] Example, Input Impedance of Practical PCB

[그림 11]은 실제의 PCB에서의 Input impedance를 보여준다. 실제의 Power plane 및 Ground plane은 일반적으로 사각형의 형태가 아니고, Decoupling Capacitor를 포함하고 있으므로, 계산을 통하여 구하는 것은 매우 어렵지만, 상용 Software를 이용하여 비교적 수월하게 예측할 수 있다. [그림 11] (b)에서 관찰할 수 있듯이 1 GHz 이상의 높은 주파수 영역에서 많은 Resonance peak가 형성된다. 시스템의 동작 주파수 혹은 체배 주파수 성분이 이러한 공진 모드와 동일하게 되면, 그 주파수에서 EMI 불량 발생 확률이 급격하게 증가하게 되므로, 공진 모드를 동작 주파수 및 체배 주파수와 동일하지 않도록 설계하는 것이 무엇보다 중요하다고 할 수 있을 것이다.

4.3 기구 관점의 설계 기술 방향

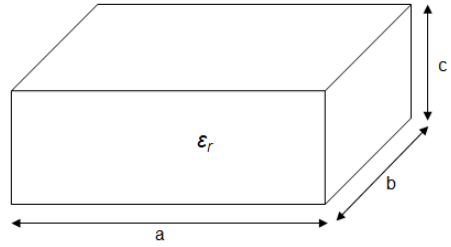
기구 설계 관점에서도 마찬가지로 Resonance 회피 설계를 하는 것이 중요하다. Cavity 외곽은 전자기 차폐 구조가 일반적이지만, Ventilation, Connector, Window, Control 등의 이유로 시스템의 완벽한 차폐는 불가능하며, Cavity Resonance에 의한 노이즈는 이러한 불연속적인 Hole 혹은 Slit을 통하여 전자기 노이즈 형태로 외부로 전달되어질 수 있다.

[그림 12]와 같은 형상을 갖는 Cavity의 경우, 공진 모드는 식 (4)와 같이 표현된다⁷⁾. Cavity Resonance의 의미 및 분석 방법은 앞 절에서의 P/G plane 분석 방법과 동일하며, 다만 차원이 2D에서 3D로 바뀌었을 뿐이다. P/G plane에서와 유사하게 Cavity에서도 1 GHz 이상의 주파수에서 공진 모드가 상대적으로 더욱 많이 형성되므로, 기구 설계를 할 때에도 이러한 공진 모드가 동작 주파수 및 체배 주파수와 동일하게 되지 않도록 설계하는 것이 매우 중요하다. 식 (4)를 이용하면, 개략적으로 공진 모드를 추정할 수 있으나, 실제의 시스템은 Cavity 내부가 비어있는 구조가 아니므로 수식을 이용하여 공진 모드 주파수를 계산하는 것은 매우 어렵다.

$$f_{lmn} = \frac{3 \times 10^8}{2\sqrt{\epsilon_r}} \cdot \sqrt{\left(\frac{l}{a}\right)^2 + \left(\frac{m}{b}\right)^2 + \left(\frac{n}{c}\right)^2} \quad (4)$$

안타깝게도 Practical System의 Cavity Resonance를 예측해 주는 적절한 Simulation Software는 찾아보기 어렵다. Cavity 내부의 모든 부품을 고려하면서 정확성을 높이려면 계산 시간이 오래 걸리거나, 아니면 계산 시간을 줄이려면 정확성이 낮아지기 때문이다. 현실적으로는 EMI 불량 현상이 나타난 후에, 역추적 하여 Cavity Resonance Mode를 개선하는 경우가 상대적으로 더욱 빈번하게 발생하고 있다.

상용 Software 뿐만 아니라, 측정을 통하여 Cavity



[그림 12] Cavity 형상

공진 모드를 관찰하는 것도 쉬운 일은 아니다. Practical System에서의 Cavity Resonance Mode를 측정하거나, Simulation Software를 개발하는 일은 EMI Expert의 과제라고 말할 수 있을 것이다.

이러한 상황에서는, 두 가지 방향으로 접근할 수 있는데, 그 첫 번째는 설계 단계에서 Cavity의 내부 공간의 거리가 반파장과 동일하게 되는 주파수 및 그 주파수의 정수배가 되는 주파수를 Cavity Resonance Mode라고 가정하고, 그 Resonance Mode가 시스템의 동작 주파수 및 체배 주파수와 동일하게 되지 않도록 설계하는 것이며, 두 번째는 EMI debugging 시에, Cavity 내부에 무엇인가 metal을 추가하거나 제거하였을 때, EMI 노이즈의 세기 변화를 관찰하여 Cavity Resonance임을 추정하는 것이다.

4.4 공진주파수와 동작 주파수, 통신 주파수

지금까지 Above 1 GHz 영역에서의 EMI 축소를 위하여 신호선(Signal line) 설계 관점, 전원선 (Power Ground plane) 설계 관점, 기구 설계 관점에서 각각 어디에 더 많은 관심을 두어야 하는지 살펴보았다.

EMI 뿐만 아니라, 시스템에서 발생된 전자파 노이즈가 자기 시스템의 내부 동작에 영향을 주는 경우도 더욱 증가하게 될 것이다. 이렇게 시스템 내부의 노이즈에 의하여 내부 회로가 영향을 받아서 오동작 하거나 특성이 감소되는 현상을 Intra-coupling이라고 한다. 특히 무선 통신을 하는 시스템의 경우, 내부의

디지털 회로에서 발생한 전자기 노이즈에 의하여, 내부 통신 모듈의 수신감도가 저하한다거나, 오동작을 일으키기도 하기 때문이다. 이미 휴대폰 및 WiFi 통신을 하는 대부분의 기기들에서 Intra-coupling 불량 현상이 빈번하게 관찰되고 있으며, 설계자들은 이러한 Intra-coupling 문제를 극복하기 위하여 많은 노력을 기울이고 있다.

동작 주파수 혹은 체배 주파수가 공진 모드(공진 주파수라고도 함)와 일치할 때보다 강한 전자파 노이즈가 발생하며, 이로 인하여 EMI 불량 발생 확률이 증가하게 되는 것이다. 또한 그렇게 발생한 EMI 불량 주파수가 [그림 13]의 통신 주파수와 일치할 때에는 Intra-coupling 불량 현상 발생 확률이 매우 높게 나타나게 될 것이다. 그러므로 Above 1 GHz 주파수 영역의 Intra-coupling 현상을 축소시키기 위하여, 공진 모드가 동작 주파수 및 체배 주파수와 동일하지 않게 되도록, 공진 회피 설계를 하는 것이 무엇보다 중요하다.

V. 결 론

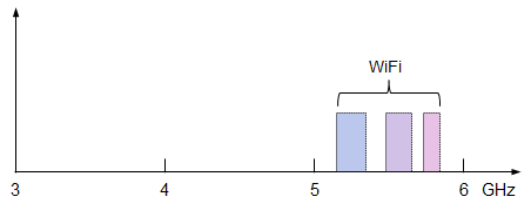
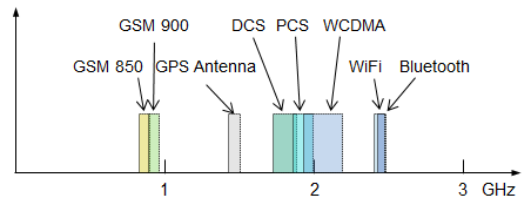
EMI 환경 규제가 1 GHz까지 측정하는 것에서 6 GHz까지 측정하는 것으로 변경 적용되었다. 시스템의 동작 주파수도 증가하고, EMI 규제 주파수 영역도 증가함에 따라 EMI 불량 발생 확률 또한 급격하게 증가하게 될 것이므로, 본지에서는 Above 1 GHz 영역에서의 EMI 불량 발생 확률을 축소시키기 위하여, 디지털 시스템 설계 기술의 세 가지 접근 방향에 대하여 서술하였다.

신호선(Signal Line) 설계 관점에서 $\lambda/4$ Radiation Mode의 심각성을 설명하였고, 6.25 mm보다 긴 전송선은 모두 그 자체로서 방사 구조가 될 수 있으므로, 이제는 Package 내부의 배선 설계에도 신중을 기해야 한다는 점을 강조하였다.

전원선(Power/Ground plane) 설계 관점에서는 Pa-

통신 규격	할당된 주파수 영역
WCDMA	1.92 ~ 2.18 GHz
GSM 850	824 ~ 894 MHz
GSM 900	880 ~ 960 MHz
DCS	1.71 ~ 1.88 GHz
PCS	1.85 ~ 1.99 GHz
GPS	1.57 ~ 1.58 GHz
Bluetooth	2.4 ~ 2.48 GHz
WiFi	2.41 ~ 2.47 GHz
	5.15 ~ 5.35 GHz
	5.47 ~ 5.65 GHz
	5.725 ~ 5.825 GHz

(a) 통신 주파수 할당 표



(b) 통신 주파수 할당 영역

[그림 13] 통신 주파수 영역 할당

rallel Plate Resonance Mode를 소개하면서, Z_{11} (self-impedance) peak가 동작 주파수 및 체배 주파수와 겹치지 않도록 설계하는 것이 중요하며, 이는 Simulation 및 측정을 통하여 예측 및 검증할 수 있다는 점을 중점적으로 다루었다.

기구 설계 관점에서는 Cavity Resonance Mode에 대하여 언급하면서 두 가지 설계 팀을 제시하였으며, EMI Expert는 Simulation 및 Measurement 환경 구

축을 위한 노력을 해야 한다고 제안하였다.

부가적으로, 앞에서 다룬 공진 모드가 통신 주파수와 겹치지 않도록 하여, Intra-coupling 불량 현상의 발생 확률도 축소되어야 함을 부연 설명하였다.

1 GHz가 아니라 6 GHz까지 EMI 평가를 해야 한다는 것이 제품을 만들어 판매하는 생산자 입장에서는 하나의 규제 강화처럼 여겨질 수도 있으나, 그 제품을 구매하는 소비자 입장에서는 보다 안전한 전자파 환경을 제공받는 것이므로, 꼭 필요한 규정이라고 할 수 있다. 생산자는 동시에 소비자이기도 하므로, 안전한 전자파 환경을 위하여, 전자파 잡음을 가능한 최소화시킨 제품을 개발하는데, 노력을 아끼지 말아야 할 것이다.

감사의 글

본 연구의 수행에 있어서, EMI Regulation에 관한 토의를 해 주신 KAIST 박성욱 책임연구원(연구팀장)님께 감사드리며, 물심양면으로 아낌없는 조언을 해 주신 모든 분들께 깊은 감사를 드립니다.

참 고 문 헌

[1] H. Ott, *Noise Reduction Techniques in Electronic*

Systems, 2nd ed., New York, Wiley, pp. 298-321, 1988.

- [2] Prasad Kodali, *Engineering Electromagnetic Compatibility: Principles, Measurements, Technologies, and Computer Mode*, John Wiley & Sons, 2001.
- [3] Jonghoon Kim, *Radiated Emission from Genetic Principle to Countmeasure Technologie*, EMC Korea, Aug. 2012.
- [4] CISPR 22 Edition 5.2, International Electrotechnical Commission, "Information technology equipment - Radio disturbance characteristics - Limits and methods of measurement", May 2006.
- [5] CISPR 16-2-3 Second Edition, International Electrotechnical Commission, "Methods of measurement of disturbances and immunity - Radiated disturbance measurements", Jul. 2006.
- [6] Constantine A. Balanis, *Antenna Theory, 3RD Edition*, John Wiley & Sons Inc., 2005.
- [7] http://en.wikipedia.org/wiki/Microwave_cavity

≡ 필자소개 ≡

김 종 훈



1995년 2월: 영남대학교 전자공학과 (공학사)

1998년 2월: 한국과학기술원(KAIST) 전기 및 전자공학과 (공학석사)

2003년 8월: 한국과학기술원(KAIST) 전기 및 전자공학과 (공학박사)

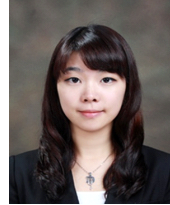
2003년 3월~2010년 9월: 삼성전자 메모리사업부 책임연구원

2010년 10월~현재: 한국과학기술원 전기 및 전자공학과 연구부교수

2010년 10월~현재: 한국과학기술원 미래자동차학제전공 겸임교수

[주 관심분야] The analysis and design of wireless power transfer system and wireless battery charging systems of electric vehicles as well as signal integrity(SI), power integrity(PI), and electromagnetic interference(EMI) of high-speed digital systems and wireless power transfer systems.

김 다 영



2010년 2월: 한국과학기술원(KAIST) 전기 및 전자공학과 (공학사)

2012년 8월: 한국과학기술원(KAIST) 전기 및 전자공학과 (공학석사)

[주 관심분야] TSV, Clock Distribution Network (CDN) on Chip, Package and PCB, Signal Integrity, Power Integrity

김 석 진



2002년 2월: 고려대학교 전기전자전파공학부 (공학사)

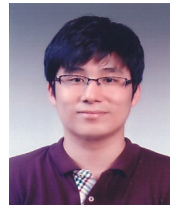
2004년 2월: 서울대학교 전기공학부 (공학석사)

2004년 2월~현재: 삼성전자 System LSI 사업부 책임연구원

2011년 2월~현재: 한국과학기술원(KAIST) 전기 및 전자공학과 박사과정

[주 관심분야] PCB Design & Analysis (SI, PI, & EMI), Chip Level Wireless Power Transfer

김 명 회



2003년 2월: 한국과학기술원(KAIST) 전기 및 전자공학과 (공학사)

2005년 2월: 한국과학기술원(KAIST) 전기 및 전자공학과 (공학석사)

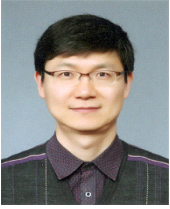
2012년 8월: 한국과학기술원(KAIST) 전기 및 전자공학과 (공학박사)

2005년 2월~2008년 7월: 국방과학연구소(ADD) 연구원

2012년 9월~현재: 전자통신연구원(ETRI) 선임연구원

[주 관심분야] 위성시스템 전자파 장해 분석, 위성 링크 내 강우 감쇠 모델링

최 철 승



1987년 3월: 한국항공대학교 항공전자공학과 (공학사)
1990년 4월~1996년 3월: 포스데이다(주) 기술연구소 전임연구원
1996년 4월~2006년 2월: 삼성전자컴퓨터(사) 개발팀 책임연구원
2006년 3월~현재: 한국과학기술원(KAIST)

책임연구원(팀장)

[주 관심분야] Signal Integrity(SI), Power Integrity(PI), and Electromagnetic Interference(EMI) of High-speed Digital Systems and IC-Package-PCB Co-design and Co-simulation

김 정 호



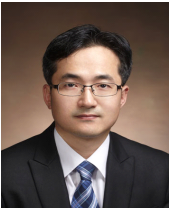
1984년 2월: 서울대학교 전기공학과 (공학사)
1986년 2월: 서울대학교 전기공학과 (공학석사)
1993년 2월: Dept. of Electrical Engineering, The University of Michigan (공학박사)

1994년~1996년: 삼성전자 메모리사업부

1996년~현재: 한국과학기술원 전기 및 전자공학과 교수

[주 관심분야] EMC Modeling, Design, and Measurement Methodologies of 3D IC, TSV, System-in-Package(SiP), Multi-layer PCB, and Wireless Power Transfer Technology

안 승 영



1998년 2월: 한국과학기술원(KAIST) 전기 및 전자공학과 (공학사)
2000년 2월: 한국과학기술원(KAIST) 전기 및 전자공학과 (공학석사)
2005년 8월: 한국과학기술원(KAIST) 전기 및 전자공학과 (공학박사)
2001년 4월~2002년 3월: Singapore Institute of Manufacturing Technology, Visiting Associate Research Fellow

2005년 5월~2009년 8월: 삼성전자컴퓨터사업부 책임연구원

2009년 9월~2011년 9월: 한국과학기술원(KAIST) 전기 및 전자공학과 연구부교수

2011년 10월~현재: 한국과학기술원(KAIST) 조천식 녹색교통대학원 조교수

[주 관심분야] Wireless Power Transfer System for Electric Vehicle, High-speed Digital System Design, Package and Multi-layer PCB Design, Electromagnetic Interference