

# 파우더와 솔더를 이용한 저비용 비아홀 채움 공정

홍표환<sup>1</sup> · 공대영<sup>1</sup> · 남재우<sup>1,4</sup> · 이종현<sup>1</sup> · 조찬섭<sup>2</sup> · 김봉환<sup>3,+</sup>

## Low Cost Via-Hole Filling Process Using Powder and Solder

Pyo-Hwan Hong<sup>1</sup>, Dae-Young Kong<sup>1</sup>, Jae-Woo Nam<sup>1,4</sup>, Jong-Hyun Lee<sup>1</sup>, Chan-Seob Cho<sup>2</sup>, and Bonghwan Kim<sup>3,+</sup>

### Abstract

This study proposed a noble process to fabricate TSV (Through Silicon Via) structure which has lower cost, shorter production time, and more simple fabrication process than plating method. In order to produce the via holes, the Si wafer was etched by a DRIE (Deep Reactive Ion Etching) process. The via hole was 100  $\mu\text{m}$  in diameter and 400  $\mu\text{m}$  in depth. A dielectric layer of  $\text{SiO}_2$  was formed by thermal oxidation on the front side wafer and via hole side wall. An adhesion layer of Ti and a seed layer of Au were deposited. Soldering process was applied to fill the via holes with solder paste and metal powder. When the solder paste was used as via hole metal line, sintering state and electrical properties were excellent. However, electrical connection was poor due to occurrence of many voids. In the case of metal powder, voids were reduced but sintering state and electrical properties were bad. We tried the via hole filling process by using mixing solder paste and metal powder. As a consequence, it was confirmed that mixing rate of solder paste (4) : metal powder (3) was excellent electrical characteristics.

**Keywords :** Filling, Powder, Soldering, TSV, Via hole

### 1. 서론

반도체 소자의 집적도 증가와 고성능화가 진행됨에 따라 소자의 성능 향상이 어려워짐에 따라 기존의 2차원 패키징 기술의 한계를 극복하기 위해 좁은 공간에 여러 칩을 적층시키는 3차원(3D) 반도체 공정 기술이 각광 받고 있다[1-4]. 또한, 3D IC 구조를 개발하여 배선 지연시간과 전기적 기생 성분을 줄이는 연구가 진행되고 있다.

3D IC 구조의 핵심공정기술인 TSV (Through Silicon Via) 공정 기술은 실리콘 웨이퍼에 비아 홀을 형성하고 그 내부를 도전성 물질로 충전 하여 상하로 전기적 신호를 전달하기 위한 구조이다[5, 6]. TSV 구조를 만들기 위해 비아 홀을 형성하는 방법에는 DRIE (Deep Reactive Ion Etching)공정을 이용하는 방법이 가장 일반적이다[7]. DRIE공정의 장점은 기존의 레이저 가공공정에서 불가능하였던 직경 10  $\mu\text{m}$ 급 이하의 홀도 가공할 수 있는 점이다[8]. 비아 홀 내의 시드층은 전기 전도성이 좋은 Cu를 많이 사용하나, 비아 홀과의 접합력이 떨어지는 문제점이 있어, Au가 시드층으로 대체되고 있다[9, 10]. Au는 접촉저항이 낮아 전기도급에 이점이 있으며 Cu에 비해 산화 안정성이 뛰어나고 표면 세척과정에서도 안정성을 확보 할 수 있다. 비아 홀내에 도전성물질을 충전 하는 방법에는 전해도금법[1-3] 과 비전해도금법[11]이 있다. 하지만 이러한 방법은 void나 fillets과 같은 결함을 유발하고 공정원가가 증가하며 생산성이 떨어지는 단점을 가지고 있다[11, 12]. 본 논문에서는 전해도금법과 비전해도금법의 단점을 보완할 수 있는 대체방법에 대해 연구하였으며, 저비용의 도전성 물질인 솔더페이스트(solder paste)와 금속파우더(metal powder)를 솔더링 하여 비아 홀을 채우는 실험을 진행하였다. DRIE공정과 Au 시드층을 사용하고, 비아 홀 내에 도전성 물질을 솔더링 공정을 이용하여 충전 하는 방법으로 저비용과 높은 생산성을 기대할 수 있는 제조 방법을 제안하였다. 도금방식과는 반대로 솔더링 공정을 이용하여 비아 홀 내에 도전성물질을 채울 경

<sup>1</sup> 경북대학교 전자전기컴퓨터학부(School of Electronics Engineering, Kyungpook National University)

702-701, Kyungpook National University, Sangyeok 3-dong, Buk-gu, Daegu, Korea

<sup>2</sup> 경북대학교 산업전자전기공학부(School of Electrical Engineering, Kyungpook National University)

742-711, Kyungpook National University Sangju Campus, Gajang-dong, Sangju-si, Gyeongbuk, Korea

<sup>3</sup> 대구가톨릭대학교 전자공학과(Department of Electronics Engineering, Catholic University of Daegu)

712-702, Catholic University of Daegu, 13-13 Hayangro, Hayang-eup, Gyeongsan-si, Gyeongbuk, Korea

<sup>4</sup>(주)코아멤스(Core MEMS)

1551 McCarthy Blvd. Suite 114, Milpitas, CA95035, USA.

<sup>+</sup>Corresponding author: bhkim@cu.ac.kr

(Received : Dec. 7, 2012, Accepted : Mar. 7, 2013)

This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

우 낮은 가격과 간단한 제작공정으로 TSV구조를 제작할 수 있다.

## 2. 실험 방법

### 2.1 TSV구조의 wafer제작

TSV구조를 제작하기 위해서 실리콘 웨이퍼에 비아 홀을 우선적으로 형성하였다. 실리콘 웨이퍼에 비아 홀을 형성하기 위해 DRIE 공정을 진행하고, 완성된 비아 홀내에 도전성 물질을 채우기 용이하게 하기위해 시드층을 증착하였다. 그리고 완성된 비아 홀의 단면을 SEM (Scanning Electron Microscope) 사진으로 확인하여 공정 결과를 관찰 하였다.

#### 2.1.1 Wafer 사양

실험에 사용된 웨이퍼는 두께 400  $\mu\text{m}$ 의 6인치 P-type 실리콘 웨이퍼를 사용하였다. Table 1에는 실험에 사용된 실리콘 웨이퍼의 사양을 표로 나타내었다.

Table 1. Properties of Silicon wafer

Diameter	6 inch
Type	P-type
Orientation	(100)
Thickness	400 $\pm$ 5 $\mu\text{m}$
Surface	DSP (Double Side Polished)

#### 2.1.2 비아 홀 제작 공정

Fig. 1.은 실리콘 웨이퍼에 비아 홀을 형성하기 위한 공정 순서도를 나타내고 있다.

최초 Furnace를 이용하여 산화막을 5000  $\text{\AA}$ 의 두께로 성장시킨다(Fig. 1-a). 성장된 산화막은 이후 실리콘 식각 공정에서 마스크 물질로서 사용된다. 산화막위에 PR(Photo Resist)를 도포하고 사진식각공정(photolithography)을 통해 패터닝을 한다(Fig. 1-b). 본 실험에서는 AZ9260을 6  $\mu\text{m}$  두께로 도포하여 패터닝 하였다. 비아 홀의 크기는 100  $\mu\text{m}$ 로 패터닝 하였다. 이후 BOE (Buffered Oxide Etch, 6:1)용액을 이용하여 산화막을 선택적으로 식각하였다(Fig. 1-c). PR과 Oxide 마스크이 된 실리콘 웨이퍼에 DRIE공정을 이용하여 비아 홀을 형성하였다(Fig. 1-d). 그리고 비아 홀을 채우는 물질과 실리콘 웨이퍼를 전기적으로 절연시키기 위해 PECVD (Plasma Enhanced Chemical Vapor Deposition)를 사용하여 1  $\mu\text{m}$ 의 두께로 산화막을 양면 증착 한다(Fig. 1-e). 마지막으로 비아 홀내에 도전성 물질을 채우기 위해 필요한 시드층을 형성한다. 시드

층은 Ti/Au를 sputter장비를 사용해 각각 500  $\text{\AA}$ /2000  $\text{\AA}$ 을 증착하여 형성하였다(Fig. 1-f). Fig. 2는 비아 홀이 형성된 실리콘 웨이퍼의 단면을 SEM을 이용하여 측정된 사진이다. 측정결과, 비아 홀의 직경과 깊이는 각각 103.03  $\mu\text{m}$ 와 400.03  $\mu\text{m}$ 로 측정이 되어 목표치와 거의 근사한 결과를 얻었다.

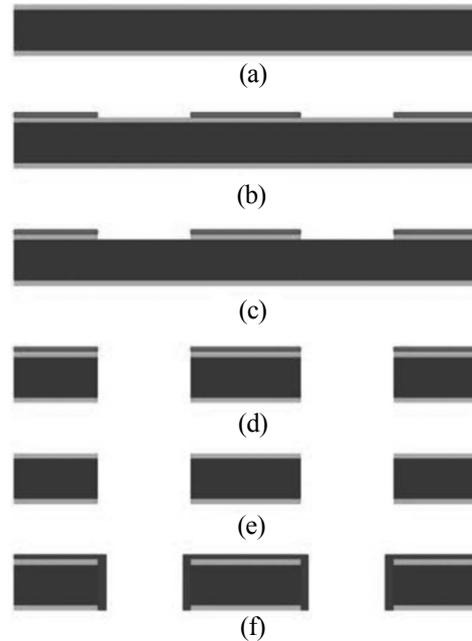


Fig. 1. The fabrication process of via hole structure; (a) Thermal oxidation, (b) PR patterning, (c) SiO<sub>2</sub> etching, (d) DRIE process, (e) SiO<sub>2</sub> deposition, and (f) Ti/Au deposition.

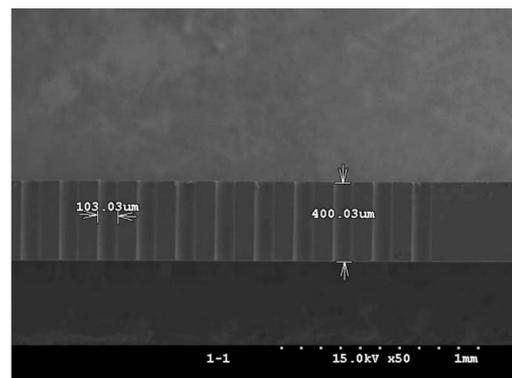


Fig. 2. The SEM image of TSV.

### 2.2 비아 홀 채움 공정

#### 2.2.1 소재 특성

비아 홀을 채우는 도전성 물질로 솔더페이스트와 금속파우더를 사용하였다. Table 2에는 실험에 사용된 솔더페이스트와 금속파우

더의 사양을 표로 나타내었다.

Table 2. Material properties of solder paste and metal powder

	Solder paste	Metal powder
Particle size	20~38 $\mu\text{m}$	325 mesh
Component	$\text{Sn}_{96.5}\text{Ag}_3\text{Cu}_{0.5}$	Sn (99.8%)
Melting point	220 $^{\circ}\text{C}$	n237 $^{\circ}\text{C}$

2.2.1 공정 순서

본 논문에서는 솔더페이스트와 금속파우더를 사용하여 비아 홀을 채우고 각각의 소결상태와 전기적 연결 상태를 확인하였다. Fig. 3은 솔더페이스트와 금속파우더를 비아 홀 내에 채우기 위한 공정의 순서도를 나타내고 있다. 최초 웨도우 마스크를 비아 홀 구조를 가지는 웨이퍼에 부착을 한다(Fig. 2-a). 그런 다음, 비아 홀과 시드층이 형성된 웨이퍼에 솔더페이스트 또는 금속파우더를 도포하고 스퀴지를 이용하여 비아 홀 내부에 밀어 넣는다(Fig. 2-b). 이후에 웨도우 마스크를 제거하고(Fig. 2-c) 도전성 물질로 비아 홀을 가득 채운 실리콘 웨이퍼를 RTP (Rapid Thermal Processing) 장비를 이용하여 가열시킨다. RTP장비의 고온에 의해 도전성 물질의 입자들은 녹으면서 원자적 결합을 하게 된다. Fig. 4에는 실험에 사용된 RTP장비의 온도프로파일 그래프이다. RTP장비는 10분간 작동되었으며 10분 이후에는 상온에서 자연냉각 된다.

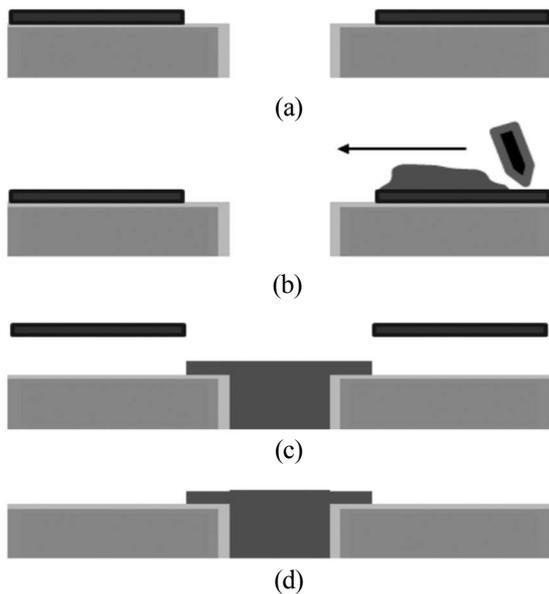


Fig. 3. Via hole filling process; (a) shadow mask attached, (b) screen printing, (c) shadow mask removal, and (d) reflow process.

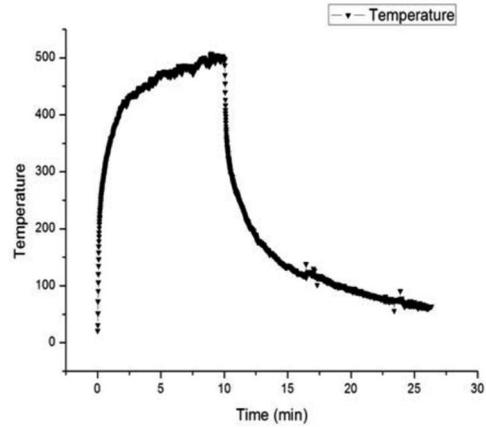
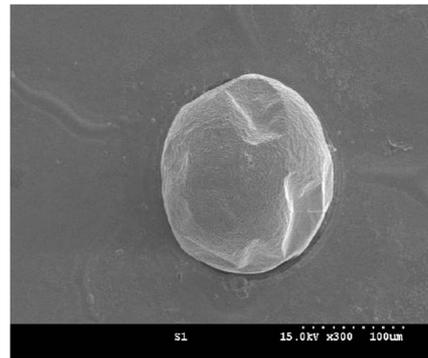


Fig. 4. Temperature profile of RTP.

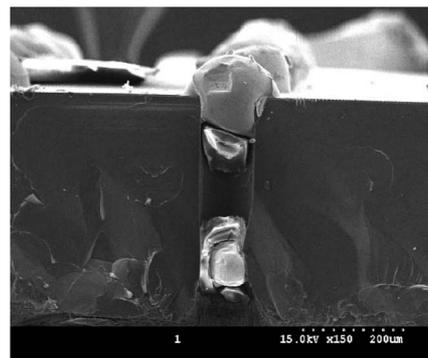
3. 결과 및 고찰

3.1 솔더링 및 리플로우 공정 및 분석

3.1.1 솔더페이스트 특성 분석



(a)



(b)

Fig. 5. SEM images of via hole filling state using solder paste; (a) front and (b) cross-section.

비아 홀에 솔더페이스트를 채우고 RTP를 사용하여 리플로우

(reflow)공정을 3분동안 진행하였고, SEM을 통해 리플로우 상태를 확인하였다. 웨이퍼 전면을 확인한 결과 소결이 잘 된 것을 확인할 수 있었지만(Fig. 5-a), 비아 홀 내에 void가 발생하는 것을 확인하였다(Fig. 5-b). 이러한 void의 존재는 전기적 연결의 불량을 유발하는 심각한 원인이 된다.

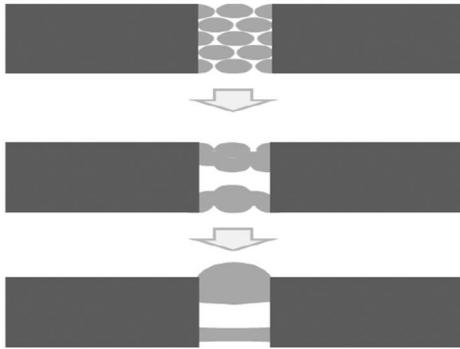


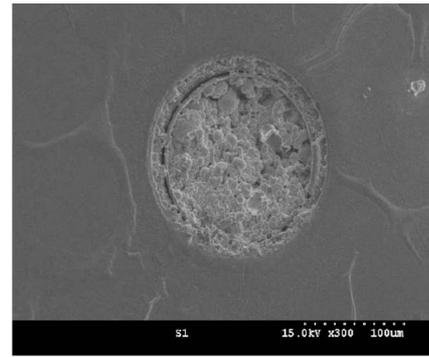
Fig. 6. Generative process of void in via hole.

Fig. 5는 비아 홀 내에서 리플로우된 솔더페이스트의 SEM사진이다. 측정결과 솔더페이스트의 소결상태는 좋지만 비아 홀 내의 단면을 관찰한 결과 void가 발생한 것을 확인할 수 있었다. Fig. 6은 비아 홀 내에서 솔더페이스트 입자들이 리플로우 되면서 void가 생성되는 과정을 나타내고 있다. 솔더페이스트를 사용하여 비아 홀을 채우게 되면, 비아 홀 내부에 존재하는 솔더페이스트 입자들 사이에 공동이 발생하게 된다. 리플로우 공정을 진행하게 되면 솔더페이스트 입자들은 원자적으로 결합이 되면서 공동과 분리가 된다. 이러한 과정에 의해 void가 발생하게 되는 것이다.

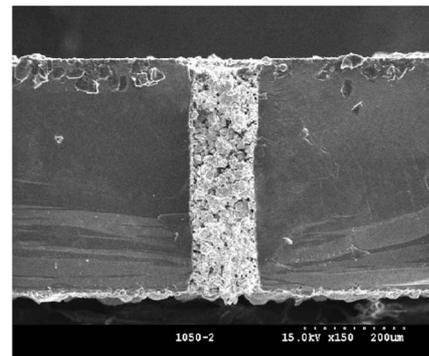
3.1.2 금속파우더 특성 분석

금속파우더는 솔더페이스트에 비해 입자크기가 작고 분말형태로 되어있어 비아 홀을 채우는데 유리하다. 금속파우더와 플럭스(flux)를 적절히 혼합하여 비아 홀을 채운 후 RTP로 리플로우 공정을 3분 동안 진행하고 SEM사진을 측정하였다. Fig. 7은 금속파우더의 리플로우 공정 후의 사진이다.

측정결과 비아 홀 내의 금속파우더는 큰 void가 발생하지 않고 전기적 연결이 잘되어 있었으나 솔더페이스트에 비해 소결상태가 좋지 않았다. 따라서, 본 논문에서는 솔더페이스트와 금속파우더를 혼합한 도전성물질을 사용하여 실험을 진행하였다. 두 물질을 혼합하는 이유는 입자크기가 작은 금속파우더를 첨가함으로써 비아 홀 내부에 발생하는 공동의 크기를 줄이기 위함이다. 또한 금속파우더의 불량한 소결상태를 향상시키기 위해 솔더페이스트와 금속파우더를 혼합하여 사용하였다. 두 물질의 혼합물은 4가지의 혼합비로 구성되었다. Table 3에는 두 도전성물질의 혼합비를 샘플 번호별로 표로 정리하여 나타내었다.



(a)



(b)

Fig. 7. SEM images of via hole filling state by using metal powder; (a) front and (b) cross-section.

Table 3. Mixing rate of conductive material

sample number	mixing rate	
	solder paste	metal powder
M1 (4:1)	4 g (80%)	1 g (20%)
M2 (4:2)	4 g (66.7%)	2 g (33.3%)
M3 (4:3)	4 g (57.1%)	3 g (42.9%)
M4 (4:4)	4 g (50%)	4 g (50%)

샘플 M1, M2, M3, M4, 4개의 혼합물을 사용하여 앞의 실험과 동일한 방법으로 실험을 진행하였고 그 결과를 관찰하였다. Fig. 8, 9는 각 혼합물들을 비아 홀에 채운 후 리플로우 공정을 진행하고 그 결과를 나타내는 현미경 및 SEM사진이다. Fig. 8은 filling이 된 실리콘 웨이퍼의 표면을 관찰한 현미경 사진이다. 솔더페이스트의 양이 많은 샘플일수록 filling이 되지 않은 비아 홀이 많고, 금속파우더의 양이 증가 할수록 filling된 비아 홀이 많음을 확인할 수 있었다. Fig. 9는 filling이 된 실리콘 웨이퍼의 표면을 관찰한 SEM사진이다. 솔더페이스트의 양이 많은 샘플일수록 소결상태는 좋으나 void가 많고, 금속파우더의 양이 증가 할수록 소결상태는 나쁘나 void는 감소하는 것을 확인할 수 있었다.

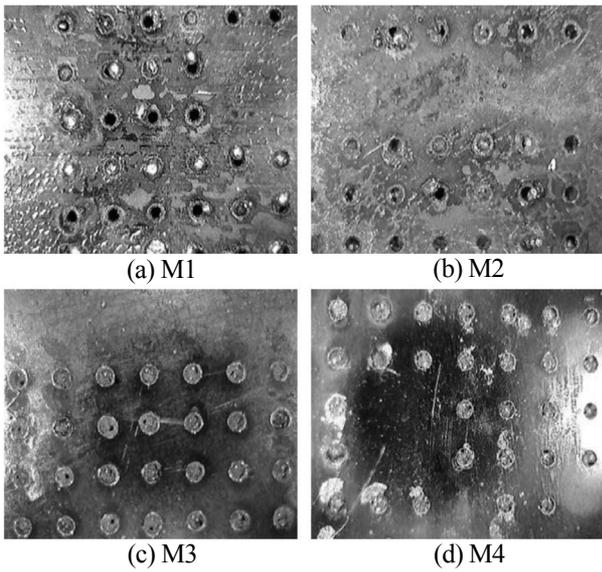


Fig. 8. Optical images under mixing rate which are via hole filling state after reflow process.

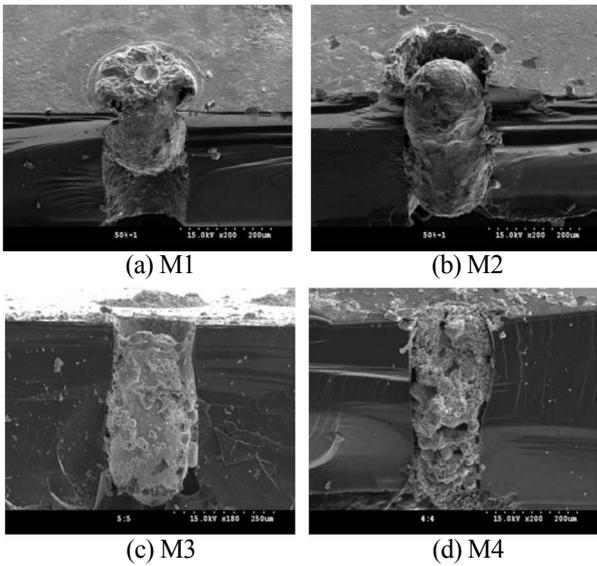


Fig. 9. Via holes filling state (cross-section) under mixing rate.

### 3.2 전기적 특성 분석

솔더페이스트와 금속파우더, 두 물질의 혼합물들의 전기적 특성을 측정하였다. Fig. 10은 실리콘 웨이퍼의 비아 홀 내부에 채워진 솔더페이스트와 금속파우더의 저항값을 측정한 그래프이다. 솔더페이스트를 사용한 실리콘 웨이퍼의 경우 전기적 연결이 되지 않은 것과, 금속파우더를 사용한 실리콘 웨이퍼는 전기적 연결이 되었으나 저항값이 125 Ω 이상 측정되어 회로에 적용하기 어려움이 있다. Fig. 11은 실리콘 웨이퍼의 비아 홀 내부에 채워져 있는 솔더페이스트와 금속파우더의 혼합물들의 저항값을 측정한 그래프이다. 혼합

물들을 사용한 샘플은 저항값이 전체적으로 낮게 측정이 되었으며, M4 샘플의 저항이 221 mΩ으로 가장 크게 측정되었고 M1 샘플의 저항이 207.5 mΩ으로 가장 낮게 측정되었다.

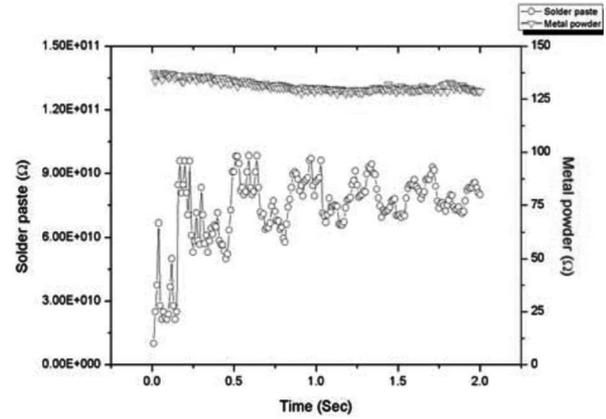


Fig. 10. Measured resistances of solder paste and metal powder in via holes.

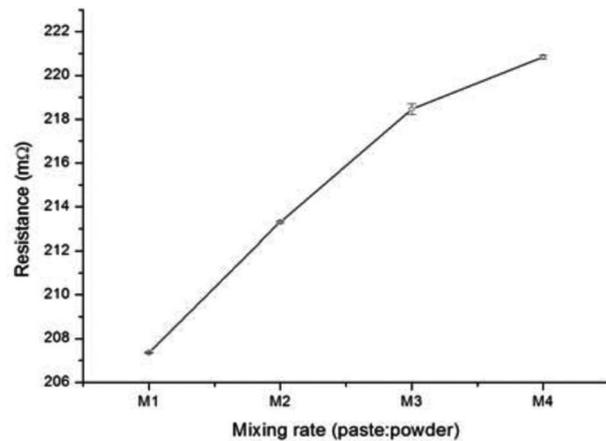


Fig. 11. Measured resistances under mixing rate.

## 4. 결론

본 논문에서는 TSV 구조의 단점인 고가의 공정비용등의 문제점을 해결하기 위하여 도금 방식보다 가격이 싼 솔더페이스트, 금속파우더를 이용하여 비아 홀 내부에 이 두 물질을 채우는 실험을 수행하였다. 우선 포토리소그래피 공정과 DRIE공정 등을 진행하여 직경 100 μm의 비아 홀 구조를 가지는 실리콘 웨이퍼를 제작하였다. 제작된 실리콘 웨이퍼에 도전성 물질을 채워 전기적 연결 상태를 확인하는 실험을 진행하였다. 솔더페이스트를 이용하여 비아 홀을 filling할 경우, 공정 과정에서 void가 생기는 문제가 발생하였다. 이러한 void의 발생으로 인해서 전기적 연결이 불량해지는 결과를 가져왔다. 금속파우더를 사용하여 비아 홀을 filling할 경우에는

void의 발생량이 상당히 줄었으나 소결상태의 불량으로 인해 저항 값이 높게 측정되어 전기적 연결이 불량하였다. 솔더페이스트와 금속파우더 사용의 문제점을 해결하기 위해 두 물질을 혼합하여 실험에 적용하였다. 실험결과, 솔더페이스트의 양이 많은 샘플일수록 void가 증가하였고, 금속파우더의 비율이 높을 경우 Void가 줄어들었지만 전기적 특성은 불량하였다. 솔더페이스트:금속파우더의 비가 4:3의 비율로 혼합하여 사용하였을 때, void 발생이 적고 전기적 연결이 양호하여 TSV 구조로 사용하기 가장 적합하다고 할 수 있다. 이로써 본 논문에서는 도금방식을 대체하는 저비용, 간단하고 빠른 제작 공정의 장점을 가지는 TSV 제작 공정 및 조건을 제안하였다.

### 감사의 글

이 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(No. 2010-0005019). 본 논문은 중소기업청에서 지원하는 2012년도 산학연공동기술개발사업(No. C0024633)의 연구수행으로 인한 결과물임을 밝힙니다.

### REFERENCES

- [1] K. S. Choi et al., "3D IC using through silicon via technologies", *Electronics and Telecommunications Trends*, Vol. 25, No. 5, Oct. 2010.
- [2] Sato, T. Morifuji, M. Sunohara, and M. Bonkohara, "Current status of research and development for three-dimensional chip stack technology", *Jpn J. Appl. Phys.*, Vol. 40, p. 3032, 2001.
- [3] S. F. Al-sarawi, Derek, and P. D. Franzon, "A review of 3D packaging technology", *IEEE T. Compon Pack B.*, Vol. 21, No. 1, p. 2, 1998.
- [4] K. Hara, Y. Kurashima, N. Hashimoto, K. Matsui, Y. Matsuo, I. Miyazawa, T. Kobayashi, Y. Yokoyama, and M. Fukazawa, "Optimization for chip stack in 3-D packaging", *IEEE T. Adv. Packaging*, Vol. 28, No. 3, p. 367, 2005.
- [5] Jiang, T. and Luo, S., "3D integration-present and future", *Proceedings of 10th Electronics Packaging Technology Conferences*, pp. 373-378, 2008.
- [6] Curran B., Ndip I., Guttovski S., and Reichl H., "Managing losses in through silicon vias with different return current path configurations", *Proceedings of 10th Electronics Packaging Technology Conferences*, pp. 206-211, 2008.
- [7] Jesus N. Calata, Jhon G Bai, Xingsheng Liu, Sihua Wen, and Guo-Quan Lu, "Three-dimensional packaging for power semiconductor packaging for power semiconductor device and modules", *IEEE T. Adv. Packaging*, Vol. 28, No. 3, pp. 404-412, Aug. 2000.
- [8] <http://www.alcatelmicromachining.com>
- [9] H. H. Hsu, K. H. Lin, S. J. Lin, and J. W. Yeh, "Electroless copper deposition for ultralarge-scale integration", *J. Electrochem. Soc.*, Vol. 148, No. 1, C47, 2001.