

ESD 보호 소자를 탑재한 Peak Current-mode DC-DC Buck Converter

A Design of Peak Current-mode DC-DC Buck Converter with ESD Protection Devices

박준수*, 송보배*, 유대열*, 이주영**, 구용서**

Jun-Soo Park*, Bo-Bae Song*, Dae-Yeol Yoo*, Joo-Young Lee*, Yong-Seo Koo**

Abstract

In this paper, dc-dc buck converter controlled by the peak current-mode pulse-width-modulation (PWM) presented. Based on the small-signal model, we propose the novel methods of the power stage and the systematic stability designs. To improve the reliability and performance, over-temperature and over-current protection circuits have been designed in the dc-dc converter systems. To prevent electrostatic An electrostatic discharge (ESD) protection circuit is proposed. The proposed dc-dc converter circuit exhibits low triggering voltage by using the gate-substrate biasing techniques. Throughout the circuit simulation, it confirms that the proposed ESD protection circuit has lower triggering voltage(4.1V) than that of conventional ggNMOS (8.2V). The circuit simulation is performed by Matlab and HSPICE programs utilizing the 0.35um BCD (Bipolar-CMOS-DMOS) process parameters.

요 약

본 논문에서는 인덕터의 흐르는 전류를 감지하여 출력 전압을 일정하게 유지시키는 Peak Current-mode 방식의 DC-DC Buck Converter를 제안하고, 소신호 모델링에 기초하여 Power Stage 설계 방법과 시스템의 안정도를 설계하는 방법을 제안한다. 또한, dc-dc 컨버터의 신뢰성과 성능을 향상시키기 위해 보호회로를 추가하였다. 그리고 정전기 방지를 위하여 ESD 보호회로를 제안하였다. 제안된 보호회로는 게이트-기판 바이어싱 기술을 이용하여 낮은 트리거 전압을 구현하였다. 시뮬레이션 결과는 일반적인 ggNMOS의 트리거 전압(8.2V)에 비해 고안된 소자의 트리거 전압은 4.1V 으로 더 낮은 트리거 전압 특성을 나타냈다. 본 논문에서 제안하는 회로의 시뮬레이션은 0.35um BCB 공정 파라미터를 이용하였고, Mathworks 사의 Matlab과 Synopsys 사의 HSPICE 프로그램을 사용하여 검증하였다.

Key words : Buck Converter, Peak Current-mode, ESD, DC-DC Converter, ggNMOS

* Dept. of Electronics and Electrical Engineering, Dankook University kwangsoi7@nate.com
010-7999-7900

** Dept. of Electronics Engineering, Seokyeong University

★ Corresponding author

※ Acknowledgment

This work was supported by the Ministry of Knowledge Economy(MKE) and Korea Institute for Advancement of Technology(KIAT) through the

Research and Development for Regional Industry [70011347, Development of Driver IC Module and High Voltage/High Speed Switching Power MOSFET based on Silicon Semiconductor] and the Technology Innovation Program, 10041135, Development of Multi Functional Power Management IC for Smart Mobile Devices funded by the Ministry of Knowledge Economy(MKE, KOREA).

Manuscript received Mar. 12, 2013; revised Mar. 19,2013 ; accepted Mar 20. 2013

I. 서론

최근 집적 회로 기술의 발달과 소비자들의 문화적 요구에 의해 휴대용 멀티미디어 기기들의 시장이 넓어지고 있다. 더욱이 이러한 기기들은 고효율, 소형화를 위해 스위칭 방식의 전원장치를 사용하게 된다.

스위칭 전원장치는 기존에 사용하던 선형 방식의 레귤레이터에 비해 효율이 높고 열 발생이 적은 장점이 있지만, 설계 시 동작을 위한 회로 블록의 수가 많고 복잡하다는 단점이 있다.

본 논문에서는 인덕터에 흐르는 전류를 감지하여 출력전압을 일정하게 유지시키는 peak current-mode 방식의 벅 컨버터의 설계 순서 및 방법을 제시하였다. 레귤레이터의 동작이 발진하지 않도록 안정성 확인을 위해 제어 루프를 모델링하여 위상 여유도를 확인하였다. 마지막으로 두 모델링을 통해 PWM 방식을 이용하여 벅 컨버터를 구동하기 위한 제어 회로를 설계하였다.

또한 열과 과도전류에 대한 보호회로를 설계하여 벅 컨버터의 안정성과 신뢰성을 높였고, 제작된 IC에 정전기 방전 보호 회로를 설계하여 벅 컨버터의 내장을 통해 반도체 설계 시 정전기로 인한 제품의 파괴를 방지함으로써 IC의 신뢰성을 향상시켰다.

본 논문에서 제안하는 peak current-mode Buck 컨버터 회로 simulation에는 0.35um BCD 공정 파라미터를 이용하였고, Mathworks 사의 Matlab과 Synopsys사의 HSPICE 프로그램을 사용하여 검증하였다.

II. 본론

2.1 Power Stage 설계

인덕터 전류의 감지를 통해 펄스폭을 변조(PWM)하여 입력전압 대비 낮은 출력 전압을 레귤레이션하는 방식인 peak Current-mode Buck 컨버터의 구조

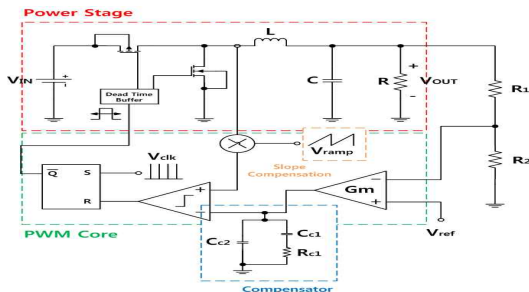


Fig. 1. Peak Current-mode Buck Converter Circuit
그림 1. Peak Current-mode 벅 컨버터 회로도

는 그림 1과 같다.

벅 컨버터의 구조는 크게 인덕터, 캐패시터, 부하 저항, 동기식 스위치와 PWM 제어 회로로 구성되어 있다. 최초 설계 시 전원전압 및 원하는 출력 전압과 전류를 설정하여 동기식 스위치 및 에너지 저장소와 저항의 파괴를 방지할 수 있는 충분한 내압을 갖는 소자를 선택하여야 한다. 그리고 동기식 스위치를 동작시킬 펄스파의 주파수 값을 이용하여 인덕터의 크기 및 리플 전류를 설정하고 이에 맞는 캐패시터의 용량을 설정한다.

동작 방식으로는 출력의 부케환 전압과 기준 전압 발생기로부터 발생한 기준 전압의 차이를 오차증폭기를 통해 증폭시키고, 증폭된 신호는 slope compensation 신호와 비교기를 통해 비교된다. 비교된 신호는 sr-latch를 통해 게이트 드라이버를 제어하여 출력을 생성하게 된다.

2.2 Control Loop 설계

더욱 안정적인 출력전압의 공급을 위해서는 그림 1과 같이 피드백 저항을 이용한 피드백 시스템을 구성하여 출력전압이 외부의 간섭에 의해서도 일정한 출력값을 제공할 수 있도록 설계해야 한다.

피드백 시스템을 사용할 경우에는 위상 여유도를 통해 시스템의 안정도를 확인해야 한다[1]. 전류 모드를 이용한 벅 컨버터의 경우에는 펄스의 duty ratio가 0.5 이상이 될 경우에는 인덕터의 전류 감지 시 시스템 불안정으로 인해 발진하는 경우가 발생하며, 이를 방지하기 위해 slope compensation 회로를 설계하여 전류 감지 시 발생하는 시스템 오류를 방지하였다 [2]. 그리고 전류 감지 및 출력 전압을 피드백하여 일정 전압을 유지하는 전체 피드백 시스템에는 오차 증폭기 출력부에 보상기를 설치하여 전체 시스템의 위상 여유도를 증가시켜 발진을 방지하도록 설계하였다.

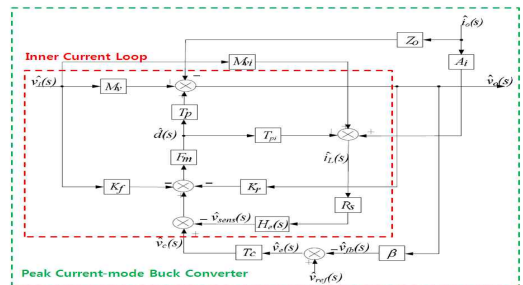


Fig. 2. System Model of Peak Current-mode Buck Converter

그림 2. Peak Current-mode 벅 컨버터의 시스템 모델

그림 2[1]는 소신호 모델을 이용해 peak current-mode 벅 컨버터의 시스템 안정도를 확인하기 위한 그림이다. 소신호 모델을 이용해 내부 전류망을 통한 위 상여유도를 확인하여 인덕터 전류 감지를 통한 발진을 확인하고 전체 시스템을 통한 위상 여유도를 확인하여 시스템이 안정되도록 설계하였다.

2.3 Peak Current-mode 벅 컨버터 설계

펄스 폭 변조를 이용한 peak current-mode 벅 컨버터의 구조는 그림 1과 같다. PWM 제어 회로는 비교기, 오차증폭기, 전류-전압 변환기, sr-latch, 전류 감지기, 클락 발생기, 기준전압 발생기로 구성되며, 인덕터 전류 감지 시 duty ratio 0.5 이상 일 때 생기는 발진을 막기 위해 slope compensation 설계하고, 전체 시스템의 안정도를 보장하기 위해 보상기를 설치한다.

2.4 Thermal Shut-down

Thermal shut-down은 스위칭 컨버터가 큰 부하 혹은 dropout 동작에서 높은 접합 온도에 의해 손상되기 때문에 컨버터는 온도에 대한 대책이 필요하다.

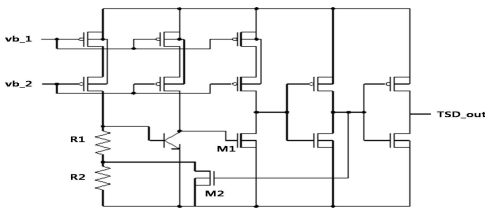


Fig. 3. Thermal shut-down circuit
그림 3. Thermal shut-down 회로

그림 3은 Thermal shut-down 회로도이다.

바이폴라 접합 트랜지스터 (BJT)에서 베이스-에미터간의 전압 (V_{BE})은 온도에 따라 변화하기 때문에 온도변화를 V_{BE} 의 변화를 통해 알 수 있다.

동작을 살펴보면 설계한 Thermal shut-down 회로는 negative 특성을 갖고 있다. 상온(27 °C)에서의 정상동작을 위해 바이폴라 접합 트랜지스터는 턴-오프 상태를 유지해야 출력이 low가 되어 IC의 정상 동작이 가능하다. V_{BE} 는 온도상승 시에 감소하게 되는데 온도가 158°C 까지 상승하게 되면 BJT의 V_{BE} 가 하강하고 BJT는 턴-온 이 된다. 그로인해 Thermal shut-down의 출력 TSD_out은 high가 되어 회로를 차단한다. 출력이 high가 된 후는 M2가 턴-오프 되기 때문에 V_{BE} 는 R1과 R2의 전압만큼이 인가된다. BJT 베이스에 인가되는 전압증가로 인해 그만큼 장시간 BJT의 턴-온 상태를 유지하며 온도가 101°C 될

때 다시 턴-오프 가 되어 IC가 정상 동작 할 수 있도록 한다. 이 같은 히스테리시스 동작을 하여 온도상승으로 인해 IC가 파괴되는 것을 막아준다.

2.5 Current limit protection

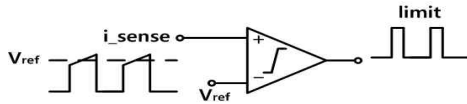


Fig. 4. Current limit protection block
그림 4. Current limit protection 블록도

Current limit protection회로는 순간적인 전압인가시 과전류가 흐를 때 IC의 오동작이나 파손으로부터 IC를 보호하기위하여 전원 관리 회로에 이용 된다.

Current limit protection는 동작이 시작될 때나 스위칭 컨버터의 출력이 단락회로 조건으로 발생할 때, 피드백 노드의 전압이 기준전압보다 낮게 유지된다.

그 결과로 턴-온 된 PMOS 스위치에서 인덕터로 상당한 양의 전류가 급격하게 흐르게 된다. 그로 인하여 커패시터나 인덕터 또는 IC내부의 회로에 심각한 손상을 입을 수 있다. 따라서 이와 같은 피해를 막기 위해서는 벅 컨버터내부에 과도한 전류가 흐를 시 회로의 동작을 차단해주는 회로, 즉 current limit protection회로가 필요 하다. Current limit protection 회로는 인덕터의 전류가 일정 수준을 넘게 되면 스위치를 차단하여 전체 IC의 동작을 차단한다. 비교가 되는 기준은 기준 전압 발생 회로를 이용하거나 V_{DD} 전압과 온도에 둔감한 회로를 이용한다.

2.6 시뮬레이션 결과

그림 5, 6 은 벅 컨버터의 안정도와 동작 상태를 simulation 한 결과로 peak current-mode 벅 컨버터의 안정도 및 동작을 나타낸 파형이다. Simulation 파

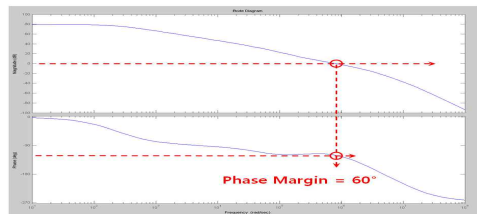


Fig. 5. Stability of Peak Current-mode Buck Converter
그림 5. Peak Current-mode 벅 컨버터 안정도

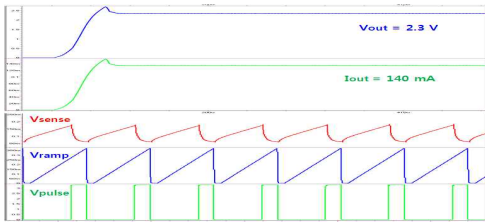


Fig. 6. Peak Current-mode Buck Converter Simulation result

그림 6. Peak Current-mode 벅 컨버터의 simulation 파형

라미터는 0.35um BCD 공정 계수를 사용하였고, 입력 전압 3.3V, 출력전압 2.3V, 스위칭 주파수 1.5MHz, 출력전류 140 mA 일 때 효율은 94.2 %이다.

그림 7의 시뮬레이션 결과는 Thermal shut-down 회로의 온도 상승에 따른 히스테리시스 동작을 나타낸 것이다. 온도의 변화에 따라 회로가 차단되고 동작되는 과정을 시뮬레이션을 통해 확인 할 수 있다.

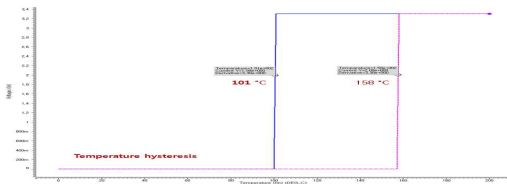


Fig. 7. Simulated results of thermal shut-down circuit

그림 7. Thermal shut-down 시뮬레이션 결과

그림 8의 시뮬레이션 결과는 Current limit protection 에 과도 전류가 유입 되었을 시에 그에 따른 Current limit protection 의 출력을 나타내었다.

기준 전류이상의 전류가 유입되게 되면 출력 신호가 high 전압을 나타내어 enable 단자를 통해 회로를 차단시키게 된다. 이를 그림 8와같이 시뮬레이션을 통해 확인하였다.

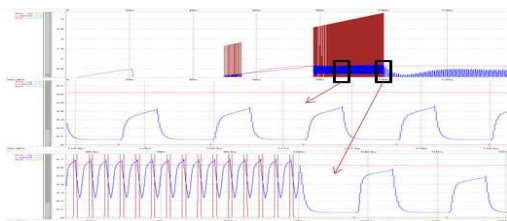


Fig. 8. Simulated results of current limit protection

그림 8. Current limit protection 시뮬레이션 결과

2.7 ESD 보호회로 설계

가. 일반적인 ggNMOS의 동작방식

ggNMOS는 일반적인 MOS 구조를 이용한 보호 소자로서 제작이 용이하고 제어가 쉽기 때문에 가장 널리 사용되고 있는 소자로서 ggNMOS의 구조는 게이트(gate)와 소스(source) 및 기판(body)을 접지에 연결하고 드레인(drain)단만 입력 패드에 연결한 구조를 갖는다.

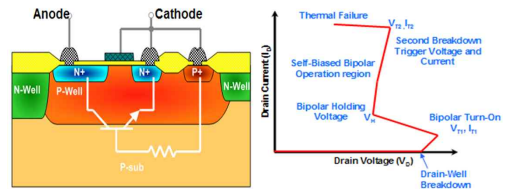


Fig. 9. The structure of ggNMOS Device and I-V characteristics for the ggNMOS Device

그림 9. ggNMOS 소자의 구조 및 ggNMOS 소자의 I-V 특성 곡선

그림 9는 ggNMOS의 단면도와 전형적인 I-V특성 곡선을 보여주고 있다. ggNMOS의 동작원리는 자기 바이어스된 (self 바이어스) 횡 형 BJT (lateral BJT)의 동작으로 설명할 수 있으며 드레인 단에 ESD 전류가 유입되면 드레인과 기판 사이의 애벌런치 항복에 의해서 베이스 전류가 형성되고 기판 전압을 상승시킨다. 기판의 상승된 전압이 기판과 소스의 p-n접합의 내부 전계(built in potential) 보다 높아지게 되면 접합은 순방향 바이어스가 되어 드레인 단에서 유입된 ESD 전류를 스스로 방출 하게 된다.

나. 고안된 ESD 보호회로의 동작방식

본 논문에서는 deep-submicron 공정에서 ESD 보호회로를 구현하기 위한 방법으로 ggNMOS구조를 개선하여, 낮은 트리거링 특성을 갖는 구조의 ESD 보호회로를 고안하고 Synopsys사의 TCAD를 이용하여 검증하였다. 그림 10은 고안된 ESD 보호소자의 구조를 나타낸다. 일반적인 NMOS는 NMOS의 드레인과 p-well 사이의 항복현상에 의해 트리거링 동작을 함으로써 높은 트리거링 전압을 갖는다. 이를 개선하기 위한 그림 10은 설계된 ESD 보호회로로서, 동작방식은 다음과 같이 ESD 전류가 없는 정상상태 동작과 ESD 전류가 주입되는 ESD 현상 동작으로 나눌 수 있다. 먼저 정상상태 일 때, ESD 보호회로 M1, M2 그리고 M3의 MOS 트랜지스터는 동작하지

않고 전류를 내부회로로 흘려보낸다. 반면에 ESD 현상 동작 일 때, 트리거 소자로서 게이트 길이가 메인 ESD 보호회로 M2에 비해 짧은 보조 M1과 M3 MOS가 먼저 동작을 한다. 먼저 동작된 M1과 M3에 의해 M2의 게이트와 기판에 작은 전압이 공급되고, 이로 인해 주 ESD 보호회로인 M2의 트리거 전압이 낮아지게 되면서 ESD 전류를 접지 단자로 빠지게 한다.

게이트와 기판에 적은 양의 바이어스를 가함으로써 트리거 전압을 낮추는 메커니즘을 살펴보면, 트리거 소자 M1과 M3에 의해 게이트와 기판에 바이어스가 가해진 M2는 내부의 기생 바이폴라 트랜지스터의 베이스-이미터 접합에 더 많은 순방향 바이어스를 제공한다. 이로 인해 바이폴라 트랜지스터는 더 작은 드레인 전압에서 턴-온 되고, 결국 주 ESD 보호회로 M2의 트리거 전압은 낮아진다.

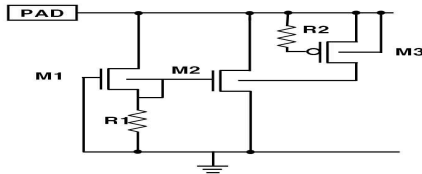


Fig. 10. The proposed structure of ESD protection device
 그림 10. 제안된 ESD 보호회로의 구조

다. 고안된 회로의 시뮬레이션 및 결과

그림 11은 고안된 ESD 보호회로와 일반적인 ggNMOS의 디바이스 시뮬레이션 결과이다. 그림 11과 표1에서 나타내는 것처럼 일반적인 ggNMOS의 트리거 전압은 8.2V인데 반해, 기판 트리거 기술을 사용한 M2와 M3소자의 트리거 전압은 5.6V로 트리거 전압이 낮아진다. 고안된 ESD 보호회로는 게이트와 기판에 동시에 트리거링을 시킴으로서 이보다 더 낮은 4.1V의 트리거 전압 특성을 나타낸다.

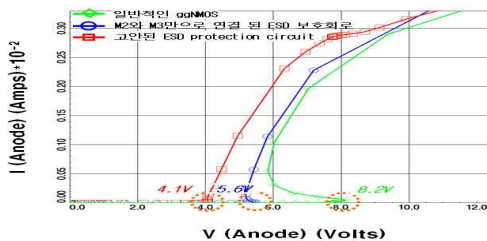


Fig. 11. The novel device simulation results
 그림 11. 고안된 소자의 시뮬레이션 결과

Table 1. The novel device simulation results

표 1. 고안된 소자의 시뮬레이션 결과

	트리거 전압	트리거 전류
일반적인 ggNMOS	8.2V	0.06mA
M 1 - M 2 회로 (게이트 바이어싱)	5V	0.01mA
M 2 - M 3 회로 (기판 바이어싱)	5.6V	0.01mA
M1 - M2 - M3 회로 (게이트-기판 바이어싱)	4.1V	0.02mA

III. 결론

본 논문에서는 인덕터의 흐르는 전류를 감지하여 출력전압을 일정하게 유지시키는 peak current-mode 방식의 벡 컨버터의 설계 순서 및 방법을 나열하였다. 이와 같은 순서 및 방법을 이용한다면 다른 구조의 벡 컨버터 설계 시에도 응용 가능할 것이다.

본 논문에서 제안한 벡 컨버터는 0.35um BCD 공정 계수를 사용하였고, 입력전압 3.3V, 출력전압 2.3V, 스위칭 주파수 1.5MHz, 출력전류 140 mA 로 설계하였다. 인덕터는 6.8uH, 출력 캐패시터는 10uF 를 사용하였으며, 효율은 94.2 %이다.

또한 peak current-mode 벡 컨버터의 과도한 온도 상승과 급격한 전류 상승으로 인한 IC의 오동작 및 파괴를 방지하기 위해 Thermal shut-down과 current limit protection 보호회로를 이용해 신뢰성과 안정성 향상시켰고, 고안된 ESD 보호 소자를 설계 및 탑재하여 정전기 방지로 인한 IC의 손상을 방지하고, 기존의 ggNMOS의 높은 트리거 전압을 개선하여, 낮은 트리거링 특성을 갖는 ESD 보호회로를 제안 및 설계 하였다. 시뮬레이션 결과 일반적인 ggNMOS의 트리거 전압이 8V내외인 것에 반해 고안된 소자의 트리거 전압은 4V 내외로 더 낮은 트리거 전압 특성을 나타냈다.

References

[1] CHEN Xiao-fei, "System modeling and stability design for peak current-mode buck power converter" The IEEE INDIN, DDC, Daejeon, Korea, pp. 933-938. July 13-16, 2008.
 [2] Hiroki SAKURAI, "Analysis and Design of a Current-Mode PWM Buck Converter Adopting the Output-Voltage Independent Second-Order Slope Compensation Scheme" IEICE TRANS. Fundamentals, Vol. E88-A, No.2, pp. 490-497,

February, 2005.

[3] H. Gossner, "ESD protection for the deep sub-micron regime - A challenge for design methodology", Proc. International Conference. VLSI Design, pp. 809-818, 2004.

[4] M. D. Ker, T. Y. Chen, C. Y. Wu, "ESD protection design in a 0.18 μ m salicide CMOS technology by using substrate-triggered technique", IEEE Int Symp Cir Sys, pp. 754-757, 2001.

BIOGRAPHY

Park Jun-Soo (Student Member)

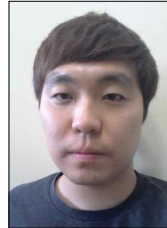


2012 : BS degree in Electronics Engineering, Seokyeong University.

2012 ~ presently : MS degree in Electronics and Electrical Engineering, Dankook University.

main interesting field : DC-DC Converter, Power Management IC, etc

Yoo Dae-Yeol (Student Member)



2013 : BS degree in Electronics Engineering, Seokyeong University.

2013 ~ presently : MS degree in Electronics and Electrical Engineering, Dankook University.

main interesting field : DC-DC Converter, Power Management IC, etc

Lee Joo-Young (Member)



1990 : BS degree in Electronics Engineering, Hanyang University.

1992 : MS degree in Electronics Engineering, Hanyang University.

2001 : PhD degree in Electronics Engineering, Hanyang University.
2002 ~ presently : assistance professor in Seokyeong University.

main interesting field : integrated circuit, microwave integrated circuit, network topology

Song Bo-Bae (Student Member)



2012 : BS degree in Electronics Engineering, Seokyeong University.

2012 ~ presently : MS degree in Electronics and Electrical Engineering, Dankook University.

main interesting field : Power Device, ESD Protection

Koo Yong-Seo (Member)



Refer to

Journal of IKEEE Vol. 8, No. 1