

## 초고주파 응용을 위한 광대역 Ridge SIW와 SIW 전이 구조

## A Wideband Ridge SIW-to-SIW Transition for Microwave Applications

전 지원 · 변 진 도 · 이 해 영

Jiwon Jeon · Jindo Byun · Hai-Young Lee

## 요 약

본 논문에서는 초고주파 대역에서 활용 가능한 ridge 기판 집적 도파관(RSIW:Ridge Substrate Integrated Waveguide)과 기판 집적 도파관(SIW: Substrate Integrated Waveguide) 간의 전이 구조를 제안한다. 제안된 전이 구조는 일정한 간격으로 도통 비아를 삽입하여 임피던스 정합과 전계 정합을 하였으며, 광대역 정합 특성을 갖는다. 측정 결과에서 20 dB 이하의 반사 손실 대역이 9.21~12.41 GHz이고, 중심 주파수 11 GHz 기준으로 비대역폭이 29.1 %임을 확인하였다. 또한, 가용 대역폭에서 급전 선로 부분을 제외한 전이 구조만의 삽입 손실은 최대 0.49 dB이다.

## Abstract

In this paper, we propose a wideband ridge SIW(Ridge Substrate Integrated Waveguide)-to-SIW(Substrate Integrated Waveguide) transition. The proposed transition structure is designed to acquire a wide bandwidth by inserting through via holes at the regular interval for an impedance matching and an E-field mode matching method. The measurement results show a fractional bandwidth is 29.1 % at 20 dB return loss from the center frequency(11 GHz). The maximum insertion loss is 0.49 dB from 9.21 GHz to 12.41 GHz.

Key words : Field Matching, Impedance Matching, Ridge SIW, SIW, Transition

## I. 서 론

마이크로스트립 선로와 같은 평면형 회로인 기판 집적 도파관(SIW: Substrate Integrated Waveguide)<sup>[1]</sup>은 낮은 삽입 손실과 우수한 Q-factor 등의 장점을 갖는다. 이와 같은 장점을 이용하여 마이크로파 및 밀리미터파 대역에서 전력 분배기, 필터 및 위상 천이기 등 많은 수동 소자 연구가 광범위하게 진행되고 있다<sup>[2~4]</sup>. 기판 집적 도파관은 차단 주파수의 영향으로 다른 평면형 회로인 마이크로스트립 선로나 스트립

선로에 비해 면적이 크다는 단점을 가지고 있다. 이러한 단점을 개선하고자 기존 기판 집적 도파관의 면적을 줄인 half mode 기판 집적 도파관(HMSIW: Half Mode Substrate Integrated Waveguide)<sup>[5]</sup>, ridge 기판 집적 도파관(RSIW: Ridge Substrate Integrated Waveguide)<sup>[6]</sup>, folded 기판 집적 도파관(FSIW: Folded Substrate Integrated Waveguide)<sup>[7]</sup>에 대한 연구가 발표되었다. 이중 RSIW는 기본( $TE_{10}$ ) 모드의 대역폭 확장뿐만 아니라 기존 SIW의 면적을 줄일 수 있다는 장점을 가지고 있다. 이러한 RSIW의 소형 특성을 사

「본 연구는 한국연구재단을 통하여 교육과학기술부의 우주기초원천기술개발 사업(NSL: National Space Lab)으로부터 지원받아 수행되었습니다(2012-0009107).」

아주대학교 전자공학과(Department of Electronic Engineering, Ajou University)

· Manuscript received November 30, 2012 ; Revised March 7, 2013 ; Accepted March 8, 2013. (ID No. 20121130-15S)

· Corresponding Author : Hai-Young Lee (e-mail : hylee@ajou.ac.kr)

용하는 이중 편파 안테나는 동일 편파간의 간격이 줄어들수록 최대 빔 조향 각이 늘어날 뿐만 아니라 원하지 않는 최대 부엽 값을 억제할 수 있다<sup>[8]</sup>. 따라서 기존에 발표된 SIW 기반 이중 편파 안테나는 동일 편파 안테나 간의 간격을 줄이기 위하여 수평 편파 안테나에 HMSIW를 적용하였다<sup>[9]</sup>. HMSIW를 이용하여 동일 편파 안테나 간의 간격을 줄일 수 있지만, HMSIW의 개방면에 의해 누설 방사가 나타나 교차 편파 값이 높고, 이로 인해 수직 편파 안테나와의 이득차가 약 4 dB이다. 이러한 문제점을 개선하기 위해 이중 편파 안테나에 RSIW를 적용한다면 수직 편파와 수평 편파 안테나 간의 간격이 감소하여 부엽을 억제할 수 있고, 누설 방사가 일어나지 않아 안테나 간의 이득 차이가 줄어들 수 있다. 또한, 이중 편파 안테나와 같이 RSIW의 소형화를 극대화시킬 수 있는 시스템과 기존 연구된 SIW 기반 시스템을 연계할 수 있다면, 기존 SIW만으로 구성된 시스템보다 더 우수한 특성을 얻을 수 있다.

Ridge 구형 도파관과 구형 도파관 간의 전이 구조<sup>[10]</sup>에서는 E-plane 방향으로 tapered line을 설계하여 점진적인 전계 정합을 하였다. PCB 기판을 사용하는 SIW에서 E-plane 방향으로 tapered line을 적용하기 위해서는 불필요하게 다층 기판을 사용해야 하므로 많은 어려움이 따른다. 이와 같은 이유로 RSIW의 장점인 소형화를 활용하기 위해서 RSIW와 SIW 간의 전이 구조에 대한 연구 필요성이 증대된다.

따라서 본 논문에서는 RSIW와 SIW 간의 전이 구조에 대해 제안한다. 기존에는 RSIW를 이용한 다층 SIW와 마이크로스트립 선로 간의 전이 구조만 발표되어 있다<sup>[11]</sup>. 제안된 전이 구조는 일정한 간격으로 도통 비어를 삽입하여 임피던스 정합과 전계 정합을 사용해 불연속 구간을 최소화하였다. 제안된 구조는 back-to-back 형태로 구성하여 해석 결과와 측정 결과를 얻었다. 측정된 결과는 중심 주파수 11 GHz 기준으로 20 dB 이하의 반사 손실 비대역폭이 29.1%이고, 동일 대역폭에서 급전 선로 부분을 제외한 전이 구조만의 삽입 손실은 최대 0.49 dB이다. 또한, 해석 결과와 측정 결과의 삽입 손실 차이에 대해 고찰하였다. 제안된 전이 구조는 기존의 SIW 기반 시스템과 RSIW의 장점인 소형화를 적용할 수 있는 이중 편파 안테나와 같은 시스템 간의 전이 시 중요한 역

할을 할 것으로 기대된다.

## II. 기판 집적 도파관과 Ridge 기판 집적 도파관 간의 전이 구조

### 2-1 기판 집적 도파관과 Ridge 기판 집적 도파관

기판 집적 도파관(SIW)과 ridge 기판 집적 도파관(RSIW)을 그림 1(a)에 나타내었다. SIW는 인쇄 회로 기판(PCB: Printed Circuit Board)에 평행한 도체 비어를 삽입함으로써 표면 전류가 진행 방향으로 흐르지 않아  $TE_{mn}$  모드만이 존재한다. RSIW도 SIW와 마찬가지로  $TE_{mn}$  모드만이 존재하지만 ridge를 구성하는 중간 금속판(middle metal) 부분으로 인하여 fringing 필드가 발생해  $TE_{mn}$  모드가 아닌 quasi- $TE_{mn}$  모드이다. 그림 1(b)는 각 전송 선로 별 전계 분포를 나타낸 것으로, 두 전송 선로에는 약간의 전계 분포 차이가 존재한다. 또한, SIW와 RSIW는 전계 분포의 중심에 유전체 기판 두께가 달라 각 전송 선로의 임피던스도 다르다. 두 전송 선로는 일반적으로 사용

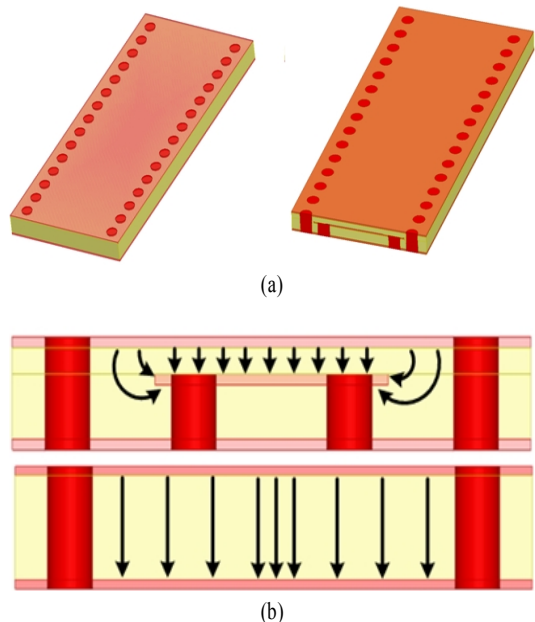


그림 1. (a) 기판 집적 도파관과 ridge 기판 집적 도파관, (b) 전계 분포

Fig. 1. (a) Substrate integrated waveguide and ridge substrate integrated waveguide, (b) E-field distribution.

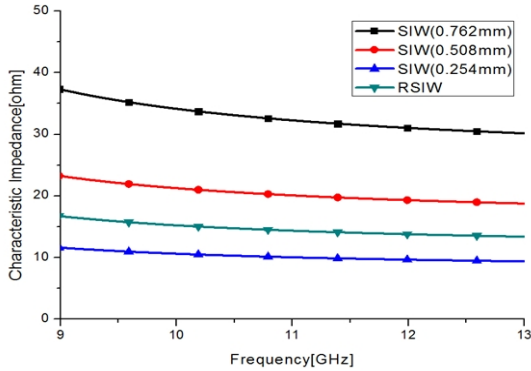
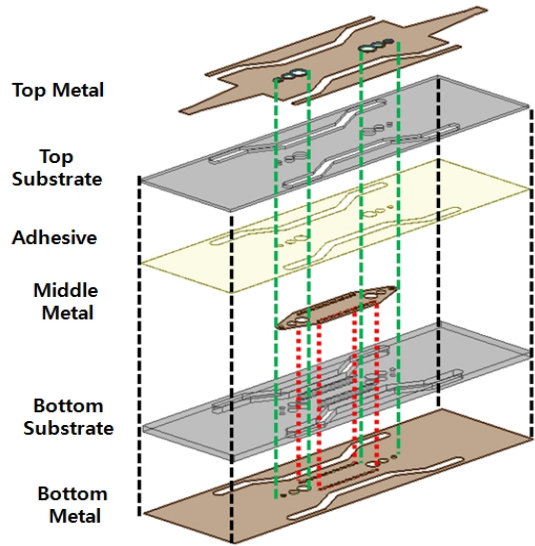


그림 2. 기판 집적 도파관과 ridge 기판 집적 도파관의 특성 임피던스 비교  
 Fig. 2. Characteristic impedance comparison of substrate integrated waveguide and ridge substrate integrated waveguide.

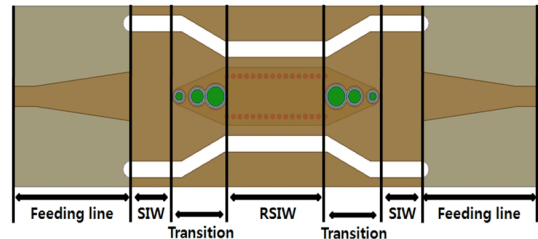
하는 평면형 전송 선로인 microstrip line이나 stripline과 같이 정확한 임피던스 계산식이 없어 시뮬레이션 툴로 전력-전압 정의를 사용하여 특성 임피던스를 구하였다. 그림 2에 시뮬레이션 툴을 이용하여 유전체 기판 두께 변화에 따른 SIW 특성 임피던스 변화와 RSIW의 특성 임피던스를 나타내었다. 전송 선로로 많이 사용하는 유전체 기판(0.254 mm와 0.508 mm)을 이용하여 RSIW를 설계하였고, 이와 동일한 조건으로 SIW(0.762 mm)를 설계하여 SIW의 임피던스가 RSIW에 비해 대략 2배가 되는 것을 확인할 수 있다.

2-2 전계 정합

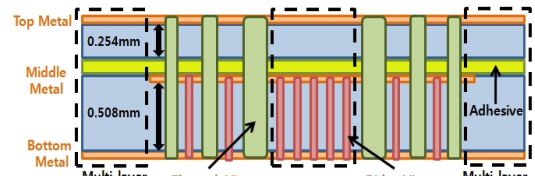
그림 3에 SIW와 RSIW 간의 제안된 전이 구조를 나타내었다. SIW와 RSIW는 차단 주파수를 6.5 GHz로, 중심 주파수를 11 GHz로 설정하였다. 두 전송 선로 모두 Taconic TLY-5( $\epsilon_r = 2.2$ ) 0.254 mm와 0.508 mm를 적층하였고, Rogers 3001 bonding film( $\epsilon_r = 2.2$ )을 이용하여 접착하였다. 시뮬레이션과 제작의 편이를 위해 사이드 비아 홀을 사용하지 않고 사이드 월(side wall)을 사용하였다. 앞 절에서 언급한 것처럼 RSIW와 SIW의 전계 분포와 임피던스에 차이가 있기 때문에 임피던스 정합과 전계 정합을 해야 한다. 전이 구조는 임피던스 정합과 전계 정합을 통해 두 전송 선로 사이의 불연속 구간을 최소화하여 광대역 전이 특성을 얻을 수 있다. 따라서 두 전송 선로 간



(a)



(b)



(c)

그림 3. (a) 제안된 전이 구조, (b) 평면도, (c) 측면도  
 Fig. 3. (a) The proposed transition, (b) Top view, (c) Side view.

의 불연속 구간을 확인하여야 한다.

두 전송 선로 사이의 불연속 구간은 ridge 구조로 인한 중간 금속판(middle metal)과 ridge 비아(ridge via)이다. 중간 금속판 때문에 생기는 불연속 구간을 최소화하기 위해 그림 4(a)와 같이 중간 금속판의 폭을 tapered line으로 설계하였다. 또한, ridge 비아로 생기는 불연속 구간을 최소화하고, 제작 수율을 높이기 위해 중간 금속판이 테이퍼링 되는 구간에 도

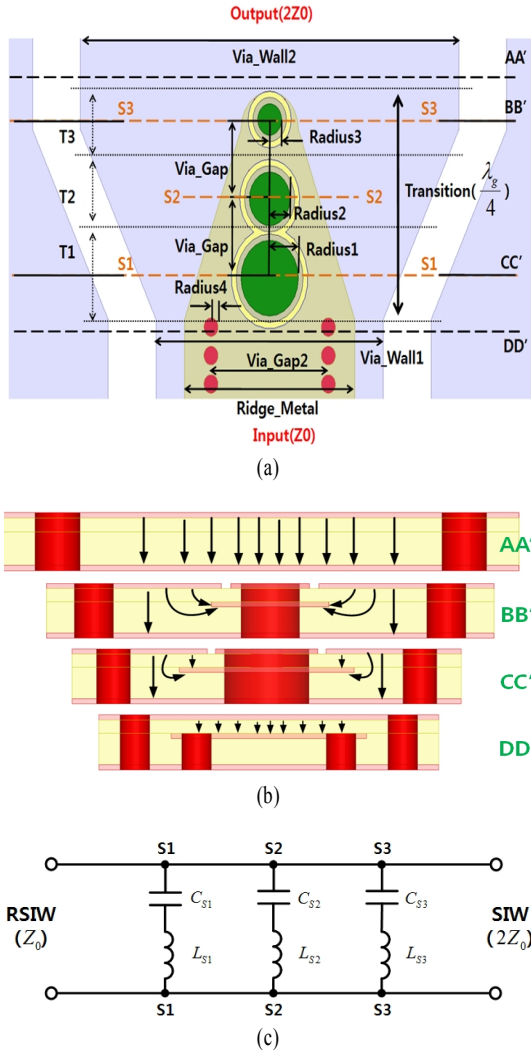


그림 4. (a) 제안된 전이 구조, (b) 전계 분포, (c) 등가회로  
 Fig. 4. (a) The proposed transition, (b) E-field distribution, (c) Equivalent circuit.

통 비아 홀을 일정한 간격으로 삽입하였다. 전이 구조 중앙에 일정한 간격으로 삽입된 도통 비아 홀과 tapered line에 의해 점진적인 전계 정합을 하였다. 그림 4(b)에 제안된 전이 구조의 점진적인 전계 분포를 확인할 수 있다.

### 2-3 임피던스 정합

전계 정합뿐만 아니라 광대역 정합 특성을 얻기 위해서는 임피던스 정합이 반드시 필요하다. 따라서 두 전송 선로 사이에 일정한 간격으로 삽입된 도

통 비아 홀을 이용하여 임피던스 정합을 하였다. 그림 4(c)에 제안된 전이 구조의 등가회로를 나타내었다. 그림 4(c)의 등가회로는 전이 구조 구간의 도통 비아 홀과 맨 위 금속판(top metal)의 anti-pad로 구성하였다. 삽입된 도통 비아 홀에 의해 커패시턴스와 인덕턴스가 추가되어 각 구간( $S_1, S_2, S_3$ )의 임피던스가 변하게 된다. 각 구간의 커패시턴스와 인덕턴스의 정확한 값은 구하지 않았지만, 등가회로를 통하여 전이 구조 구간에서 삽입된 비아의 효과를 확인할 수 있다. 각 구간의 임피던스는 삽입된 비아 홀의 반경에 따라 변한다. 삽입된 비아에 의해 생기는 병렬(shunt) 커패시턴스와 인덕턴스는 참고문헌 [12]를 통하여 식 (1), (2)로 유추할 수 있다. 또한, 전송 선로의 임피던스 정의에 근거한 식 (3)<sup>[13]</sup>을 이용하여 각 구간별 임피던스 변화를 유추할 수 있다.

$$Capacitance(C_{S_m}) \propto Radius, m ; (m = 1, 2, 3) \quad (1)$$

$$Inductance(L_{S_m}) \propto \frac{1}{Radius, m} ; (m = 1, 2, 3) \quad (2)$$

$$Z_0 \propto \frac{L}{C} \quad (3)$$

위의 식을 통하여 삽입된 도통 비아 홀의 반경이 작아질수록 커패시턴스가 감소하고, 인덕턴스가 증가하여 임피던스 값이 커지는 것을 확인할 수 있다. 비아 홀의 반경에 따라 전이 구조 내의 정확한 임피던스를 구하기 위해서 Bloch 임피던스<sup>[14]</sup>를 사용하였다. Bloch 임피던스는 주기적인 구조에서 특성 임피던스를 구하는 방법으로 주기적인 구조인 제안된 전이 구조는 Bloch 임피던스를 사용하여 임피던스를 구할 수 있다. Bloch 임피던스는 식 (4)를 이용하여 구하였다.

$$Z_B = \pm Z_0 \sqrt{\frac{(S_{11} + S_{12} + 1)(S_{11} - S_{12} + 1)}{(S_{11} + S_{12} - 1)(S_{11} - S_{12} - 1)}} \quad (4)$$

삽입된 비아에 따른 임피던스 변화 특성을 이용하여 도통 비아의 간격(via\_gap)과 반경(radius1, radius 2, and radius 3)을 FEM(Finite Element Method) 방식의 시뮬레이션 툴(Ansoft사의 HFSS v. 13.1)<sup>[15]</sup>로 최적화하였다.

최적화된 모든 변수는 표 1에 정리하였다. 제안된

표 1. 전이 구조의 설계 변수

Table 1. Design parameters of transition.

Ridge_Metal	7.1 mm	Radius 1	1.2 mm
Via_Wall1	9.5 mm	Radius 2	0.85 mm
Via_Wall2	15.8 mm	Radius 3	0.5 mm
Via_Gap2	4.9 mm	Radius 4	0.3 mm
Via_Gap	2.5 mm		

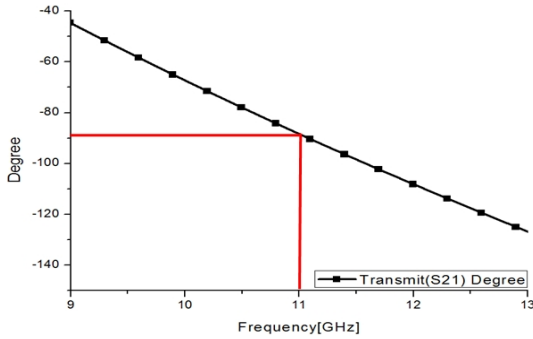


그림 5. 중심 주파수에서 전송 위상 값( $\angle S_{21}$ )  
Fig. 5. Transmit( $S_{21}$ ) degree of the center frequency.

전이 구조는  $\lambda_g/4$  ( $\lambda_g$ : 도파관내 파장) 트랜스포머를 사용하기 위해 전이 구조의 길이를  $\lambda_g/4$  길이로 하였고, 전이 구조 구간의 전송 위상( $\angle S_{21}$ )을 통하여 관내 파장을 확인하였다. 그림 5는 제안된 전이 구조 내의 전송 위상( $\angle S_{21}$ )을 나타내었다. 그림 5에 나타난 것처럼 중심 주파수 11 GHz에서 전이 구조의 전송 위상( $\angle S_{21}$ )값은  $90^\circ$ 로, 제안된 전이 구조의 길이가  $\lambda_g/4$ 라는 것을 확인할 수 있다.

최적화된 전이 구조의 등가회로를 그림 6에 나타내었다. 등가회로는 중심 주파수 11 GHz에서 부하 임피던스( $Z_{SIW}=33 \Omega$ )가 입력 임피던스( $Z_{RSIW}=15 \Omega$ )의 거의 2배의 크기를 갖는다. 따라서  $\lambda_g/4$  트랜

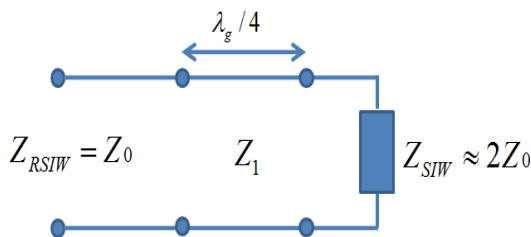


그림 6. 제안된 전이 구조의 등가회로  
Fig. 6. Equivalent circuit of the proposed transition.

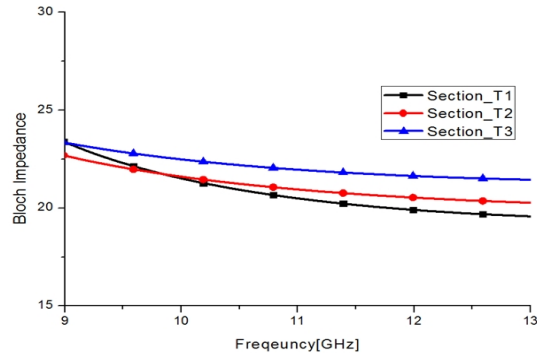


그림 7. 각 구간별 특성 임피던스  
Fig. 7. Bloch impedance of each section.

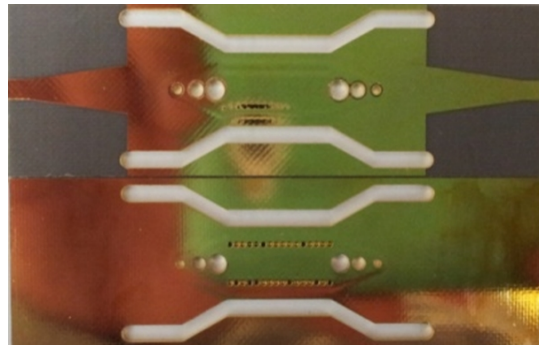


그림 8. 제작된 전이 구조  
Fig. 8. The fabricated transition structures.

스포머를 사용하기 위해서 아래의 식 (5)<sup>[13]</sup>을 이용하여 전이 구조 구간에서의 임피던스가 22 Ω이 되어야 한다. 그림 8에서와 같이 중심 주파수 11 GHz에서 각 구간별( $T_1, T_2, T_3$ )로 20~22 Ω이 나오는 것을 확인할 수 있다. 따라서 제안된 전이 구조는  $\lambda_g/4$  트랜스포머 회로와 동일함을 확인할 수 있다.

$$Z_1 = \sqrt{Z_0 Z_L} \tag{5}$$

### III. 제작 및 결과

#### 3-1 결과 및 해석

그림 8은 제안된 전이 구조를 제작한 것이다. 전이 구조는 유전체 높이가 0.254 mm와 0.508 mm이고,  $\epsilon_r=2.2, \tan\delta=0.009$ 의 특성을 갖는 Taconic TLY-5 유전체 기판을 사용하였다. S-parameter의 측정을 위해서 SIW-MS 전이 구조<sup>[16]</sup>를 이용하였고,



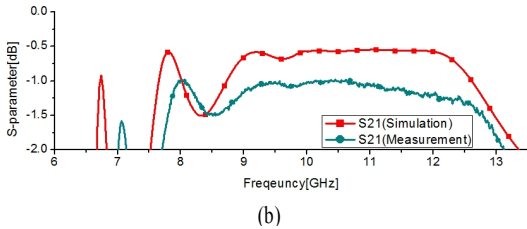
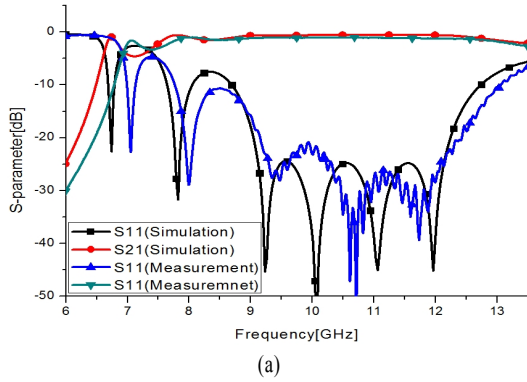


그림 9. (a) 해석 결과와 측정 결과, (b) 해석 및 측정 결과의 삽입 손실 비교

Fig. 9. (a) Simulation and measurement results, (b) The insertion loss comparison of measurement and simulation results.

Agilent사의 vector network analyzer로 측정하였다. 그림 9(a)는 해석 결과와 측정한 결과이고, 그림 9(b)는 해석 결과와 측정 결과의 삽입 손실을 확대하여 도시하였다. 해석 결과는 그림 3(b)와 같이 SIW-MS 전이 구조가 포함된 결과이고, 측정한 결과는 그림 8과 같이 제안된 전이 구조에 SMA 커넥터가 연결된 결과이다. 제안된 전이 구조는 반사 손실( $S_{11}$ )을 20 dB 이하로 가용 대역을 설정하면 해석 결과는 9.03 ~ 12.26 GHz이고, 측정 결과는 9.21 ~ 12.41 GHz이다. 또한, 중심 주파수 11 GHz를 기준으로 비대역폭은 해석 결과에서 29.4 %이고, 측정 결과에서는 29.1 %이다. 동일 대역폭에서 삽입 손실( $S_{21}$ )은 해석 결과에서 최대 0.67 dB이고, 측정 결과는 1.23 dB이다. 또한, 측정을 위하여 적용한 SIW-MS 전이 구조를 제외한 RSIW-SIW 전이 구조만의 손실을 시뮬레이션으로 확인하였다. 그림 10에 전이 구조의 feeding line(SIW-MS 전이 구조)에 의한 손실을 나타내었다. 그림 10에서 feeding line에 의한 손실은 가용 대역에서 약 0.34 ~ 0.46 dB임을 확인할 수 있다. 따라서 RSIW와 SIW 간의 전이 구조만을 back-to-back한 구

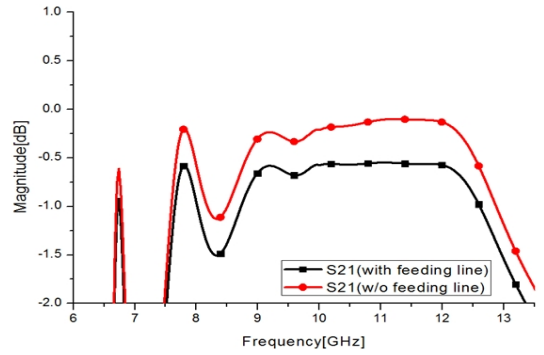


그림 10. Feeding line(MS-SIW transition)에 따른 삽입 손실 비교

Fig. 10. The insertion loss comparison based on feeding line(MS-SIW transition).

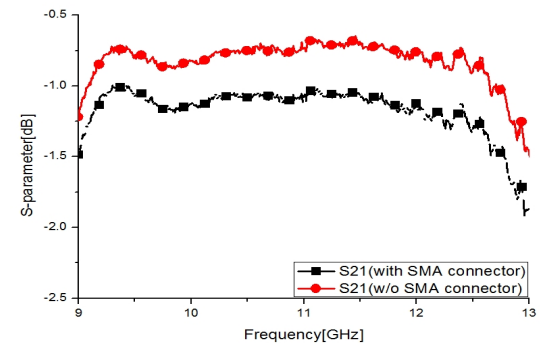


그림 11. Port extension을 이용한 SMA 커넥터에 따른 삽입 손실 비교

Fig. 11. The insertion loss comparison using port extension based on SMA connector.

조의 해석 결과는 최대 삽입 손실이 0.33 dB이다.

### 3-2 삽입 손실 비교 및 고찰

그림 9에서 삽입 손실( $S_{21}$ )은 해석 결과와 측정 결과에 최대 0.56 dB의 차이를 확인할 수 있다. 이는 측정을 위하여 연결한 SMA 커넥터와 마이크로스트립 간의 전이 손실로 판단된다. 이러한 손실을 파악하기 위해 network analyzer의 port extension 기능을 사용해 SMA 커넥터와 급전 부분의 전이 구조에 따른 손실을 확인하였다. Port extension은 디바이스만의 특성을 측정하기 위하여 사용하는 가장 간단한 de-embedding 방법이다. 측정을 위하여 network analyzer를 calibration하면 측정하는 디바이스의 SMA 커넥터 손실을 보상할 수 없다. 따라서, SMA 커넥터와

feeding line인 마이크로스트립 선로 간의 전이 손실을 확인하기 위하여 디바이스의 한 포트는 calibration된 케이블에서 feeding line인 마이크로스트립 선로까지 연결하고, 다른 한 포트는 개방시켜 전이 손실을 확인할 수 있다. 그림 11에 SMA 커넥터 연결로 발생하는 삽입 손실 값을 비교하였다. 그림에서 확인할 수 있듯이 손실은 대략 0.4~0.45 dB로 파악된다. 따라서 측정을 위해 사용한 전이 구조(MS-SIW transition)의 삽입 손실을 제외하고 SIW와 RSIW 간의 전이 구조만의 측정된 삽입 손실은 가용대역에서 최대 0.49 dB이다. 이와 같이 전이 구조는 SMA 커넥터와 급전 부분 간의 전이 손실을 제외하면 해석 결과와 거의 일치함을 확인할 수 있다.

#### IV. 결 론

본 논문에서는 SIW와 RSIW 간의 전이 구조를 제안하였다. 제안된 전이 구조는 전송 선로 간의 임피던스와 전계 분포 차이에 따른 불연속 구간을 일정한 간격으로 삽입된 도통 비아 홀을 이용하여 임피던스 정합과 전계 정합을 하여 최소화하였다. 측정 결과에서 반사 손실이 20 dB 이하인 구간의 비대역폭(중심 주파수 11 GHz)은 29.1 %였다. 동일한 대역폭에서 back-to-back 형태로 구성된 전이 구조만의 삽입 손실은 최대 0.49 dB임을 확인할 수 있었다. 측정된 삽입 손실은 SMA 커넥터와의 전이 손실을 제외하면 측정 결과와 해석 결과가 거의 일치함을 확인할 수 있다.

따라서 제안된 전이 구조는 소형화를 위해 RSIW를 적용한 시스템과 SIW 기반 시스템의 전이 시 적용되어 시스템 성능향상에 기여할 것으로 예상된다.

#### 참 고 문 헌

[1] K. Wu, D. Deslandes, and Y. Cassivi, "The substrate integrated circuits - a new concept for high-frequency electronics and optoelectronics", *IEEE Telecommunications in Modern Satellite, Cable and Broadcasting Service*, vol. 1, pp. 3-10, Oct. 2003.

[2] B. Potelon, J. F. Favennec, C. Quendo, E. Rius, C. Person, and J. C. Bohorquez, "Design of a substrate integrated waveguide(SIW) filter using a no-

vel topology coupling", *IEEE Microw. Wireless Compon. Lett.*, vol. 18, no. 9, pp. 596-598, Sep. 2008.

[3] K. Kim, J. Byun, and H. -Y. Lee, "Substrate integrated waveguide Wilkinson power divider with improved isolation performance", *Progress in Electromagnetics Research Letters*, vol. 19, pp. 41-48, 2010.

[4] K. Sellal, L. Talbi, T. Denidni, and J. Lebel, "A new substrate integrated waveguide phase shifter", *36th Eur. Microw. Conf.*, pp. 72-75, Sep. 2006.

[5] W. Hong, B. Liu, Y. Q. Wang, Q. H. Lai, and K. Wu, "Half mode substrate integrated waveguide, "A new guided wave structure for microwave and millimeter wave application", in *Proc. Joint 31st Int. Infrared Millimeter Waves and Int. Conf. Terahertz Electron.*, pp. 18-22, Sep. 2006.

[6] M. Bozzi, S. A. Winkler, and K. Wu, "Broadband and compact ridge substrate integrated waveguides", *IEEE Antennas and Propagation, IET*, vol. 4, pp. 1965-1973, Nov. 2010.

[7] N. Grigoropoulos, B. S. Izquierdo, and P. R. Young, "Substrate integrated folded waveguides(SIFW) and filters", *IEEE Microw. Wireless. Compon. Lett.*, vol. 15, pp. 829-831, Dec. 2005.

[8] Wei Wang, Jian Jin, Jia-Guo Lu, and Shun-Shi Zhong, "Waveguide slotted antenna array with broadband, dual-polarization and low cross polarization for X-band SAR applications", *Radar Conference, 2005 IEEE International*, pp. 653-656, 2009.

[9] 조대근, 변진도, 이해영, "이중 편파 위상 배열 시스템을 위한 기판 집적 슬롯 배열 안테나", *한국전자과학회논문지*, 12(2), pp. 228-235, 2011년 2월.

[10] G. E. Ponchak, R. N. Simons, "A new rectangular waveguide to coplanar waveguide transition", *IEEE Microwave Symposium Digest, MTT-S International*, vol. 1, pp. 491-492, May 1990.

[11] Y. Ding, K. Wu, "Substrate integrated waveguide-to-microstrip transition in multilayer substrate", *IEEE Trans. Microw. Theory. Tech.*, vol. 55, no. 12,

pp. 2839-2844, Dec. 2007.

[12] N. Marcuvitz, *Waveguide Handbook*, IET Electromagnetic Waves Series 21, pp. 257-263, 1985.

[13] David M. Pozar, *Microwave Engineering*, 3rd Edition, John Willey & Son Inc., pp. 240-243, 2005.

[14] Jindo Byun, Hai-Young Lee, "Implementation of

the SIW Klopfenstein taper using a comb-SIW", *41st Eur. Microw. Conf.*, pp. 432-435, Oct. 2011.

[15] Ansoft HFSS v13.1:www.ansoft.com

[16] D. Deslandes, "Design equations for tapered microstrip-to-substrate integrated waveguide transitions", *IEEE Microwave Symposium Digest, MTT-S International*, pp. 23-28, 2010.

### 전 지 원



2011년 2월: 아주대학교 전자공학부 (공학사)  
 2011년 3월~현재: 아주대학교 전자공학과 석사과정  
 [주 관심분야] 초고주파 회로설계, SIW Circuit, T/R Module

### 이 해 영



1980년 2월: 아주대학교 전자공학과 (공학사)  
 1982년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)  
 1982년~1986년: 국방부 연구사무관  
 1989년 12월: The University of Texas at Austin (공학박사)  
 1990년~1992년: LG 기술원 기초1실장  
 1992년~현재: 아주대학교 전자공학부 정교수  
 2010년: 한국전자파학회 회장  
 [주 관심분야] 초고속 System in Package, 마이크로파회로 및 광전소자의 설계/측정, 고속반도체테스트기술, SI/EMI 기술

### 변 진 도



2006년 8월: 아주대학교 전자공학부 (공학사)  
 2008년 8월: 아주대학교 전자공학과 (공학석사)  
 2008년 9월~현재: 아주대학교 전자공학과 박사과정  
 [주 관심분야] 초고주파 회로설계, SI/EMC, 위성 배열 시스템, SIW Circuit