

DVB-S2 기반 고속 LDPC 부호기 설계

박 균 열*, 이 성 로*, 전 성 민*, 정 지 원°

Design of High Speed LDPC Encoder Based on DVB-S2 Standard

Gun Yeol Park*, Seong Ro Lee*, Sung Min Jeon*, Ji-Won Jung°

요 약

본 논문은 LDPC 부호화 과정에서 기존의 부호화 방식은 패리티를 구하는 과정에서 이전의 패리티 값을 알아야 다음 패리티 값을 알 수 있으므로, 항상 패리티 개수만큼의 클럭이 필요하다. 따라서 본 논문에서는 기존의 직렬구조에서 360 개의 부분 병렬을 이용하여, 그리고 부호화 구조에서 메모리를 효율적으로 적용하여, 고속으로 부호화 알고리즘을 제안하였다. DVB-S2기반의 LDPC 부호화를 1/2 일 때, 기준 클럭 100MHz에서 최대 throughput이 10Gbps 가 가능함을 알 수 있었다.

Key Words : DVB-S2, Low Density Parity Check, CNU(Check Node Update),BNU(Bit Node Update)

ABSTRACT

In this paper, we proposed high speed LDPC encoder architecture for DVB-S2 standard. In conventional algorithm, the processes of parity calculations are serial fashion. Therefore conventional algorithm need clocks of number of parity .The proposed LDPC encoding architecture is based on a parallel 360 bits-wise operations. The key issues for realizing high speed are using the two kinds of index addresses and make use of memories efficiently. We implemented a half rate LDPC encoder on an FPGA, and confirmed its maximum throughput is up to 10 Gbps on 100MHz clock.

I. 서 론

서비스의 연속성이 보장되고 채널을 효율적으로 사용할 수 있는 초고화질 다채널 실감 방송 서비스를 전국 단위로 제공하기 위한 100Mbps급 이상의 초고속 위성 방송 전송 기술 및 차세대 위성 방송 확보를 위해 기반 기술의 개발이 시급한 실정이다. 따라서 초고속 위성 방송 전송을 위해 고속 변 복조 및 채널 부복호화의 고속화 등 전송기술고도화를 위해 연구를 유럽에서는 수행 중에 있으며, 국내

에서도 고속화에 대한 관심이 집중되고 있다. DVB-S2에서 제시된 LDPC 부호화 방식이 초고화질 다채널 실감 방송 서비스를 전국 단위로 제공하기 위한 300Mbps급 이상의 초고속 위성 방송 전송 기술로 적합하다. 유럽식 위성 방송 표준안인 DVB-S2에 적용되는 사논의 채널 용량 한계에 근접한 LDPC 부호는 터보 부호에 비해 복호화의 복잡도가 낮을 뿐 아니라 좋은 거리 특성으로 오류마루 현상이 나타나지 않고, 완전 병렬 처리로 고속 처리가 가능한 장점이 있다. 100Mbps급 이상의 LDPC

※ 이 논문은 2012년도 정부(교육과학기술부)의 재원으로 한국연구재단의 대학중점연구소 지원사업으로 수행된 연구임(2009-0093828)

※ 본 연구는 교육과학기술부와 한국연구재단의 지역혁신 인력양성사업으로 수행된 연구결과임

• 주저자 : 한국해양대학교 전파공학과, pgy04@hhu.ac.kr, 학생회원

° 교신저자 : 한국해양대학교 전파공학과, jwjung@hhu.ac.kr, 정회원

* 목포대학교 정보전자공학과, srlee@mokpo.ac.kr, 정회원, jsm0830@mokpo.ac.kr

논문번호 : KICS2013-01-030, 접수일자 : 2013년 1월 14일, 최종논문접수일자 : 2012년 2월 19일

초기치는 모두 0으로 가정한다.

(2) 패리티비트 주소에서 첫 번째 정보비트 i_0 를 계산한다.($R=2/3$)

$$\begin{aligned}
 p_0 &= p_0 \oplus i_0 & p_{2767} &= p_{2767} \oplus i_0 & p_{10491} &= p_{10491} \oplus i_0 \\
 p_{240} &= p_{240} \oplus i_0 & p_{16043} &= p_{16043} \oplus i_0 & p_{18673} &= p_{18673} \oplus i_0 \\
 p_{506} &= p_{506} \oplus i_0 & p_{9279} &= p_{9279} \oplus i_0 & p_{12826} &= p_{12826} \oplus i_0 \\
 p_{10579} &= p_{10579} \oplus i_0 & & & p_{8065} &= p_{8065} \oplus i_0 \\
 p_{20928} &= p_{20928} \oplus i_0 & p_{8226} &= p_{8226} \oplus i_0 & &
 \end{aligned}$$

(3) 359개의 정보비트 $i_m, m = 1, 2, \dots, 359$ 이고 $\{x + m \bmod 360 \times q\} \bmod (n_{ldpc} - p_{ldpc})$ 식에 의해 i_m 을 계산한다. 여기서 x 는 첫 번째 비트 i_0 와 유사하게 계산된 패리티 비트의 주소를 나타낸다. q 는 code rate에 맞는 상수 값을 표2에 나타내었다. 예를 들어 $q=60, rate=2/3$, 정보비트 i_1 을 예를 들면 다음과 같이 나타낼 수 있다.

$$\begin{aligned}
 p_{60} &= p_{60} \oplus i_0 & p_{2827} &= p_{2827} \oplus i_0 & p_{10551} &= p_{10551} \oplus i_0 \\
 p_{300} &= p_{300} \oplus i_0 & p_{16103} &= p_{16103} \oplus i_0 & p_{18733} &= p_{18733} \oplus i_0 \\
 p_{566} &= p_{566} \oplus i_0 & p_{9339} &= p_{9339} \oplus i_0 & p_{12886} &= p_{12886} \oplus i_0 \\
 p_{10639} &= p_{10639} \oplus i_0 & & & p_{8125} &= p_{8125} \oplus i_0 \\
 p_{20988} &= p_{20988} \oplus i_0 & p_{8286} &= p_{8286} \oplus i_0 & &
 \end{aligned}$$

유사한 방법으로 359개의 정보비트 $i_m, m = 361, 362, \dots, 719$ 이고 다음 식(1)에 의해 i_m 을 계산한다.

$$\{x + m \bmod 360 \times q\} \bmod (n_{ldpc} - p_{ldpc}) \quad (1)$$

마지막 상수 p_i 와 $i = 0, 1, \dots, n_{ldpc} - k_{ldpc} - 1$ 은 패리티비트 p_i 와 같다. 표2는 $N=64800$ 일 때 각 부호화율에 따른 q 값이다.

표 2. 각 부호화율에 대한 q 값
Table 2. q value of code rate.

code rate	q
1/4	135
1/3	120
2/5	108
1/2	90
3/5	72
2/3	60
3/4	45
4/5	36
5/6	30
8/9	20
9/10	18

III. 고속 LDPC 부호화 알고리즘

K 의 정보 비트에 의해 $N-K$ 의 패리티 비트가 다음 식(2),(3)과 같이 생성된다. 부호화 과정을 하기 위해서는 메모리에서 값을 불러내기 위한 인덱스가 필요하며, 본 논문에서는 부호화 하고자하는 비트를 360개씩 그룹으로 나뉘어 R_index 와 P_index 파라미터를 이용하였으며, R_index 는 부호화 하고자하는 비트의 그룹 위치를 나타내며, P_index 는 그 그룹 내의 비트 위치를 나타낸다^[6]. 정보 비트 $K = [(K_{0,359}), (K_{1,359}), \dots, (K_{q-1,359})]$ 로 순서대로 360개씩 그룹화 한다.

$$\sum_{i=0}^{359} \sum_{j=0}^{dc-2} K_{R_index[0,j](P_index[0,j]+i)\%360} = P_{0,i} (0-th\ row) \quad (2)$$

$$\sum_{i=0}^{359} \sum_{j=0}^{dc-2} K_{R_index[x,j](P_index[x,j]+i)\%360} \oplus P_{x-1,i} = P_{x,i} (x \neq 0\ row) \quad (3)$$

위의 식(2)와 식(3)에서 dc 는 row_weight의 수를 나타내고 $R_index[x,j]$ 는 R_index 의 x 번째 row에서 j 번째 값을 나타내고 $P_index[x,j]$ 는 P_index 의 x 번째 row에서 j 번째 값을 나타낸다. 위의 식처럼 패리티를 계산하게 되면 각각의 row에 포함되는 360개의 패리티가 동시에 생성된다. 그 이유는 DVB-S2 기반 LDPC는 H 매트릭스 상에서 q 간격으로 360개씩 그룹을 이루기 때문이다. 이렇게 계산된 패리티는 360개씩 메모리의 첫 번째 주소부터 차례대로 저장된다.

전체적인 구조는 다음 그림2와 같다.

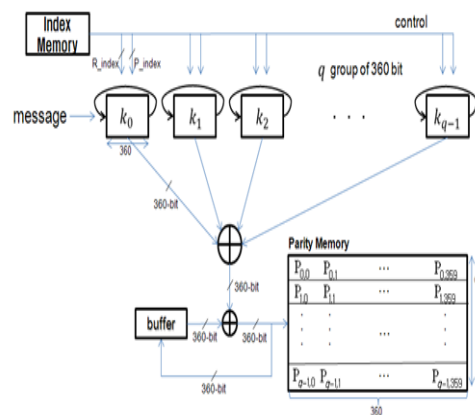


그림 2. 제안한 고속 LDPC 부호화기 구조
Fig. 2. Proposed encoder structure for DVB-S2 LDPC codes

인코더에서 출력되는 패리티 비트는 360개씩 q

개의 주소가 그림 2의 패리티 메모리에 저장된다. 패리티는 이전의 패리티에 따라서 다음 패리티를 식(4) 에서 구할 수 있다.

$$P_i = P_i \oplus P_{i-1} \quad (4)$$

즉, 이전의 패리티를 알고 있어야 다음 패리티 값을 구할 수 있다는 것이다. 하지만 식(4) 와 같이 패리티를 구하게 되면 부호화율이 1/2인 경우에는 패리티의 길이가 32400이기 때문에 이에 소모되는 클럭은 32400의 클럭이 소요되게 되어 고속 부호화를 할 수 없게 된다.

식(2), (3) 과 같이 패리티를 생성하게 되면 첫 번째 주소에서 $P_0 \sim P_{q-1}$ 를 제외한 $P_q \sim P_{N-K}$ 는 식(4) 처럼 이전의 패리티를 고려하지 않은 상태로 패리티 연산을 하였기 때문에 $P_0 \sim P_{q-1}$ 를 제외한 모든 패리티는 이전의 패리티를 고려하여 다시 계산을 해줘야 한다. 하지만 패리티를 생성하는 연산 자체는 비트연산의 ex-or 연산이므로 예를 들어, P_{89} 가 ‘1’일 경우 $P_{90} \sim P_{179}$ 까지의 패리티 비트는 모두 반전이 된다. 마찬가지로 모든 연산이 끝난 P_{179} 의 값이 ‘1’일 경우 $P_{180} \sim P_{269}$ 까지의 패리티 비트는 모두 반전이 된다. 이러한 성질을 이용하면 그림 3과 같이 메모리의 마지막 주소에서 읽어 온 360개의 패리티 비트들은 식(5) 와 같이 계산이 된다.

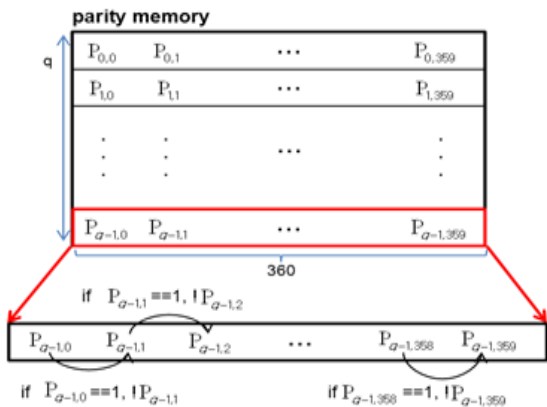


그림 3. 마지막 address을 활용한 패리티 연산
Fig. 3. The operations of last address of parity memory

$$P_{q-1,k} = P_{q-1,k} \oplus P_{q-1,k-1} (k=1 \sim 359) \quad (5)$$

즉, P_{89} 를 이용하여 P_{89} 가 ‘1’이라면 P_{179} 의 값은 반전, 연산된 P_{179} 의 값이 ‘1’이라면 P_{269} 의 값

은 반전되는 방식으로 총 359번의 연산으로 마지막 주소의 패리티 비트를 완벽히 연산할 수 있다.

$$P_{i,j} = P_{i,j} \oplus P_{q-1,j} \quad i=0 \sim q-2, j=1 \sim 359 \quad (6)$$

마지막 패리티 비트들에 대한 연산이 끝나면 그림 4와 같이 다시 메모리의 첫번째 주소의 패리티 비트들부터 읽으면서 각각 359개의 패리티 비트들을 반전 혹은 비 반전을 하여 모든 패리티 비트들을 완벽히 연산할 수 있다.

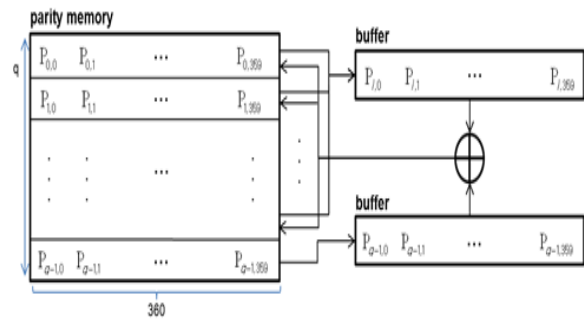


그림 4. 최종 부호화기 처리 과정
Fig. 4. The operations of the last encoding processing

다음 표3 은 제안한 LDPC 부호화기의 복잡도를 나타낸다.

표 3. 제안한 LDPC 부호화기의 복잡도
Table 3. Complexity of the proposed LDPC encoder.

Number of EXORs	1081
Number of register with 360 bits	$q+1$
Number of memory	Parity memory : $q \times 360$ R_index memory : $q \times 35$ P_index memory : $q \times 45$

총 1081개의 EXOR이 필요로 하며 360개씩 총 $q+1$ 개의 레지스터가 사용된다. Parity memory, R_index memory, P_index memory는 각각 $q \times 360$, $q \times 35$, $q \times 45$ 의 메모리가 필요하다. 따라서 총 $(3q+360+\alpha)$ 개의 클럭이 필요로 한다. 여기서 α 는 구현 시 발생하는 지연이다. 따라서 각 부호화율에서는 q 값이 틀리므로 부호화율의 차이가 나며, 예를 들어 부호화율이 2/3 인 경우에는 $q=60$ 이므로 540클럭이 필요하여 약 12G급 대의 부호화

기 구현이 가능하다. 2/3 인 경우 패리티 개수는 21600 이므로 기존방식은 약 300 Mbps급이므로 약 4배 정도 빠름을 알 수 있다. 다른 부호화율 역시 표 1과 표 2를 근간으로 계산할 수 있다. 표4는 기존의 부호화 방식과 제안한 방식의 속도를 부호화율 1/2에서 비교한 표이다. 제안한 방식이 고속 부호화에 적합한 것을 알 수 있다.

표 4. 부호화율 1/2에서의 기존 방식과 제안한 방식의 속도 비교
Table 4. The comparison of speed of existing method and proposed method in half rate.

	Required clock Number	Throughput of 10ns clock
Existing Encoder	32400 clock	200 Mbit/s
High speed Encoder	630 clock	10 Gbit/s

IV. 결 론

본 논문에서는 DVB-S2를 기반으로 고속 LDPC 부호화기 구조를 제안하였다. DVB-S2 기반의 LDPC의 H 매트릭스는 q 개씩 360개씩 그룹으로 이루어져 있기 때문에 두 개의 인덱스를 사용하여 패리티를 사용하게 되면 각각의 row에 포함되는 360개의 패리티가 동시에 생성되게 된다. 또한 제안한 구조는 마지막 주소의 값을 가지고 반전 혹은 비반전을 이용하며 마지막 주소에서 얻어진 값을 가지고 나머지 주소($0 \sim q-2$)의 패리티 값을 보다 쉽게 찾는 걸 알 수 있었으며 360개의 부분 병렬을 이용하여 클럭 수가 줄어드는 것을 확인할 수 있어서 고속화가 가능하게 되는 것이다.

본 논문에서는 제안한 구조를 통하여 속도를 비교해 보았다. 부호화율 1/2에서 기존 부호화기는 32400 클럭이 사용되는 반면 제안한 부호화기는 630 클럭이 사용 되므로 고속화가 되는 것을 확인할 수 있었으며 FPGA를 통해 인코더를 구현한 결과 36801개의 flip-flops, 360비트씩 90개의 레지스터 블록 2개의 인덱스 메모리 RAMs가 필요로 함을 볼 수 있었으며 기본 주파수 클럭 100MHz에서 약 10Gbps급의 throughput을 확인할 수 있었다. 본 논문에서 논한 고속 LDPC 부호화기는 초고속 위성 방송을 위한 부호의 고속화에 유용한 자료가 되리라 사료된다.

참고문헌

- [1] R. G. Gallager, "Low-Density Parity-Check Codes," *IRE trans. Infom. Theory*, vol. IT-8, pp. 21-28, Jan. 1962.
- [2] M. Eroz, F. W. sun, and L. N. Lee, "DVB-S2 low density parity check codes with near Shannon limit performance," *Int. J. Satell. Commun. Network*, vol. 22, no. 3, pp. 269-279, May-June 2004.
- [3] P. Urad, E. yeo, L. Paumier, P. Georgelin, T. Michel, V. Lebars, E. Yeo, and B. Gupta, "A 135Mb/s DVB-S2 Compliant CODEC based on 64800b LDPC and BCH Codes," *Proc. ISSCC 2005*, San Francisco, USA, pp446-447, Feb. 2005.
- [4] F. Kienle, T. Brack, and N. Wehn, "A synthesizable IP core for DVB-S2 LDPC code decoding," *Proc. Design, Automation and Test in Europe 2005*, vol. 3, pp. 100-105, Mar. 2005.
- [5] Takashi Yokokawa, Misa Nakane, and Makiko Kan, "A Low Complexity and Programmable Encoder Architecture of the LDPC codes for DVB-S2.," in *3rd turbo coding Conference, Munich, Germany*, April 2006.
- [6] Lim Byeong Su, Kim Min Hyuk, Park Tae Doo, Park Gun Yeol, Jung Ji Won, "A FPGA Design of High Speed LDPC Decoder for DVB-S2 Standard" *The Korean Institute of Communications and Information Sciences*, 2012 Summer Conference, pp. 166~167, June, 2012.

박 군 열 (Gun Yeol Park)



2012년 2월 한국해양대학교
전파공학과 공학사
2012년 3월~현재 한국해양대
학교 전파공학과 석사과정
<관심분야> 위성통신, 이동통신,
변·복조기술, 채널코딩,
FPGA 기술 등

이 성 로 (Seong Ro Lee)



1987년 2월 고려대학교 전자공
학과 공학사
1990년 2월 한국과학기술원 전
기및전자공학과 공학석사
1996년 8월 한국과학기술원 전
기및전자공학과 공학박사
1997년 9월~현재 목포대학교

공과대학 정보전자공학과 교수

<관심분야> 디지털통신시스템, 이동 및 위성통신시
스템, USN/텔레메틱스응용분야, 임베디드시스템

전 성 민 (Sung Min Jeon)



2012년 2월 목포대학교 정보
전자공학과 공학사
2012년 3월~현재 목포대학교
전자공학과 석사과정

<관심분야> M2M Network,
Communication Network,
Smart Device

디지털통신시
스템, USN, 배열신호처리, 임베디드시스템

정 지 원 (Ji-Won Jung)



1989년 2월 성균관대학교 전자공
학과 공학사
1991년 2월 성균관대학교 전자공
학과 공학석사
1995년 2월 성균관대학교 정보공
학과 공학박사

1991년 1월~1992년 2월 LG 정
보통신연구소 연구원

1995년 9월~1996년 8월 한국통신 위성통신연구실
선임연구원

1997년 3월~1998년12월 한국전자통신연구원 초빙
연구원

1996년 9월~현재 한국해양대학교 전파공학과 정교
수

2001년 8월~2002년 8월 캐나다 NSERC
Fellowship (Communication Research Center 근
무)

<관심분야> 위성통신, 이동통신, 변.복조기술, 채널
코딩, FPGA 기술 등