

논문 2013-50-2-16

MBOA용 3~10GHz UWB 주파수합성기의 설계

(Design of 3~10GHz UWB Frequency Synthesizer for MBOA System)

김 동 식*, 채 상 훈**

(Dong-Shik Kim and Sang-Hoon Chai)

요 약

UWB의 일종인 MBOA 무선통신 시스템에 내장하기 위한 광대역 RF 주파수 합성기를 0.13 μ m 실리콘 CMOS 기술을 이용하여 설계하였다. 효율적인 MBOA 클럭신호 생성을 위하여 낮은 주파수를 갖는 하위 밴드에서는 큰 배수로 주파수를 합성하고, 높은 주파수를 갖는 상위 밴드에서는 작은 배수로 주파수를 합성함으로써 VCO의 발진범위를 대폭 줄일 수 있는 새로운 방법을 적용하였다. 설계된 PLL 회로는 P-MOS 코어 구조의 VCO 및 슈퍼 다이내믹 구조의 주파수 분할기를 사용하여 고속 및 광대역 동작 범위를 확보하였다.

Abstract

This paper describes design of a RF frequency synthesizer for the MBOA UWB systems with 0.13 μ m silicon CMOS technology. To generate effective clock signal of the MBOA novel technique which uses large scale multiplication in band of low frequency and small scale multiplication in band of high frequency has been used to reduce oscillation bandwidth of VCO. To get good performance of high speed and wide band operation characteristics a VCO using PMOS core structure and a frequency divider using super dynamic structure used in design of PLL circuit.

Keywords : UWB, MBOA, 10GHz, RF, 주파수합성기, PLL, 회로 설계

I. 서 론

RF 통신과 같은 초고속 통신회로에는 시스템에 사용할 클럭의 생성을 위하여 PLL 회로가 필수적으로 사용된다. 최근 RF 통신 분야에서는 10GHz가 넘는 초고속 통신이 소개되고 있으며, 이에 따라 클럭 발생을 위한 PLL(Phase Locked Loop) 회로 내의 VCO(Voltage Controlled Oscillator) 동작 속도도 20GHz가 넘고 있다. 그중에서도 특히 MBOA(Multi-Band OFDM Alliance)와 같은 여러 개의 서로 다른 채널 및

밴드를 사용하는 UWB(Ultra Wide Band) 통신 시스템에는 폭 넓은 주파수 대역폭으로 동작함과 동시에, 서로 다른 주파수를 갖는 여러 밴드의 클럭을 발생시키기 위한 VCO 및 PLL 회로가 쓰여야 한다.^[1] 지금까지 주로 사용되어온 이동 통신이나 무선랜 통신은 사용 주파수가 10GHz 이하로 비교적 낮고, 중심 주파수로부터의 대역폭이 1GHz 이하여서 기존 VCO 및 PLL 회로를 사용하여 주파수 합성회로를 설계하는 것이 가능하였다^[2]. 그러나 MBOA 등 향후 쓰일 10GHz 이상의 주파수와 5GHz 이상의 대역폭을 갖는 초고속 UWB RF 무선 통신회로에서는 기존의 VCO 및 PLL 회로는 동작이 불가능하므로 새로운 방식으로 동작하는 주파수합성기가 필요하다.

본 연구에서는 새로운 알고리즘을 사용하여 VCO의 발진 대역폭을 대폭 줄이고, 슈퍼 다이내믹(super

* 학생회원, ** 평생회원, 호서대학교 전자공학과
(Dept. of Electronics Engineering, Hoseo University)

※ 본 연구는 호서대학교 교내연구비 지원 및 IDEC의 일부 CAD tool 지원으로 수행하였음.

접수일자 : 2012년4월16일, 수정완료일 : 2013년1월17일

dynamic) 회로를 채용하여 주파수분할기의 동작속도를 높은 광대역 MBOA 무선통신용 RF 주파수합성기를 0.13 μ m CMOS 기술을 사용하여 설계하였다.

II. MBOA용 주파수 합성기의 구성

그림 1은 차세대 UWB 통신의 대표적인 예인 MBOA 시스템의 채널 및 밴드 구성을 나타낸 것이다. 그림에서와 같이 MBOA는 3,432~10,296MHz의 매우 넓은 범위 내에서 528MHz 간격의 5채널 14개의 밴드로 구성된다. 따라서 10GHz 이상의 동작 주파수와 7GHz 이상의 대역폭이 필요하다. 그림 2는 MBOA 시스템에 사용하기 위한 PLL 기반의 가장 간단한 구조를 갖는 주파수합성기를 나타낸 블록도의 한 예이다. 이 주파수합성기는 밴드 기본 간격의 1/2인 264MHz를 기준클록(reference clock)으로 사용하며, 전압제어발진기(VCO)의 주파수 발진범위를 I-Q 신호발생을 고려하여 실제 사용 주파수의 2배인 6,864~20,592MHz로 설정한다. 그러나 이 구조의 주파수합성기의 경우는 PLL에 내장된 VCO가 담당해야할 주파수 범위가 너무 넓어서(대역폭 13,728MHz; 중심주파수 13,728MHz 대비 100%($\pm 50.0\%$)) 일반적인 LC발진기를 사용한 PLL 회로로는 실현이 거의 불가능하다. 그러므로 기존의 연구에서는 2~3개의 채널 또는 6~8개의 밴드를 구현하는 정도로 한정적인 채널 또는 밴드를 갖는 MBOA용 주파수합성기를 구현하거나, 서로 다른 주파수 영역을 갖는 여러 개의 VCO를 동일한 칩에 집적하여 그중의 하나를 선택하는 방식으로 동작하는 주파수합성기를 구현하였다[3~6]. 그러나 이 방법들은 한정적인 채널 또는 밴드 만 구현할 수 있거나, 칩 면적, 전력소모, 잡음발생 면에서 문제가 있을 수 있다. 따라서 VCO의 동작주파수 범위를 줄이면서 하나의 VCO에 의하여 MBOA 주파수 전체 영역에 걸쳐서 동작하는 단순한 구조를 갖는 PLL 알고리즘이 필요하다.

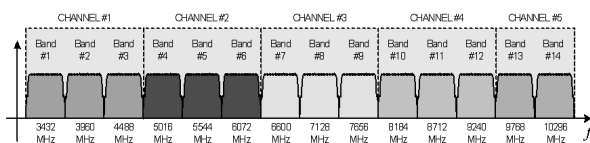


그림 1. MBOA 주파수합성기의 밴드 및 채널
Fig. 1. Band and channels of MBOA frequency synthesizer.

III. 새로운 주파수합성기 회로의 설계

본 연구에서는 효율적인 MBOA 클럭신호 생성을 위하여 VCO의 발진범위를 대폭 줄일 수 있는 새로운 알고리즘을 제안하였으며, 이 알고리즘을 적용한 MBOA 신호생성용 RF PLL 주파수합성기를 CMOS 기술을 이용하여 설계하였다. 표 1은 VCO의 발진범위를 대폭 줄이기 위한 알고리즘을 나타낸 것으로써, VCO에서 각 채널(밴드) 별로 서로 다른 배수로 주파수를 생성한 다음 주파수분할기를 사용하여 출력 단에서 배수만큼 다시 주파수를 분할하여 필요한 주파수를 생성하는 방법을 사용한다. 즉, 낮은 주파수를 갖는 하위 밴드에서는 큰 배수로 주파수를 합성하고, 높은 주파수를 갖는 상위 밴드에서는 작은 배수로 주파수를 합성함으로써 VCO의 발진주파수 범위를 줄이는 방법이다. 표에서 첫째 행은 채널 및 밴드번호를, 둘째 행은 밴드 주파수를, 셋째 행은 각 밴드주파수의 528MHz에 대한 배수를

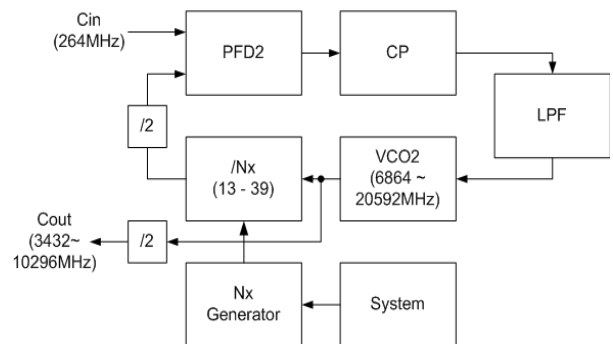


그림 2. MBOA 주파수합성기의 블록도 예
Fig. 2. Example block diagram of MBOA frequency synthesizer.

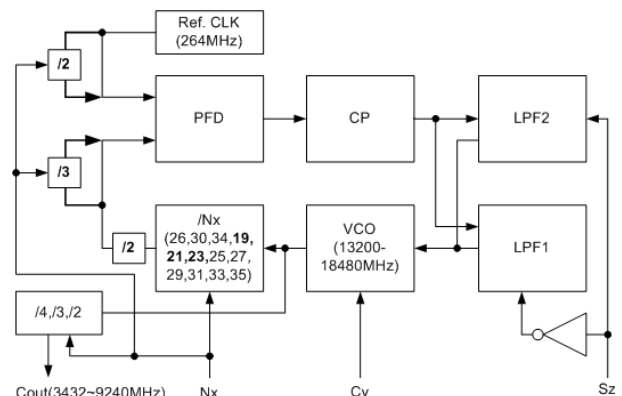


그림 3. 설계된 주파수합성기의 블록도
Fig. 3. Designed block diagram of frequency synthesizer.

표 1. MBOA 주파수합성기의 주파수 생성 표
Table 1. Frequency table of MBOA frequency synthesizer.

Ch-B No. Freq. \	1-1	1-2	1-3	2-4	2-5	2-6	3-7	3-8	3-9	4-10	4-11	4-12	5-13	5-14
Freq. * 1	3432	3960	4488	5016	5544	6072	6600	7128	7656	8184	8712	9240	9768	10296
N * 1	6.5	7.5	8.5	9.5	10.5	11.5	12.5	13.5	14.5	15.5	16.5	17.5	18.5	19.5
Freq. * 2						12144	13200	14256	15312	16368	17424	18480	19536	20592
N * 2						23	25	27	29	31	33	35	37	39
Freq. * 3			13464	15048	16632	18216	19800	21384						
N * 3			25.5	28.5	31.5	34.5	37.5	40.5						
Freq. * 4	13728	15840	17952	20064										
N * 4	26	30	34	38										

나타낸다. 넷째 행부터는 밴드주파수의 2배, 3배, 4배, 5 배 주파수 및 528MHz에 대한 각 밴드주파수의 배수를 나타낸다. 실제 설계에서는 표에서 굵은 글씨로 표시한 부분과 같이 VCO에서 1~3 밴드는 4배, 4~6 밴드는 3 배, 나머지 7~12 밴드는 2배하여 주파수를 합성한 다음 출력 단에서 다시 배수만큼 나누어줌으로서 VCO의 발전주파수 범위를 13,200~20,592MHz(대역폭 7,392MHz; 중심주파수 16,896MHz 대비 43.8% ($\pm 21.9\%$))로 한정할 수 있다. 따라서 그림 2의 일반적인 주파수합성기(대역폭 13,728MHz)에 비해 대역폭을 56.2%나 줄일 수 있다. 그림 3은 본 연구에서 설계한 주파수합성기 회로의 구조를 나타낸 블록도로써 하나의 VCO를 갖는 광대역 방식의 주파수합성기로 설계하였다. 기준 클럭의 주파수를 264MHz로 결정한 것은 전체 시스템의 잡음 특성을 고려하여 기본 스프(fundamental spurs)를 밴드 중심주파수로부터 264MHz 벗어난 영역에서 발생하게 하기 위함이다. 정수형 PLL의 기본 구조인 PFD(phase frequency detector), CP(charge pump), LPF(low pass filter), VCO(voltage controlled oscillator), 1/19~1/35 정수형-N 분주기가 사용되며, 부가적으로 배수로 생성된 VCO 주파수를 다시 분할하기 위한 1/2~1/4 정수형-N 분주기 및 PLL 초기동작 안정화를 위한 주파수 대역폭을 줄인 제 2의 LPF 등으로 구성된다. 그림에서 PFD 전단에 위치한 1/2 및 1/3 분주기는 밴드 4~6에서만 적용되며, 분주비(1/Nx) 19, 21, 23을 이용하여 28.5, 31.5, 34.5의 분주비를 구현한다. 밴드 13과 14는 거의 사용되지 않으므로 실제 설계 대상에서는 제외하였다.

1. VCO

RF PLL에서 우수한 속도 특성 및 잡음 특성을 얻기 위해서는 무엇보다도 먼저 VCO의 설계가 최적화되어야 한다. 그림 4는 본 연구에서 사용한 VCO의 회로도로서 위상잡음 특성 및 소비 전력 특성이 우수한 P-MOS(M2, M3) 코어형 구조를 갖는 LC 탱크 회로를 채택하였다. 이 VCO는 발전범위를 대폭 줄일 수 있는 새로운 알고리즘을 사용했음에도 불구하고 13,200~18,480MHz의 비교적 넓은 범위의 주파수(5,280MHz; 중심주파수 15,840MHz 대비 33.3% ($\pm 16.7\%$)) 튜닝 특성을 가질 필요가 있다. 이를 위하여 정확한 값을 갖는 L과 함께 커패시턴스 변화가 가능한 바랙터(varactor) Cv를 연결하였다. 또한 채널에 따라 동작주파수 대역을 조절하기 위한 컵뱅크(cap. bank) CB를 4종류 배치하였다. VCO 모듈은 전원을 VDD로부터 직접 공급하

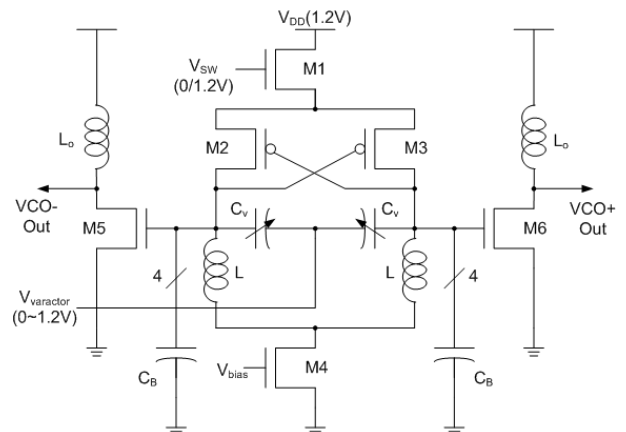


그림 4. 설계된 VCO의 구성도
Fig. 4. Block diagram of VCO.

지 않고 제어 트랜지스터 MI를 통하여 공급하게 하였다. 이 트랜지스터를 이용하여 시스템 대기 상태에서는 VCO에 공급되는 전원을 차단하여 발진을 정지시킴으로써 주파수합성기의 전력소모를 최대한 줄일 수 있게 저전력 설계를 하였다.

2. N-분주기

VCO에서 발생하는 주파수는 PLL 전체 회로로 볼 때 가장 속도가 빠르므로 그 다음 단계 배치되는 주파수분주기(Nx) 역시 높은 동작속도를 요한다. 본 연구에서는 그림 5와 같이 초고속 동작이 가능한 수퍼 다이나믹형 1/2 분주기를 직렬 연결하여 모든 분주기를 구성하였다^[7].

VCO로부터 출력된 신호의 주파수를 기준클럭의 2배인 528MHz와 일치시키기 위하여 신호를 19~35 구간에서 정수로 분주할 수 있는 분주기가 필요하다. 그림 6은 설계된 분주기의 구성도이며, 그림에서 점선으로 둘러싸인 1/2 분할기 2개를 한 조로 하여 앞 블록은 스위치를 설치하지 않고 뒤 블록에만 바이패스 스위치를 설치하여 외부컨트롤 신호(C_{ps0})에 따라 입력 클럭신호를 1/2로 분할하거나, 분할 없이 통과시키는 역할을 한다. 이때 스위치를 설치하지 않은 블록은 버퍼 역할도 함께하여 스위치가 설치된 블록에서 발생하는 임피던스

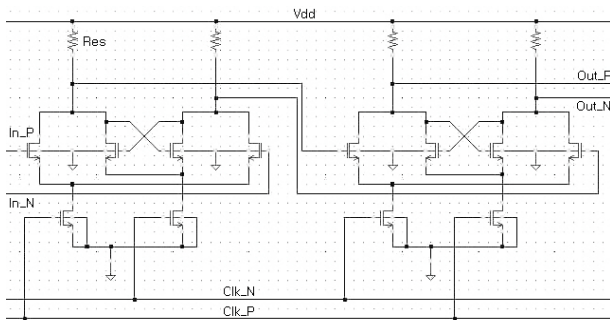


그림 5. 설계된 1/2 분할부 회로
Fig. 5. Designed circuit diagram of 1/2 frequency divide block.

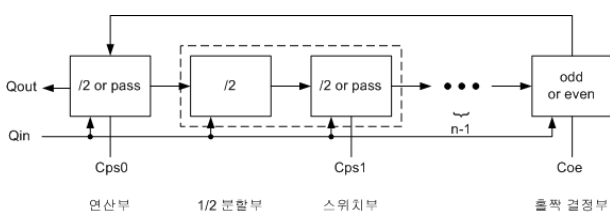


그림 6. 설계된 주파수분할기의 블록도
Fig. 6. Designed block diagram of frequency divider.

표 2. PLL 주파수 생성 계획

Table 2. Plan of PLL frequency synthesis plan.

Channel	Band	Npll(MHz)	Nvco(MHz)	M	N
1	1	3432	13728	26	4
1	2	3960	15840	30	4
1	3	4488	17952	34	4
2	4	5016	15048	19	3
2	5	5544	16632	21	3
2	6	6072	18216	23	3
3	7	6600	13200	25	2
3	8	7128	14256	27	2
3	9	7656	15312	29	2
4	10	8184	16368	31	2
4	11	8712	17424	33	2
4	12	9240	18480	35	2

스 부정합 문제를 해결하는 기능도 한다. 이 모듈은 컨트롤 신호에 따라 입력 클럭신호를 1/4로 분할하거나, 1/2로 분할하는 역할을 한다. 즉, 스위치부의 컨트롤 신호 C_{ps1}이 0이면 신호를 1/4로 분할하고, 컨트롤 신호 C_{ps1}이 1이면 신호를 1/2로 분할한다. 이 모듈을 하나 더 연결하면 분할비는 2 또는 4씩 계속 증가한다. 따라서 스위치부의 수와 함께 스위치부 및 홀짝 결정부의 컨트롤 신호를 조합하면 모든 정수 분할비를 얻을 수 있다^[7]. 0.13um 기술을 사용한 모의실험 결과 이 회로는 22GHz의 초고주파수에서도 동작하는 매우 빠른 특성을 보였다. 표 2는 PLL 설계에 사용된 주파수 생성 계획이다.

3. PLL 공통 회로

PFD, CP, LPF 등 PLL 공통 회로 역시 PLL의 위상 잡음 및 스프 특성에 영향을 미치므로 이들 잡음을 최소화하는 방향으로 설계하였다. 또한 저역필터는 2종류를 사용하여 PLL의 초기 안정화 기간과 실제 동작 기간에 각기 다른 주파수 특성을 갖도록 설계하였으며, 위상잡음을 최소화하기 위하여 저주파 및 고주파 잡음 흡수 특성이 우수한 3차 필터로 설계하였다.

IV. 레이아웃 설계

설계된 회로도에 대하여 0.13um 2-poly 8-metal CMOS 아날로그 기술을 이용하여 레이아웃 설계를 하였다. 그림 7은 설계한 MBOA 클럭발생기 회로의 칩 도면으로서 I/O 패드(pad)를 포함한 크기는 1.1*0.7mm²이

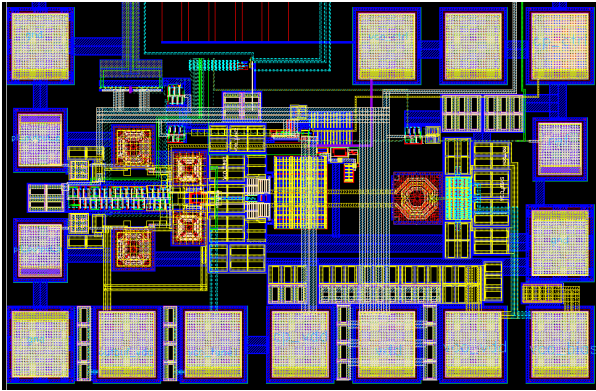


그림 7. 설계된 칩의 레이아웃 도면
Fig. 7. Layout of designed chip.

고, 패드를 제외하면 $1.0 \times 0.4 \text{mm}^2$ 이다. 센서노드 SoC를 위한 실용화 설계 시에는 패드 등 불필요한 면적을 줄여서 IP화함으로써, 면적을 현재의 2/3 이하로 줄일 수 있을 것으로 예상된다. 그림에서 왼쪽 부분은 19~35 N 분주기이고, 중간 부분은 바렉터 및 캡뱅크이며, 오른쪽은 VCO의 L에 해당한다. 그리고 나머지 부분은 임피던스 매칭을 위한 인덕터와 전원잡음을 줄이기 위한 디커플링(de-coupling) 커패시터 등이다.

V. 모의실험 결과

그림 8은 바렉터 제어전압에 따른 설계된 VCO의 발진주파수를 나타낸 모의실험 결과로서 채널 별로 할당된 캡뱅크에 따른 각 채널 별 주파수 동작영역을 나타내고 있다. 전체적으로는 12,925~20,163MHz의 주

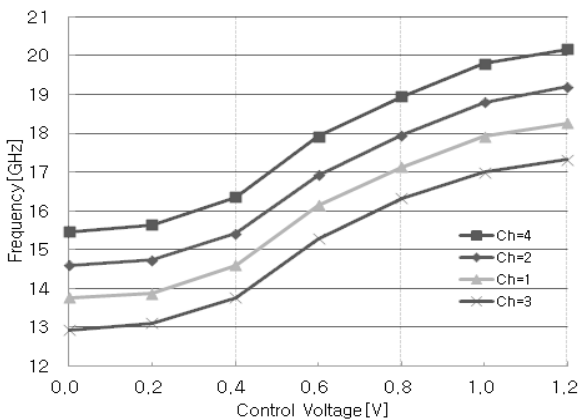


그림 8. 제어전압에 따른 VCO 발진주파수
Fig. 8. VCO frequency variation as control voltage.

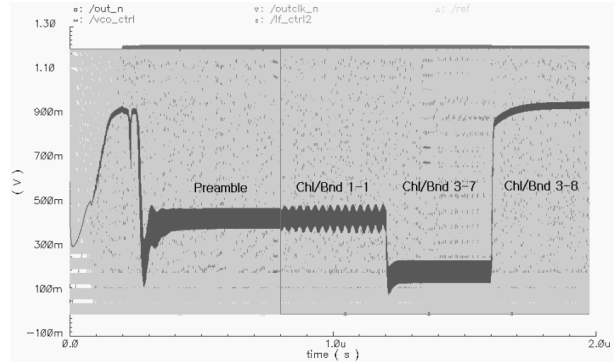


그림 9. MBOA 회로의 모의실험 결과
Fig. 9. Simulation result of MBOA circuit.

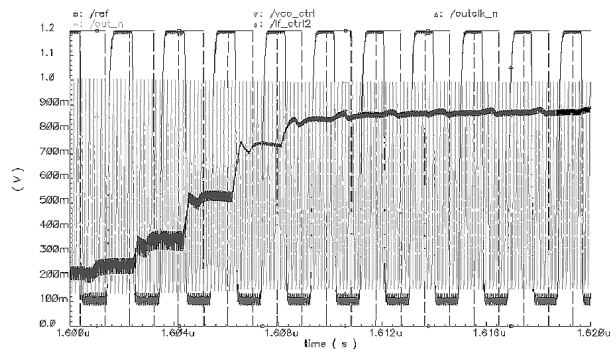


그림 10. MBOA 회로의 밴드 변경시간 모의실험 결과
Fig. 10. Simulation result for band transition time of MBOA circuit.

파수영역에서 동작하는 특성을 보여 주었으며, 각 채널 별로는 4,697~4,390MHz의 대역폭을 나타내었다. 실제 동작영역인 13,200~18,480MHz에 비해 낮은 주파수 영역은 275MHz, 높은 주파수 영역은 1,683MHz의 여유가 있다. 설계에서 낮은 주파수 영역보다 높은 주파수 영역에서 여유를 더 둔 것은 칩으로 제작했을 때 기생 성분에 의하여 전체적으로 주파수가 낮은 쪽으로 이동(down shift)하는 현상을 고려했기 때문이다. VCO는 평균 3,786MHz/V의 주파수 이득을 갖는다.

그림 9는 광대역 방식의 주파수합성기 전체회로를 모의실험을 한 결과로서 VCO 출력, 주파수분할기 출력 및 VCO 제어전압 등을 나타내고 있다. 초기 안정화 기간(preamble) 동안 수렴(acquisition) 시간은 0.4us 이내이며, VCO 제어전압의 변화를 통하여 볼 수 있듯이 채널 변환(1 → 3) 또는 밴드 변환(7 → 8)시 수렴(locking) 시간은 아주 짧게 나타났다. 밴드 1에서 VCO 제어전압 떨림 현상은 주파수를 4배로 증배하여 합성했기 때문에 나타나는 현상으로 분석되며, LPF의 C 값

등을 정밀하게 조절하면 더 좋은 결과를 얻을 수 있을 것으로 판단된다. MBOA에서는 밴드 천이(channel transition)에 걸리는 시간을 9ns로 짧게 설정하고 있다. 그림 10은 주파수합성기의 밴드천이 모의실험 결과이며 밴드 7로부터 밴드 8으로 변경하는데 걸리는 시간은 9ns 이내로 나타났다.

VI. 결 론

효율적인 MBOA 클럭신호 생성을 위하여 낮은 주파수를 갖는 하위 밴드에서는 큰 배수로 주파수를 합성하고, 높은 주파수를 갖는 상위 밴드에서는 작은 배수로 주파수를 합성함으로써 VCO의 발진범위를 대폭 줄일 수 있는 새로운 방법을 제안하였다. 본 연구에서는 1~3 밴드는 주파수를 4배, 4~6 밴드는 주파수를 3배, 나머지 7~12 밴드는 주파수를 2배하여 주파수를 합성한 다음 다시 배수만큼 나누어줌으로서 VCO의 발진주파수 범위를 일반적인 주파수합성기에 비해 56.2%나 줄일 수 있었다. 또한 주파수분할기에는 수퍼다이나믹 회로를 적용함으로써 20GHz 이상의 동작속도를 실현할 수 있었다. 이 방법을 적용한 MBOA 신호생성용 RF PLL 주파수합성기를 0.13 μ m CMOS 기술을 이용하여 설계한 다음 모의실험한 결과 MBOA 클럭신호 발생기의 구현 가능성을 확인할 수 있었다.

참 고 문 헌

- [1] A. Batra, J. Balakrishnan, G. R. Aiello, J. R. Foerster, and A. Dabak, "Design of a multiband OFDM system for realistic UWB channel environments," *IEEE Trans. Microw. Theory Tech.*, vol. 52, no. 9, pp.2123 - 2138, Sep. 2004.
- [2] 강호용, 김내수, 채상훈, "USN센서노드용 5.0GHz 광대역 RF 주파수합성기의 설계", 전자공학회논문지, 제 45 권, CI편, 제 6 호, pp.32-38, 2008년 11 월.
- [3] A. Ismail and A. Abidi, "A 3.1 to 8.2 GHz direct conversion receiver for MB-OFDM UWB communications," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 2005, pp. 208 - 209
- [4] G. Y. Tak, S. B. Hyun, T. Y. Kang, B. G. Choi, and S. S. Parki, "A 6.3-9-GHz CMOS Fast Settling PLL for MB-OFDM UWB Applications," in *IEEE J. of Solid-State Circuits*, Feb. 2005, pp.1671 - 1679.
- [5] 안태원, 문제철, 김용우, 문용, "UWB 응용을 위한 저전력 고속 스위칭 주파수 합성기의 설계", 전자공학회논문지, 제45권 IE편 제4호 pp.1-6, 2008년 12월.
- [6] 박준성, 남철, 김영신, 부영건, 허정, 이강운, "고 해상도 VCO 튜닝 기법을 이용한 MB-OFDM UWB용을 스위칭 주파수 합성기", 전자공학회논문지, 제46권 SD편 제8호 pp.117-124, 2008년 8월.
- [7] 김호길, 채상훈, "RF PLL용 26GHz 가변 정수형 주파수분할기의 설계", 전자공학회논문지, 제49권, SD편, 제9호, pp.270-275, 2012년 9월.

저 자 소 개



김 동 식(학생회원)
2011년 호서대학교 전자공학과
학사 졸업
2013년 현재 호서대학교
전자공학과 석사과정
<주관심분야 : RF용 PLL 회로
설계, 태양전지/LED 구동회로 연
구>



채 상 훈(평생회원)
1981년 경북대학교 전자공학과
학사 졸업
1983년 부산대학교 전자공학과
석사 졸업
1992년 부산대학교 전자공학과
박사 졸업
1983년 3월~1997년 8월 한국전자통신연구원
반도체 연구단 책임연구원
2004년 9월~2006년 8월 University of Florida
연구교수
1997년 9월~현재 호서대학교 전자공학과 교수
<주관심 분야 : RF 아날로그 ASIC 설계, 전력소
자 설계 및 공정, 태양전지 연구 개발>