
분할-커패시터 기반의 차동 디지털-아날로그 변환기를 가진 10-bit 10-MS/s 0.18- μm CMOS 비동기 축차근사형 아날로그-디지털 변환기

정연호* · 장영찬**

A 10-bit 10-MS/s 0.18- μm CMOS Asynchronous SAR ADC
with split-capacitor based differential DAC

Yeon-Ho Jeong* · Young-Chan Jang**

본 논문은 지식경제부 출연금으로 수행한 ETRI SW-SoC융합 R&BD센터와의 공동연구 결과입니다.

요 약

본 논문은 분할-커패시터 기반의 차동 디지털-아날로그 변환기 (DAC: digital-to-analog converter)를 이용하는 10-bit 10-MS/s 비동기 축차근사형 (SAR: successive approximation register) 아날로그-디지털 변환기 (ADC: analog-to-digital converter)를 제안한다. 샘플링 주파수를 증가시키기 위해 SAR 로직과 비교기는 비동기로 동작을 한다. 또한 높은 해상도를 구현하기 위해 오프셋 보정기법이 적용된 시간-도메인 비교기를 사용한다. 제안하는 10-bit 10-MS/s 비동기 축차근사형 아날로그-디지털 변환기는 0.18- μm CMOS 공정에서 제작되며 면적은 $140 \times 420 \mu\text{m}^2$ 이다. 1.8 V의 공급전압에서 전력소모는 1.19 mW이다. 101 kHz 아날로그 입력신호에 대해 측정된 SNDR은 49.95 dB이며, DNL과 INL은 각각 +0.57/-0.67, +1.73/-1.58이다.

ABSTRACT

This paper describes a 10-bit 10-MS/s asynchronous successive approximation register (SAR) analog-to-digital converter (ADC) using a split-capacitor-based differential digital-to-analog converter (DAC). SAR logic and comparator are asynchronously operated to increase the sampling frequency. The time-domain comparator with an offset calibration technique is used to achieve a high resolution. The proposed 10-bit 10-MS/s asynchronous SAR ADC with the area of $140 \times 420 \mu\text{m}^2$ is fabricated using a 0.18- μm CMOS process. Its power consumption is 1.19 mW at 1.8 V supply. The measured SNDR is 49.95 dB for the analog input frequency of 101 kHz. The DNL and INL are +0.57/-0.67 and +1.73/-1.58, respectively.

키워드

시간-도메인 비교기, 분할-커패시터 기반의 차동 디지털-아날로그 변환기, 비동기 축차근사형 아날로그-디지털 변환기

Key word

time-domain comparator, split-capacitor-based differential DAC, asynchronous successive approximation analog-to-digital converter

* 준회원 : 금오공과대학교 전자공학과 석사과정

접수일자 : 2012. 12. 13

** 정회원 : 금오공과대학교 전자공학부 교수 (교신저자, ycjang@kumoh.ac.kr) 심사완료일자 : 2012. 12. 26

Open Access <http://dx.doi.org/10.6109/jkiice.2013.17.2.414>

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

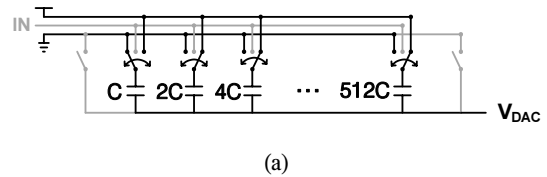
최근 SoC의 구현에 있어 저전력, 소면적의 요구가 높아지고 있다. 이러한 요구를 만족시키기 위해 아날로그-디지털 변환기 (ADC: analog-to-digital converter)를 설계함에 있어 차차근사형 (SAR: successive approximation register) 구조가 주목을 받고 있다. 일반적인 SAR ADC는 클럭 주파수가 해상도에 따라 비례하기 때문에 낮은 샘플링 속도를 가지는 센서 인터페이스나 바이오 응용 분야에 주로 이용되었다. 그러나 최근에는 비동기 방식의 SAR ADC가 제한되고, 수십 ~ 수백 MHz까지 샘플링 주파수를 가지는 SAR ADC가 연구되면서 pipeline ADC의 영역이었던 비디오, 통신 응용분야에 적용하게 되었다[1].

본 논문에서는 10 MHz의 샘플링 주파수를 가지는 SAR ADC를 구현하기 위해 비동기 방식을 선택하였다. 기존의 SAR ADC에서는 10-bit을 구현하기 위해 리셋, 샘플구간, 그리고 10 번의 데이터 변환 주기를 포함하여 총 12 클럭 주기의 변환 시간이 요구되고, 이에 따라 샘플링 주파수의 10 배 이상의 높은 클럭 주파수가 요구된다. 이로 인해 시스템에서의 클럭 공급이 어려워지며 전력소모가 증가된다. 위의 단점을 해결하기 위한 비동기 방식은 외부 클럭에 의해 내부적으로 클럭을 생성하여 전체 아날로그-디지털 변환기를 동작시킨다. 이를 통해 외부 클럭의 한 주기마다 아날로그 입력을 샘플링하기 때문에 샘플링 주파수의 속도 향상이 가능하다.

한편, 그림 1은 10-bit의 SAR ADC에 일반적으로 사용되는 디지털-아날로그 변환기 (DAC : digital-to-analog converter)의 회로도이다. DAC는 SAR ADC의 binary search를 위한 기준전압을 생성하는 핵심 블록이다. 그림 1(a)는 binary 가중치를 부여하는 구조의 DAC이다. 이 방식은 간단한 구조를 가지며 DAC의 선형성이 좋은 장점이 있다. 그러나 전체 커패시터의 값이 $1023 \times C$ 가 되어 큰 면적을 차지하게 된다. 이로 인해 DAC의 settle time과 전력소모가 증가하여 고속의 동작에 적합하지 못하다. DAC의 settle time을 줄이기 위해 MOSFET의 size를 증가시켜 스위치의 저항 값을 줄이게 되면 MOSFET의 junction 커패시터가 증가하는 단점이 발생된다.

그림 1(b)에 나타난 분할-커패시터 구조의 DAC (Split-capacitor based DAC)는 전체 커패시터의 값이 $63 \times C$ 가 되어 SAR ADC의 면적을 최소화할 수 있으며 저전력 설계가 가능해진다. 또한, DAC의 스위치에서 발생하는 RC time을 줄임으로 전체 아날로그-디지털 변환기의 속도를 향상시킬 수 있다[2].

Binary weighted



Split-capacitor based

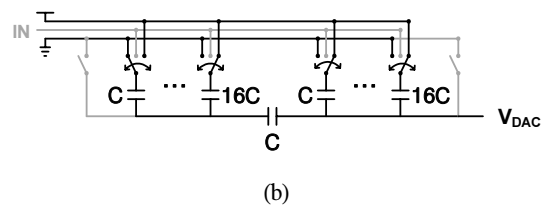


그림 1. DAC의 회로도 (a) binary 가중치 구조, (b) 분할-커패시터 구조

Fig. 1 Circuit diagram of DAC (a) binary weighted structure (b) split-capacitor based structure

본 논문의 2장에서는 비동기 SAR ADC의 전체 동작을 설명하고, 3장에서는 각 블록의 회로와 동작을 설명한다. 제안된 10-bit 10-MS/s 비동기 SAR ADC는 1.8V의 공급전압을 가지는 0.18- μm CMOS 공정에서 제작되었으며, 측정 결과는 4장에 나타낸다. 그리고 마지막 5장에서 결론을 맺는다.

II. 비동기 SAR ADC

그림 2는 10-bit 10-MS/s 비동기 SAR ADC의 회로도와 타이밍도이다. Rail-to-rail의 입력 범위를 가지는 비동기 SAR ADC는 그림 2(a)와 같이 분할-커패시터 DAC와 시간-도메인 비교기 (Time-domain comparator), 그리고

SAR logic으로 구성된다. DAC는 차동 입력을 샘플하고 binary search를 위한 기준전압을 생성한다.

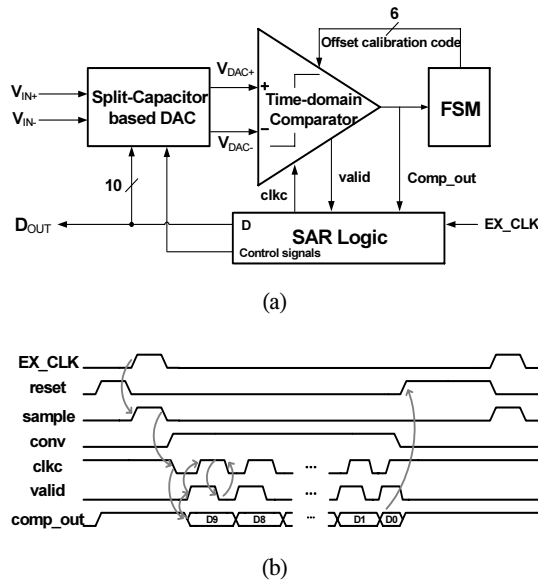


그림 2. 비동기 축차근사형 아날로그-디지털 변환기의 (a) 블록도, (b) 타이밍도
Fig. 2 Asynchronous SAR ADC (a) block diagram (b) timing diagram

시간-도메인 비교기는 DAC의 출력인 전압의 차이를 시간으로 변환 후 이를 시간의 영역에서 비교한다. SAR logic은 DAC의 스위치를 제어하고 10 번의 변환 동안 디지털 코드를 순차적으로 저장하였다가 출력하는 역할을 한다. 그림 2(b)는 비동기 SAR ADC의 전체 타이밍도이며, 외부 클럭 신호인 EX_CLK의 한 주기 동안 아날로그 입력신호를 10-bit의 디지털코드로 변환하여 출력한다. 비교기와 SAR logic의 동작으로 생성된 내부 신호인 valid와 clk로 SAR ADC는 동작하게 되고 10번의 변환이 끝난 후 리셋 모드를 유지하여 전력소모를 최소화한다[3].

기존의 동기 SAR ADC의 경우 리셋, 샘플, 10 번의 변환 모드가 있고, 이를 위해 각각의 클럭 주기가 사용되어 10 MHz의 샘플링 주파수를 구현하기 위해서는 120 MHz의 외부 클럭이 요구된다. 그러나 이러한 클럭의 높은 주파수는 DAC의 settle time, 비교기의 비교시

간, 그리고 SAR logic의 디지털 지연시간의 합, 즉 내부 최대 지연시간에 제한이 될 수 있다. 이에 비해 비동기로 동작하는 SAR ADC는 클럭의 한 주기 내에 아날로그 값이 10-bit의 디지털 코드로 변환이 되기 때문에 외부에서 공급하는 클럭 주파수와 샘플링 주파수가 동일하게 된다. 따라서 비동기 SAR ADC의 전체 변환 과정이 외부 공급 클럭의 한 주기 이내에 동작이 완료되도록 설계되어야 한다[4]-[6].

설계된 비동기 SAR ADC의 변환 동작으로 먼저 외부 클럭인 EX_CLK의 상승 에지에서 샘플 모드는 시작된다. 샘플 모드에서 아날로그 입력은 bootstrapped 스위치에 의해 DAC로 샘플 된다. 샘플 모드가 종료되면 비교기의 클럭인 clk는 DAC의 settle time을 고려한 지연을 발생시킨 후 low가 되어 DAC의 출력 전압을 비교한다. 비교기의 출력은 SAR logic에 저장되고, 출력된 디지털 값에 따라 DAC는 다음의 기준전압을 생성하기 위한 스위칭이 이루어진다. 동시에 비교기의 동작이 완료됨을 알리는 valid 신호는 high가 된다. valid 신호가 high가 되면 clk는 일정 지연을 가진 후 high가 되어 비교기를 pre-charge 한다. 비교기가 pre-charge되면 valid는 low가 되고, 그에 따라 clk는 low가 되어 비교기가 settle된 DAC의 출력 전압을 비교한다. 위의 동작의 반복으로 10 번의 변환이 완료되어 LSB의 값이 출력되면 reset 신호가 발생되어 비동기 SAR ADC는 다음의 아날로그 입력을 샘플하기 위한 준비를 한다.

제안된 10-bit의 해상도를 가진 비동기 SAR ADC를 구현하기 위해 voltage type의 비교기 보다 정확도가 높은 시간-도메인 비교기를 사용하고 공정변화나 다른 요인에 의해 발생된 오프셋 전압을 보정하기 위한 기법을 추가한다. 오프셋 보정 기법은 finite state machine (FSM)을 통해 수행하게 된다.

III. 비동기 SAR ADC의 구성

3.1. 분할-커패시터 기반의 차동 DAC

그림 3은 분할-커패시터 기반의 차동 DAC의 회로도이다. 10-bit의 SAR ADC를 동작시키기 위한 DAC는 분할-커패시터에 의해 MSB array와 LSB array가 각각 5-bit

로 나누어져 있다. 중앙에 분할-커패시터를 삽입함으로써 DAC의 전체 커패시턴스를 줄였다.

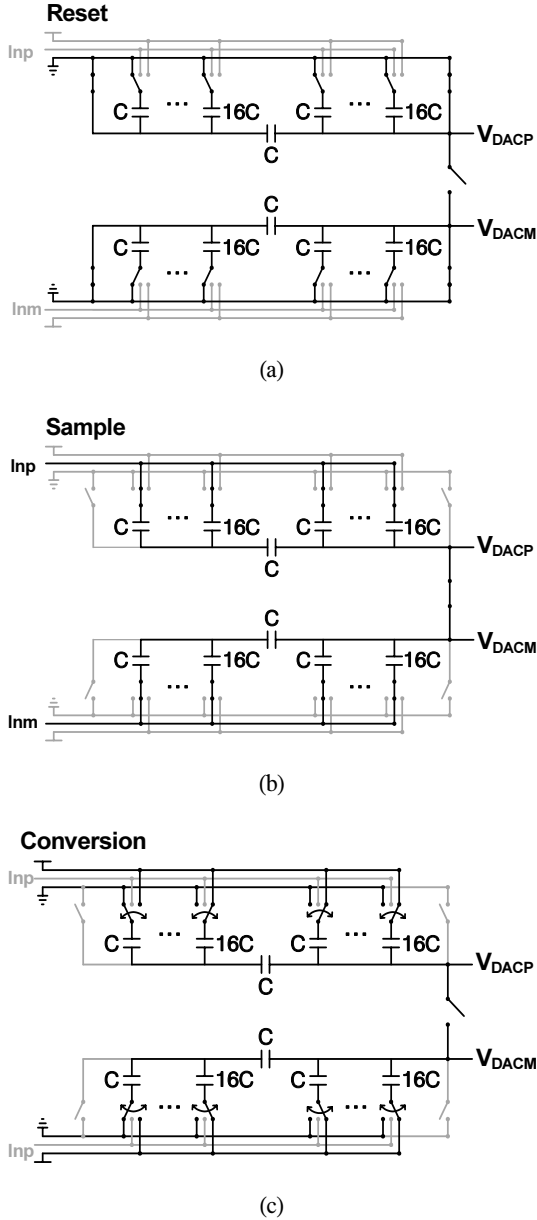


그림 3. 분할-커패시터 기반의 차동 디지털-아날로그 변환기의 (a) 리셋, (b) 샘플, (c) 변환모드에서의 동작
Fig. 3 Operation of split-capacitor based differential DAC at (a) reset, (b) sample, (c) conversion mode

유닛 커패시턴스 (C)는 MIM capacitor로 구성되었고, 공정에서 지원되는 최소의 값인 25 fF으로 설계되었다. 따라서 설계된 분할-커패시터 기반의 차동 DAC의 각 입력 등가 커패시턴스는 $63 \times C$ 로 약 1.575 pF이 된다.

설계된 DAC는 전체 SAR ADC의 세 구간에 맞추어 동작을 수행한다. 그림 3(a)는 리셋 모드로 동작할 때의 DAC 스위칭을 보여주고 있다. 모든 커패시터의 top과 bottom을 ground로 연결하여 이전에 저장하였던 모든 charge를 제거한다. 그림 3(b)는 샘플 모드이며 커패시터의 bottom node가 아날로그 입력으로 연결된다. 그리고 V_{DACP} 와 V_{DACM} 의 두 node가 스위치로 연결되면서 커패시터 전압 분배에 의해 차동 아날로그 입력인 Inp 와 Inm 신호의 common mode 값을 출력하게 된다. 설계된 비동기 SAR ADC는 rail-to-rail의 입력 범위를 가지기 때문에 common mode 값은 $V_{DD}/2$ 이고, 이는 샘플 모드에서의 DAC 출력 값이 된다. 그림 3(c)에 나타나 있는 변환 모드에서 DAC의 출력은 floating되고 커패시터의 bottom도 아날로그 입력으로부터 분리된다. 또한, 비교기의 결과에 따라 SAR logic의 제어신호로부터 DAC의 스위치는 VDD, 혹은 ground로 연결되어 전체 DAC는 binary search를 통해 입력을 찾아가는 동작을 수행한다. 최종적으로 DAC의 출력인 V_{DACP} 와 V_{DACM} 은 common mode 값인 $V_{DD}/2$ 로 수렴하게 된다. 설계된 분할-커패시터 기반의 차동 DAC는 샘플 모드에서 $V_{DD}/2$ 로 시작하여 최종적으로 $V_{DD}/2$ 로 수렴하기 때문에 DAC의 출력에는 parasitic 커패시터의 영향이 나타나지 않게 된다.

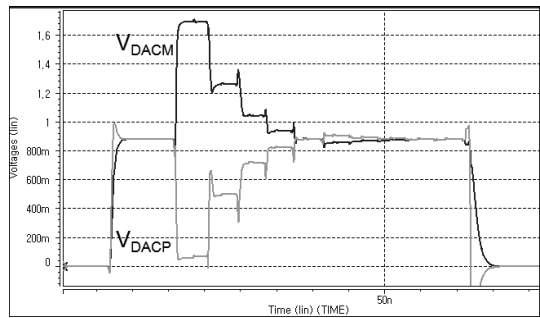


그림 4. 분할-커패시터 기반의 차동 DAC 시뮬레이션 결과
Fig. 4 Simulation result of split-capacitor based differential DAC

그림 4는 분할-커패시터 기반의 차동 DAC의 시뮬레이션 결과를 나타낸다. 아날로그 입력이 I_{in} 는 1.69 V, I_{inm} 은 0.11 V 일 때의 DAC 동작을 나타낸 것이다. 디지털 코드로 이를 나타낸다면 "1111100000"이 된다.

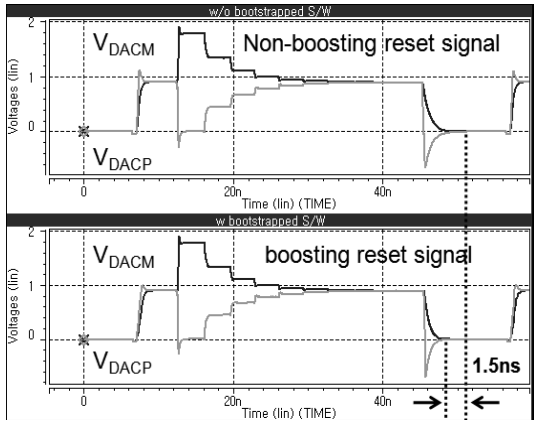


그림 5. DAC에서의 리셋 지연시간 비교
Fig. 5 Comparison of reset delay time in DAC

설계된 분할-커패시터 기반의 차동 DAC는 리셋 모드에서 모든 charge를 제거하는데 가장 긴 시간을 가지게 된다. 이를 해결하기 위해 차동 DAC는 전체 20 개의 커패시터의 bottom에 연결된 스위치와 4 개의 커패시터의 top에 연결된 스위치의 저항을 줄여 해결하였다. 스위치의 저항을 줄이기 위해 MOSFET의 size를 늘이면 junction 커패시터가 커지게 되어 DAC가 변환하는 settle 시간이 길어지게 된다. 그러므로 모든 스위치에 boosting된 reset 신호를 사용하여 스위치의 V_{GS} 를 크게 만들어 이를 해결하였다.

그림 5는 DAC에서 boosting된 reset 신호를 사용했을 때 지연시간이 감소되는 결과를 보여주는 시뮬레이션 결과이다. reset 신호를 boosting하여 사용했을 때 1.5 ~ 2 ns 정도 리셋 모드의 시간을 줄일 수 있다.

3.2. 시간-도메인 비교기

그림 6은 시간-도메인 비교기의 블록도를 나타낸 것으로 전압제어 지연 변환기 (VCDC : voltage controlled delay converter), 시간 증폭기 (TA : time amplifier), 바이너리 위상 검출기 (binary PD : binary phase detector)로 구성되어 있다. 시간-도메인 비교기는 DAC에서 출력된 전

압차를 VCDC를 이용하여 시간차로 변환시키고 TA에서 시간차를 증폭한다. 그리고 binary PD에서 극성을 감지하여 디지털 값으로 출력하게 된다. 또한 비동기로 동작하기 위해 binary PD에서 비교기의 동작이 완료되었다는 valid신호를 생성한다.

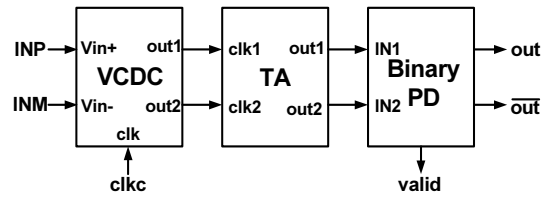


그림 6. 시간-도메인 비교기의 블록도
Fig. 6 Block diagram of time-domain comparator

그림 7은 VCDC의 회로도를 나타낸다. DAC의 출력인 전압차를 시간지연 차로 변환시키는 역할을 한다. 클럭 (clk)이 high일 때, VCDC는 pre-charge 구간으로 out1, out2는 0을 출력하게 된다. 클럭이 low일 때, out1과 out2는 1을 출력하게 되는데 입력전압의 차이에 의해 출력이 high로 천이되는 시점이 다르게 되어 시간지연의 차이를 만들 수 있다. 비교가 끝난 후 클럭이 다시 high가 되어 pre-charge 구간이 되면 P1, P2, Q1, Q2노드는 floating 상태가 된다. 다음의 정확한 비교를 위해 P1, P2 노드는 0V가 되고 Q1, Q2 노드는 VDD가 될 수 있도록 스위치를 삽입하였다.

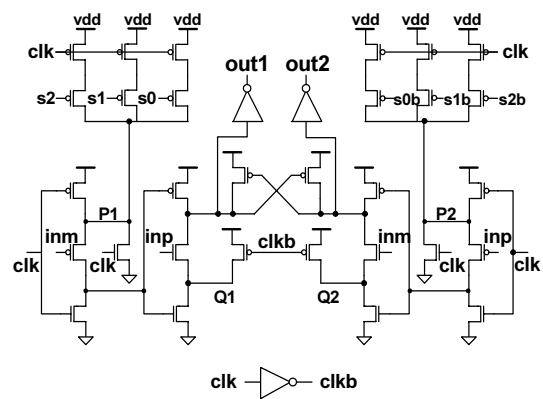


그림 7. 전압제어 지연 변환기의 회로도
Fig. 7 Circuit diagram of VCDC

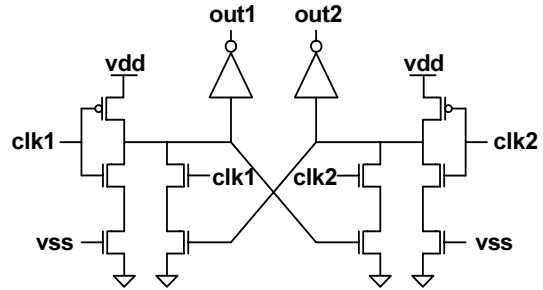
설계된 비동기 SAR ADC는 한 개의 비교기를 사용하고, 그 특성이 전체 ADC의 성능에 매우 중요하기 때문에 VCDC의 pull-up path의 PMOS width를 binary 디지털 코드로 조절하여 비교기의 오프셋 전압을 제거하는 오프셋 보정 회로를 추가하였다.

표 1. 비교기의 오프셋 보정 코드표
Table. 1 Code table for comparator offset calibration

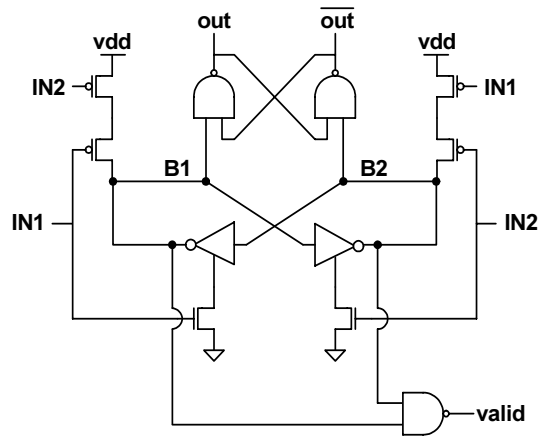
Transistor width (μm)		Calibration code		offset (mV)
Left	Right	s2 s1 s0	s2b s1b s0b	
7	1	0 0 0	1 1 0	+10.6
6	2	0 0 1	1 0 1	+7.03
5	3	0 1 0	1 0 0	+3.60
4	4	0 1 1	0 1 1	0
3	5	1 0 0	0 1 0	-3.51
2	6	1 0 1	0 0 1	-6.96
1	7	1 1 0	0 0 0	-10.5

표 1은 오프셋 보정을 위한 디지털 코드에 따른 비교기의 오프셋 전압의 변화를 보여준다. 초기 값은 011이고, 이 경우 오프셋 전압은 0이다. 공정이나 외부의 요인에 의해 오프셋 전압이 발생하게 되면 FSM을 통해 오프셋 전압이 0V가 될 수 있는 코드를 찾아 저장하게 되어 비교기의 오프셋 전압을 줄이도록 한다. 한 코드 당 대략 3.5 mV의 오프셋 전압을 조절할 수 있다.

그림 8은 시간-도메인 비교기의 TA와 binary PD에 대한 회로도이다. 그림 8(a)의 TA는 VCDC에서 생성된 시간지연의 차를 더 증폭하여 위상차를 검출하는데 용이하게 한다. 그림 8(b)는 binary PD의 회로도로서 SR latch에 의해 위상을 검출하여 디지털 값으로 비교기의 출력을 생성한다. 그리고 SAR ADC가 비동기로 동작하게 하기 위해 비교기 동작의 완료를 알려주는 valid 신호를 생성한다. Binary PD가 pre-charge 일 때, IN1, IN2는 모두 0이 되고 B1과 B2는 VDD가 되어 NAND로 구성된 SR latch는 이전 값을 유지하게 된다. 이때의 valid 신호는 low를 출력한다. 비교구간에서는 IN1과 IN2 중 한 신호가 먼저 high로 천이하게 되면 B1과 B2 중 한 신호는 low가 되고 비교 끝을 알리는 valid 신호는 high가 된다.



(a)



(b)

그림 8. 시간-도메인 비교기의 (a) 시간 증폭기, (b) 바이너리 위상검출기의 회로도

Fig. 8 Circuit diagram of (a) time amplifier (b) binary PD in time-domain comparator

3.3. SAR logic

SAR logic은 비교기의 출력을 연속적으로 저장하고 그에 따라 DAC의 스위치를 제어하는 역할을 한다. 또한 reset, sample을 위한 신호, 비동기 내부 신호인 valid와 시간-도메인 비교기의 클럭으로 사용되는 clkc 등의 제어 신호들을 생성한다.

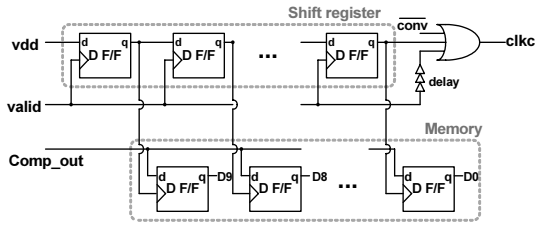


그림 9. SAR 로직의 블록도
Fig. 9 Block diagram of SAR logic

그림 9는 SAR logic의 간략화 된 블록도이다. SAR logic은 시프트 레지스터와 메모리 부분으로 나눌 수 있다. 시프트 레지스터는 10개의 D 플립-플롭으로 구성되어 있고, 비동기로 동작하는 내부 클럭에 의해 10 번의 변환의 완료를 알 수 있는 카운터 역할과 메모리 부분을 제어하는 역할을 한다. 10 번의 순차적으로 비교가 끝나면 플립-플롭들은 모두 리셋이 된다. 비동기 내부 클럭인 valid 신호는 시프트 레지스터를 동작시키고 DAC의 settle 시간을 고려한 일정 지연을 가진 후에 비교기의 클럭을 생성한다. 메모리는 10-bit의 디지털 값을 저장하기 위해 10개의 D 플립-플롭으로 구성되고 시프트 레지스터에 의해 제어된다. 또한, 시간-도메인 비교기의 출력을 순차적으로 저장하며 최종적으로 SAR ADC의 디지털 코드를 출력한다.

IV. 칩 제작 및 측정 결과

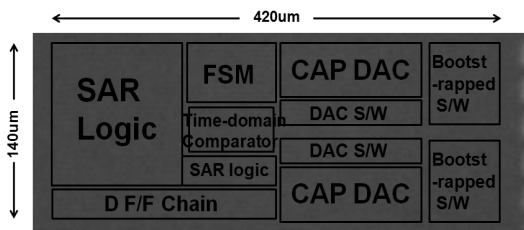
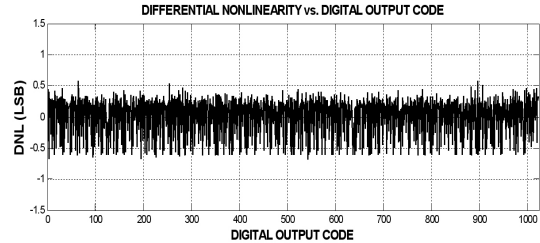


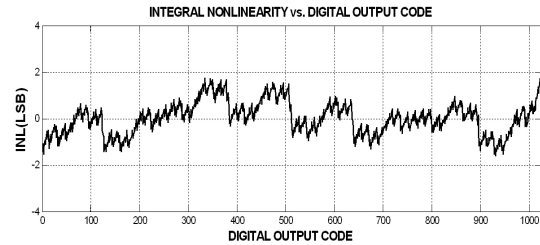
그림 10. 비동기 SAR ADC의 칩 사진
Fig. 10 Photograph of asynchronous SAR ADC

제안된 10-bit 10-MS/s 비동기 SAR ADC는 1.8V 공급 전압을 가지는 0.18- μ m 1-poly 6-metal CMOS 공정을 사용하여 제작되었다. 그림 10은 제작된 비동기 SAR ADC

의 칩 사진이다. 면적은 $140 \times 420 \mu\text{m}^2$ 이고, 전력 소모는 1.19 mW이다.



(a)



(b)

그림 11. 측정된 static 특성 (a) DNL (b) INL
Fig. 11 Measured static performance (a) DNL (b) INL

그림 11은 설계된 비동기 SAR ADC의 측정된 DNL과 INL의 결과이다. 10 MHz의 샘플 주파수에서 DNL은 +0.57/-0.67, INL은 +1.73/-1.58로 나타났다.

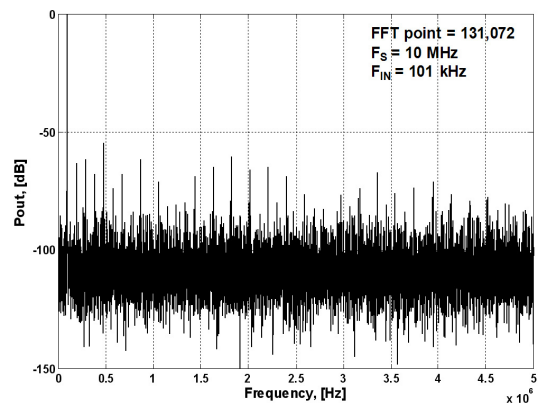


그림 12. 101 kHz 입력에서의 FFT 결과
Fig. 12 FFT result for input frequency of 101 kHz

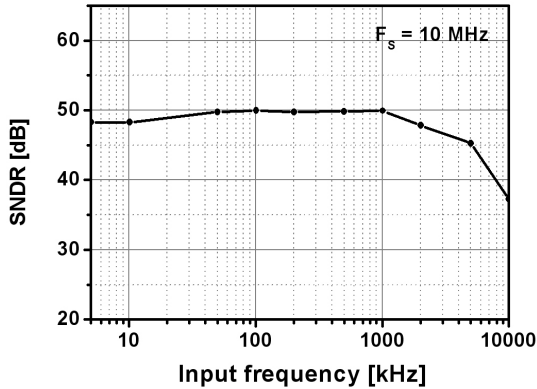


그림 13. 측정된 입력 주파수에 따른 SNDR
Fig. 13 Measured SNDR versus input frequency

그림 12는 입력 주파수가 101 kHz 일 때 10-bit 10-MS/s 비동기 SAR ADC의 측정된 출력의 FFT 결과이다. SNDR은 49.95 dB로 측정되었고, 그에 따른 ENOB는 8.00 bit으로 나타났다. 그림 13은 입력 주파수에 따른 SNDR을 나타낸 그래프이다. 입력주파수가 nyquist rate 일 때 SNDR은 약 5 dB정도 감소되었다.

V. 결 론

Rail-to-rail의 입력범위를 가지는 10-bit 10-MS/s 비동기 SAR ADC는 1.8V 공급전압의 0.18- μ m CMOS 공정에서 제작되었다. 비동기 방식을 사용하여 샘플속도를 개선하였다. 분할-커패시터 기반의 차동 디지털-아날로그 변환기를 사용하여 면적을 줄이고 boosting된 reset 신호를 사용하여 DAC의 리셋 속도를 개선시켰다. 또한 오프셋 보정회로를 가진 시간-도메인 비교기를 사용하여 비교기의 성능을 향상시켰다. 101 kHz 아날로그 입력에 대해 측정된 SNDR은 49.95 dB이었으며, ENOB는 8.0 bit이다. INL과 DNL은 각각 +0.57/-0.67, +1.73/-1.58로 나타났다. 면적은 $140 \times 420 \mu\text{m}^2$ 이고, 전력 소모는 1.19 mW이다.

감사의 글

본 논문은 지식경제부 출연금으로 수행한 ETRI SW-SoC융합 R&BD센터와의 공동연구 결과입니다.

참고문헌

- [1] Cho, S.-H., Lee, C.-K., Kwon, J.-K. and Ryu, S.-T. "A 550-uW 10-b 40-MS/s SAR ADC With Multistep Addition-Only Digital Error Correction." *IEEE J. Solid-State Circuits*, vol. 46, no. 8, pp. 1881-1892, Aug. 2011.
- [2] S.-K. Lee, S.-J. Park, Y. Suh, H.-J. Park, and J.-Y. Sim, "A 1.3 μ W 0.6V 8.7-ENOB Successive Approximation ADC in a 0.18 μ m CMOS," in *Proc. IEEE VLSI Circuit Symp*, pp.242-243, Jun.,2009.
- [3] C.C. Liu, et. al., "A 10-bit 50-MS/s SAR ADC with a Monotonic Capacitor Switching Procedure," *IEEE J. Solid-State Circuits*, vol. 45, no. 4, pp. 731-740, Apr. 2010.
- [4] J. Yang, T. L. Naing, and R. W. Brodersen, "A 1 GS/s 6 Bit 6.7 mW successive approximation ADC using asynchronous processing," *IEEE J. Solid-State Circuits*, vol. 45, no. 8, pp. 1469-1478, Aug. 2010.
- [5] S.-W.M. Chen and R. W. Brodersen, "A 6b 600MS/s 5.3mW Asynchronous ADC in 0.13- μ m CMOS," *IEEE J. Solid-State Circuits*, vol. 41, no. 12, pp. 2669-2680, Dec. 2006.
- [6] T. Jiang, W. Liu, F. Y. Zhong, C. Zhong, K. Hu and P. Y. Chiang, "A Single-Channel, 1.25-GS/s, 6-bit, 6.08-mW Asynchronous Successive-Approximation ADC With Improved Feedback Delay in 40-nm CMOS," *IEEE J. Solid-State Circuits*, vol. 47, no. 10, pp. 2444-2453, Oct. 2012.

저자소개



정연호(Yeon-Ho Jeong)

2012.2 금오공과대학교
전자공학부(공학사)
2012.3 ~ 현재 금오공과대학교
대학원 석사과정

※ 관심분야 : Data converter, Mixed-mode circuit design



장영찬(Young-Chan Jang)

1995.2 경북대학교 전자전기
공학부 (공학사)
2001.2 포항공과대학교
전자전기공학과 공학석사

2005.2 포항공과대학교 전자전기공학과 공학박사
2005.3 ~ 2009.8 삼성전자 반도체총괄 책임연구원
2009.8 ~ 현재 금오공과대학교 전자공학부 조교수

※ 관심분야 : High-speed I/O interface, Data converter 및
Mixed mode analog IC design