
Power IC용 고신뢰성 Differential Paired eFuse OTP 메모리 설계

박영배* · 김려연** · 최인화* · 하판봉** · 김영희***

Design of High-Reliability Differential Paired eFuse OTP Memory for Power ICs

Young-Bae Park* · Li-yan Jin** · In-Hwa Choi* · Pan-Bong Ha** · Young-Hee Kim***

본 논문은 지식경제부 출연금으로 ETRI SW-SoC융합 R&BD센터에서
수행한 시스템 반도체설계인력양성사업의 연구결과임.

요 약

본 논문에서는 program-verify-read 모드를 갖는 고신뢰성 24bit differential paired eFuse OTP 메모리를 설계하였다. 제안된 program-verify-read 모드에서는 프로그램된 eFuse 저항의 변동을 고려하여 가변 풀-업 부하(variable pull-up load)를 갖는 센싱 마진 테스트 기능을 수행하는 동시에 프로그램 데이터와 read 데이터를 비교하여 PFb(pass fail bar) 핀으로 비교 결과를 출력한다. 그리고 모의실험 결과 program-verify-read 모드에서 24-비트 differential paired eFuse OTP와 24-비트 듀얼 포트 eFuse OTP IP의 센싱 저항은 각각 4kΩ과 50kΩ으로 differential paired eFuse OTP의 센싱 저항이 작게 나왔다.

ABSTRACT

In this paper, a high-reliability differential paired 24-bit eFuse OTP memory with program-verify-read mode for PMICs is designed. In the proposed program-verify-read mode, the eFuse OTP memory can do a sensing margin test with a variable pull-up load in consideration of programmed eFuse resistance variation and can output a comparison result through a PFb (pass fail bar) pin by comparing a programmed datum with its read one. It is verified by simulation results that the sensing resistance is lower with 4kΩ in case of the designed differential paired eFuse OTP memory than 50kΩ in case of its dual-port eFuse OTP memory.

키워드

PMIC, Differential paired eFuse, Program-verify-read 모드, 고신뢰성

Key words

PMIC, Differential paired eFuse, Program-verify-read Mode, High-reliability

* 준회원 : 창원대학교
** 정회원 : 창원대학교
*** 정회원 : 창원대학교(교신저자, youngkim@changwon.ac.kr)

접수일자 : 2012. 12. 06
심사완료일자 : 2013. 01. 07

Open Access <http://dx.doi.org/10.6109/jkiice.2013.17.2.405>

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

Power IC는 아날로그 트리밍 기능을 수행하기 위해 소용량의 비휘발성 메모리를 필요로 한다. 내장되는 비휘발성 메모리는 추가 공정이 필요 없는 로직 공정 기반 설계가 가능한 eFuse OTP(electrical Fuse One-Time Programmable) 메모리가 많이 사용되고 있으며, 메모리 용량은 수 백 Kb 이하가 요구된다[1]. eFuse OTP 메모리는 eFuse에 과전류를 흘려 eFuse 링크(link)를 blowing하여 프로그램 한다[2][3]. eFuse의 프로그램 이전 저항은 50~100Ω 정도이고, eFuse 링크를 통해 프로그램 과전류가 흐르면서 eFuse의 프로그램 후 저항은 대개 수십 kΩ 이상이 된다.

eFuse OTP 메모리는 데이터 retention 시간동안 프로그램된 eFuse 링크의 저항이 줄었을 때 센싱 불량에 발생하지 않도록 하는 설계가 요구된다[4]. eFuse 링크의 프로그램된 저항 변동을 고려한 가변 풀-업 부하 저항(variable pull-up load resistor)는 test read 모드와 read 모드에서 BL(Bit-Line) 프리차징 회로에 사용되는 풀-업 부하 저항을 가변시킨다. Test read 모드에서 센싱 가능한 eFuse 저항은 read 모드보다 더 크다. 그래서 test read 모드와 read 모드에서 센싱 가능한 eFuse 저항의 차이 값이 데이터 retention 시간동안 센싱 마진 저항이 된다 [5][6].

한편 eFuse OTP 메모리가 정상적으로 프로그램 되었는지 패키지(package) 상태에서 테스트가 가능하도록 설계가 되어야 한다. 그런데 Power IC 칩은 사용 핀(pin) 수가 몇 개 되지 않으므로 8b 이상의 OTP read 데이터를 패키지 핀에서 읽어볼 수 없는 문제점이 있다. 이런 문제를 해결하기 위해 듀얼 포트 eFuse OTP 메모리에서는 프로그램 데이터와 read 모드에서 읽혀진 read 데이터를 비교하여 Pfb(pass fail bar) 핀으로 비교 결과를 출력하는 기술이 제안되었다[7].

본 논문에서는 differential paired eFuse OTP cell을 이용한 eFuse OTP 메모리 설계에서 프로그램된 eFuse 저항의 변동을 고려하여 가변 풀-업 부하(variable pull-up load)를 이용한 센싱 마진 테스트를 수행하는 동시에 프로그램 데이터와 read 데이터가 일치하는지 비교하는 program-verify-read 모드를 지원하는 24-비트 differential paired eFuse OTP 메모리를 설계하였다. 그

리고 24-비트 듀얼 포트 eFuse OTP 메모리를 설계하여 메모리 IP 크기(size)와 센싱 저항을 비교하였다. 매그나칩 반도체 0.18μm 공정을 이용하여 설계된 24-비트 eFuse OTP IP는 센싱 저항 측면에서 differential paired eFuse OTP IP가 작고, IP 사이즈는 듀얼 포트 eFuse OTP IP가 작다.

II. 회로설계

Magnachip 0.18μm 공정을 이용하여 설계한 24-비트 eFuse OTP 메모리의 주요 특징은 표 1과 같다.

표 1. 24-비트 eFuse OTP의 주요 특징
Table. 1 Major specification of a 24-bit eFuse OTP memory

Items	Main Features
Process	MC 0.18μm process
OTP Cell Array Size	1R X 24C
Fuse Type	P-poly (Ti-silicide)
Supply Voltage	4.5V ~ 5.5V
Temperature	-40℃ ~ 85℃
Operating Mode	Program 모드
	Program-Verify-Read 모드
	Normal Read 모드
Program bit/Read bit	1bit/24bit
Program Voltage	5.5V
Program Time	200μs
Access Time	200ns

셀 어레이는 1행 × 24열로 구성되어 있다. eFuse OTP 셀은 듀얼 포트 eFuse OTP 셀에 비해 프로그램된 eFuse 링크의 센싱 저항이 작은 differential paired eFuse OTP 셀을 사용하였으며, eFuse 링크는 p-polysilicon(Ti-silicide)을 사용하였다. 동작모드는 프로그램 모드, read 모드와 program-verify-read 모드가 있다. 그리고 eFuse OTP 메모리의 프로그램 비트와 read 비트는 각각 1비트, 24비트이고 프로그램 시간은 200μs이다. 사용되는 전원전압은

VDD의 단일전원이 사용된다. VDD 전압은 프로그램 모드인 경우 eFuse 링크에 충분한 프로그램 파워를 공급하기 위해 5.5V가 사용되며, 읽기 모드인 경우 4.5~5.5V가 사용된다. 설계에 사용된 소자는 5V MOS 트랜지스터만 사용하였다.

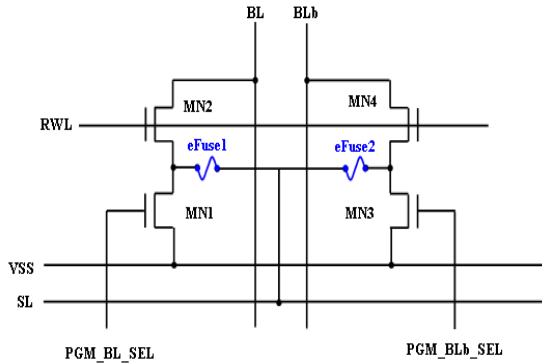


그림 1. Differential paired eFuse 셀 회로도
Fig. 1 Circuit of differential paired eFuse OTP memory cell

24비트 eFuse OTP 메모리 설계에 사용된 differential paired eFuse 셀[8]은 그림 1에서 보는바와 같다. eFuse OTP 셀의 왼쪽 회로(eFuse1, MN1과 MN2)는 프로그램 데이터를 저장하는 부분이고, 오른쪽 회로(eFuse2, MN3와 MN4)는 complementary 프로그램 데이터를 저장하는 부분이다. MN1과 MN3는 큰 프로그램 전류를 흘릴 수 있는 프로그램 트랜지스터이고, MN2와 MN4는 읽기 모드 전류를 줄일 수 있는 읽기용 트랜지스터이다. SL(Source Line)은 프로그램 모드에서는 5.5V의 프로그램 전압을 인가하여 과전류를 흘려주고, 나머지 동작 모드(normal read 모드, program-verify-read 모드)에서는 0V를 구동해 주는 스위칭 전원이다. Differential paired eFuse 셀의 프로그램 데이터가 '1'인 경우 PGM_BL_SEL와 PGM_BLb_SEL 신호는 각각 5.5V와 0V가 인가되어 eFuse1과 MN1 소자를 통해 과전류가 흐르면서 eFuse1이 blowing되는 반면, eFuse2는 MN2가 OFF 상태에 있으므로 blowing되지 않는다. 그리고 프로그램 데이터가 '0'인 경우 MN1은 OFF 상태이고 MN3가 ON 상태에 있으므로 eFuse2가 blowing된다.

읽기 모드 시 RWL 신호에 의해 MN2와 MN4 NMOS 트랜지스터가 선택되고 풀-업 부하(pull-up load)에 의하여 BL과 BLb(BL bar)의 전압이 풀-업되면 DOUT 버퍼에서 BL과 BLb의 차동전압(differential voltage)을 센싱한다.

Read 모드에서 RWL(read word line)은 0.67VDD를 구동하며, SL은 0V를 구동한다. '0'로 프로그램된 셀은 eFuse는 전도 상태이므로 BL에 0V를 출력하는 반면, '1'로 프로그램된 셀은 고저항 상태이므로 BL에 VDD를 출력한다.

표 2. 동작 모드에 따른 셀 바이어스 조건
Table. 2 Cell bias conditions according to operational modes

	PROGRAM MODE				READ MODE	
	Unselected Cell		Selected Cell			
DIN	0	1	0	1	0	1
RWL	0	0	0	0	0.67 VDD	0.67 VDD
PD	0V	0V	0V	4.2V	0V	0V
PDb	0V	0V	4.2V	0	0V	0V
SL	4.2V	4.2V	4.2V	4.2V	0V	0V
BL	Floating	Floating	Floating	Floating	0V	VDD
BLb	Floating	Floating	Floating	Floating	VDD	0V

동작 모드별 eFuse 셀의 바이어스 전압 표 2에서 보는바와 같다. 프로그램 모드에서 RWL은 0V로 유지되어 read NMOS 트랜지스터를 OFF 시킨다. 그리고 A[4:0]에 의해 선택되지 않은 cell의 PD(Program Data)와 PDb(PD bar)는 0V로 유지된다. 반면, 선택된 셀의 PD와 PDb는 DIN(Input Data)이 '0'인 경우는 0V와 4.2V, DIN이 '1'인 경우는 4.2V와 0V로 구동된다. 프로그램 모드에서 DIN이 '0'인 경우는 선택된 셀의 BLb에 연결된 eFuse가 blowing 되고, DIN이 '1'인 경우는 BL에 연결된 eFuse가 blowing 된다. 프로그램 모드에서 SL 전압은 4.2V를 forcing한다. 한편 읽기 모드에서 PD와 PDb 신호는 0V를 유지하여 프로그램 트랜지스터를 OFF 시킨다. 그리고 SL은 플로팅(floating) 상태를 유지하지만 회로적으로 0V로 바이어싱(biasing) 되고

RWL(Read Word-Line)은 0.67VDD를 구동된다. BL과 BLb의 전압은 high-impedance 풀-업 부하에 의하여 VDD로 풀-업되고 RWL 신호에 의해 '0'로 프로그램된 셀의 BL과 BLb 전압은 0V와 VDD, '1'로 프로그램된 셀의 BL과 BLb 전압은 VDD와 0V가 된다.

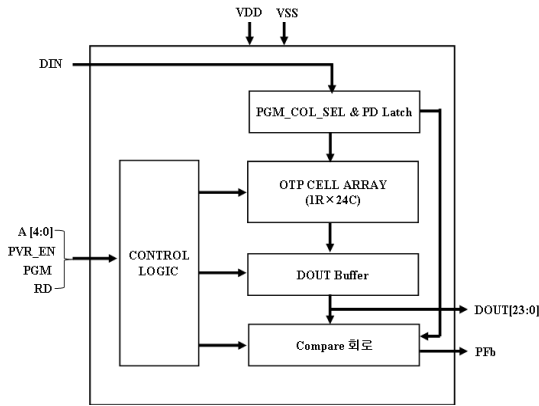


그림 2. 24-비트 eFuse OTP 메모리의 블록도
Fig. 2 Block diagram of 24-bit eFuse OTP memory

설계된 24b eFuse OTP 메모리의 블록도는 그림 2에서 보는 바와 같이 1행 × 24열의 OTP 셀 어레이, 제어 신호 (RD, PGM, PVR_EN)에 따라 동작 모드에 적합한 내부 제어신호를 공급하는 제어 로직, 어드레스 A[4:0]를 디코딩하여 프로그램 되는 열(column)을 선택해주는 PGM_COL_SEL 회로, 프로그램 데이터를 저장하는 프로그램 데이터 래치(PD latch) 회로, BL의 데이터를 읽어 내기 위한 DOUT(Output Data) 버퍼, 그리고 프로그램 데이터 래치에 저장된 프로그램 데이터 PD[23:0]와 DOUT 버퍼의 읽어낸 데이터 DOUT[23:0]이 일치하는지 비교해주는 비교회로로 구성되어 있다.

PD[23:0]와 DOUT[23:0]를 해당 비트끼리 비교하였을 때 모든 비트가 일치하는 경우는 정상적으로 프로그램 되었으므로 PFb 신호는 '1'을 출력하고, 24비트 중 한 비트 이상이 불일치하면 '0'를 출력한다. PVR_EN (Program-Verify-Read ENable) 신호는 program-verify-read 모드와 read 모드를 구분해 준다. Program-verify-read 모드에서는 프로그램된 eFuse 저항의 변동을 고려하여 가변 풀-업 부하(variable pull-up load)를 이용한 센싱 마진 테스트를 수행하는 동시에 프로그램 데이

터와 read 데이터가 일치하는지 비교하는 기능을 수행한다.

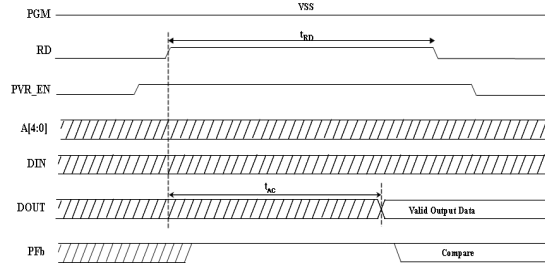


그림 3. Program-verify-read 모드에서의 타이밍 다이어그램
Fig. 3 Timing diagram in the program-verify-read mode

그림 3은 differential paired eFuse OTP의 program-verify-read 모드의 타이밍 다이어그램이며, RD 신호와 PVR_EN 신호를 동시에 high로 활성화하면 dynamic pseudo NMOS 로직회로를 이용한 프로그램 데이터 비교 회로는 프로그램 데이터 래치 회로에 래치된 프로그램 데이터와 read 모드에서 읽혀진 read 데이터를 비교하여 PFb 핀으로 비교 결과를 출력한다.

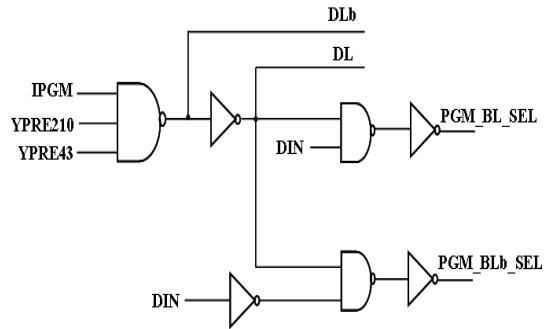


그림 4. 제안된 PGM_COL_SEL 회로
Fig. 4 Proposed PGM_COL_SEL circuit

그림 4는 프로그램 모드에서 프로그램 되는 열을 선택해주는 PGM_COL_SEL 회로이며, 프로그램 모드로 진입하게 되면 행 어드레스인 A[4:0]을 디코딩하여 프로그램 되는 PGM_COL_SEL와 PGM_COL_SELb만 각

각 VDD와 0V로 구동된다. 그리고 프로그램 되지 않는 PGM_COL_SEL와 PGM_COL_SELb 신호는 각각 0V와 VDD를 유지하도록 한다. 그리고 읽기 모드에서는 PGM_COL_SEL[23:0]와 PGM_COL_SELb [23:0] 신호는 모두 0V를 유지한다. 그리고 그림 5는 positive level-sensitive D 래치 형태인 프로그램 데이터 래치 회로이다. 프로그램 모드에서 프로그램 데이터인 DIN은 프로그램 데이터 래치 회로에 저장된다.

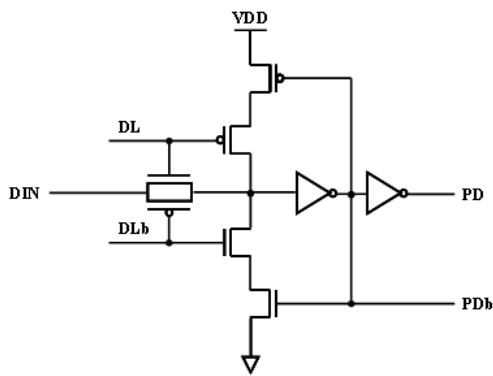


그림 5. 프로그램 데이터 래치 회로[7]
Fig. 5 Program data latch circuit[7]

그림 6은 BL pull-up load 회로로 normal read mode에서 BL 프리차지(precharge) 신호인 BL_PCG 신호에 의해 BL과 BLb는 VSS로 프리차지 된다. OTP cell의 RWL 신호가 0.67VDD로 활성화되면 BL_LOADb 신호가 0V인 구간 동안 큰 채널 폭(channel width)를 갖는 풀-업 부하 트랜지스터(MP1과 MP2)에 의해 BL과 BLb는 VDD로 풀-업 된다. 이때 program-verify-read 모드용 작은 채널 폭을 갖는 풀-업 트랜지스터(MP3와 MP4)는 OFF 상태에 있다. 그리고 그림 6의 모든 풀-업 부하 트랜지스터는 high-impedance를 유지하도록 설계되었다. 그런데 풀-업 트랜지스터의 임피던스가 크기 때문에 프로그램 되지 않은 eFuse에 연결된 BL은 VSS를 유지하는 반면, 프로그램 된 eFuse에 연결된 BL은 VDD로 풀-업 된다. 프로그램 되지 않은 eFuse 셀을 read하는 경우 BL의 프리차지 전압인 VDD 전압은 read NMOS 트랜지스터와 eFuse 링크를 통해 GND로 방전 된다. 본 논문에서는 프로그램 되지 않은 셀에 흐르는 read 전류를 낮추기 위해 BL/BLb를 VSS로 프리차지하는 방식을 사용하였다. 그

래서 프로그램되지 않은 eFuse를 통해 흐르는 read 전류를 줄였다.

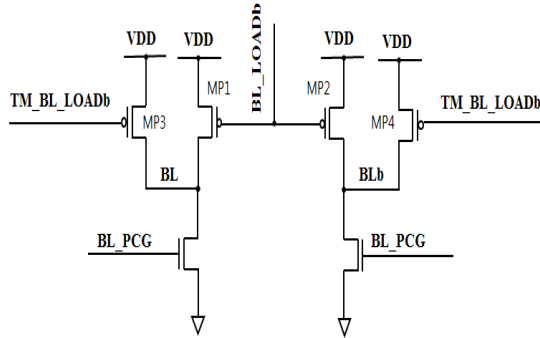


그림 6. BL 풀-업 부하 회로
Fig. 6 BL pull-up load circuit

일반적으로 eFuse OTP 셀은 프로그램된 eFuse 링크의 저항이 data retention 시간동안 eFuse 저항이 줄어드는 경우에 센싱 불량 발생할 수 있다. 그래서 프로그램된 eFuse 저항의 변동을 고려한 가변 풀-업 부하를 갖는 센싱 마진 테스트 회로가 제안되었으며, 본 논문에서도 가변 풀-업 부하 회로를 이용한 센싱 마진 테스트 회로를 설계하였다. 가변 풀-업 부하 회로는 program-verify-read 모드와 normal read 모드에서 사용되는 BL 프리차지 회로의 풀-업 부하의 임피던스를 가변시킨다. 그림 6의 풀-업 부하 트랜지스터중 MP3와 MP4는 OTP IP의 functional test 동안 사용되며, MP1과 MP2는 OFF 된다. Program-verify-read 모드에서 차동증폭기의 차동 입력 전압은 줄어들며, 센싱 가능한 eFuse 저항은 normal read 모드보다 크다. 그래서 program-verify-read 모드와 normal read 모드에서 센싱 가능한 eFuse 저항의 차이 값이 data retention 시간동안 마진(margin) 저항이 된다. Program-verify-read 모드에서는 프로그램된 eFuse 저항의 변동을 고려하여 가변 풀-업 부하(variable pull-up load)를 이용한 센싱 마진 테스트를 수행하는 동시에 프로그램 데이터와 read 데이터가 일치하는지 비교하는 기능을 동시에 수행한다.

그림 7의 BL S/A 회로는 차동 입력 전압을 센싱하여 래치하는 S/A based D F/F 회로를 사용하였다. BL S/A는 negative edge triggered D F/F이다. SAENb가 high인 구간 동안 N1과 N2 노드는 VSS를 유지하며, SR 래치 회로는

이전 상태의 데이터를 래치한다. SAENb가 high에서 low로 활성화되면 BL/BLb 전압을 센싱하여 DOUT/DOUTb 포트르 출력한다.

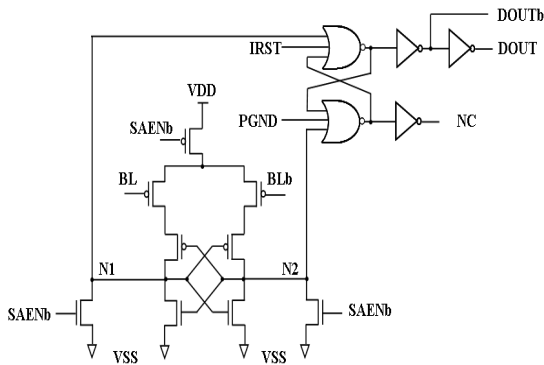


그림 7. 제안된 S/A based D Flip-Flop 회로를 이용한 BL S/A 회로도
Fig. 7 Proposed BL S/A using S/A-based D flip-flop

한편 그림 8의 dynamic pseudo NMOS 로직회로를 이용한 프로그램 데이터 비교회로[7]는 프로그램 모드 이후 program-verify-read 모드를 수행하면 프로그램 데이터 래치 회로에 래치된 프로그램 데이터인 PD[23:0]와 읽혀진 read 데이터인 DOUT[23:0]가 일치하는지 해당되는 비트끼리 데이터를 비교한다. 프로그램 데이터 비교 결과는 PFb 핀으로 출력한다.

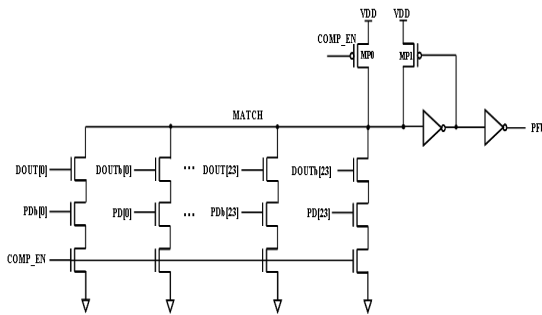


그림 8. Dynamic Pseudo NMOS 로직을 이용한 24비트 프로그램 데이터 비교회로
Fig. 8 Comparison circuit of 24-bit program data with a dynamic pseudo NMOS logic circuit

COMP_EN (COMParE ENable) 신호가 0V인 경우는 MATCH 신호가 VDD로 프리차지 상태를 유지하고 PFb는 VDD를 출력한다. program-verify-read 모드에서 DOUT[23:0]가 먼저 셋-업된 상태에서 COMP_EN이 high로 활성화된다. 만약 24-비트의 PD[23:0]와 DOUT [23:0]가 비트끼리 모두 일치하면 MATCH는 VDD를 유지하며, PFb 신호는 VDD로 출력한다. 만약 24-비트의 데이터 중 한 비트이상 다르다면 MATCH 신호는 0V로 방전되어 PFb는 0V를 출력한다.

III. 모의실험 및 레이아웃 결과

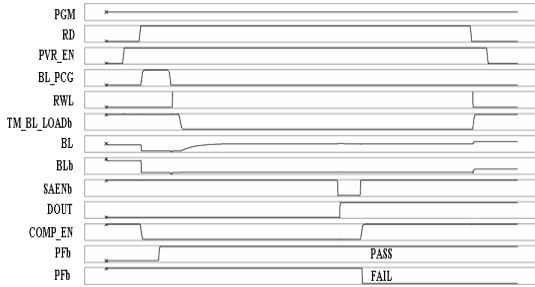
설계된 24-비트 eFuse OTP에서 프로그램된 eFuse 링크의 센싱 저항에 대한 모의실험 결과는 표 3과 같다. Differential paired eFuse OTP의 program-verify-read 모드와 read 모드에서 프로그램된 eFuse 센싱 저항은 각각 9kΩ, 4kΩ으로 모의실험되었다. 그리고 듀얼 포트 eFuse OTP의 program-verify-read 모드와 read 모드에서 프로그램된 eFuse 센싱 저항은 각각 110kΩ, 50kΩ으로 모의실험되었다. 표 3의 모의실험에서 보는바와 같이 differential paired eFuse OTP의 프로그램된 eFuse의 센싱 저항이 듀얼 포트 eFuse OTP의 센싱 저항보다 작음을 알수 있다.

표 3. eFuse OTP 종류에 따른 프로그램된 eFuse 링크의 센싱 저항 모의실험 결과
Table. 3 Simulation results of programmed eFuse OTP link sensing resistances according to eFuse OTP memory types.

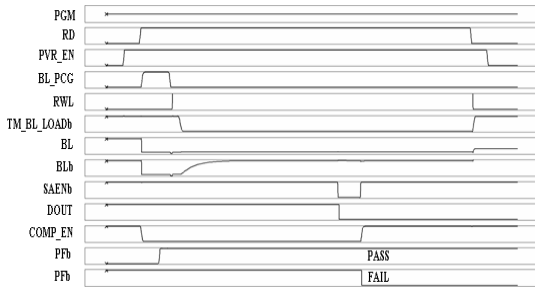
	PVR 모드	Read 모드
differential paired eFuse OTP	9kΩ	4kΩ
듀얼 포트 eFuse OTP	110kΩ	50kΩ

그림 9는 24비트 differential paired eFuse OTP 메모리에 대한 program-verify-read 모드에서의 모의실험 결과이다. RD 신호가 활성화 되면 액세스 시간이 지난 후 DOUT이 출력된다. 그 이후 COMP_EN 신호가 high로

활성화되면서 PFb는 PD와 DOUT의 비교 결과를 출력한다.



(a)

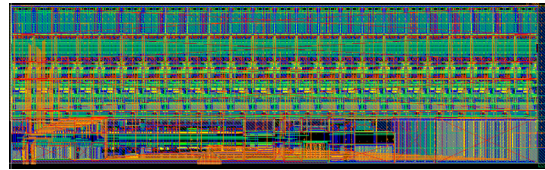


(b)

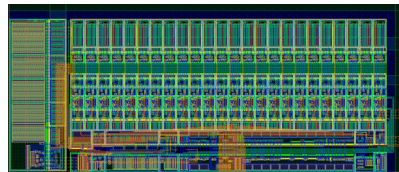
그림 9. Program-verify-read 모드에서의 모의실험 결과 (a) '1'로 프로그램된 경우 (b) '0'로 프로그램된 경우

Fig. 9 Simulation results in the program-verify-read mode: (a) in case of being programmed with '1' and (b) in case of being programmed with '0'

0.18 μ m 공정을 이용하여 differential paired eFuse OTP와 듀얼 포트 eFuse OTP를 레이아웃 하였다. 그림 10은 설계된 24-비트 eFuse OTP IP의 레이아웃 사진을 보여주고 있다. 그림 10에서 보는바와 같이 differential paired eFuse OTP와 듀얼 포트 eFuse OTP의 레이아웃 면적은 각각 367.965 μ m \times 107.34 μ m(=0.0395mm²), 239.6 μ m \times 111.6 μ m(=0.0284mm²)로 differential paired eFuse OTP 사이즈가 듀얼 포트 eFuse OTP 사이즈보다 더 큰 것을 볼 수 있다.



(a)



(b)

그림 10. 설계된 24bit eFuse OTP 메모리의 레이아웃 이미지: (a) differential paired eFuse OTP 메모리 IP (b) 듀얼 포트 eFuse OTP 메모리 IP
Fig. 10 Layout image of the designed 24-bit eFuse OTP memory: (a) differential paired eFuse OTP memory IP and (b) dual-port eFuse OTP memory IP

IV. 결 론

본 논문에서는 differential paired eFuse OTP 셀을 이용한 eFuse OTP 메모리 설계에서 프로그램된 eFuse 저항의 변동을 고려하여 가변 풀-업 부하를 이용한 센싱 마진 테스트를 수행하는 동시에 프로그램 데이터와 read 데이터가 일치하는지 비교하는 program-verify-read 모드를 지원하는 24-비트 differential paired eFuse OTP 메모리를 설계하였다. Differential paired eFuse OTP의 program-verify-read 모드는 dynamic pseudo NMOS 로직회로를 이용한 프로그램 데이터 비교회로가 프로그램 데이터 래치 회로에 래치된 프로그램 데이터와 read 모드에서 입력된 read 데이터를 비교하여 PFb 핀으로 비교 결과를 출력한다. 이렇게 하므로 패키지 상태에서 하나의 핀으로 출력되는 PFb를 통해 eFuse OTP 메모리가 정상적으로 프로그램 되었는지 알 수 있다.

또한 program-verify-read 모드에서는 가변 풀-업 부하 저항 회로를 이용하여 데이터 retention 시간동안 프로그램된 eFuse 링크의 저항 변동에 대한 마진 테스트가 가능하도록 설계하였다.

그리고 본 논문에서는 매그나칩 반도체 0.18 μ m 공정을 이용하여 24-비트 듀얼 포트 eFuse OTP 메모리를 설계하여 program-verify-read 모드에서 센싱 저항을 비교하였다. Program-verify-read 모드에서 differential paired eFuse OTP와 듀얼 포트 eFuse OTP의 센싱 저항은 각각 4k Ω 과 50k Ω 으로 differential paired eFuse OTP가 작게 나왔다. 반면 eFuse OTP IP 사이즈는 듀얼 포트 eFuse OTP가 differential paired eFuse OTP에 비해 작다.

감사의 글

본 논문은 지식경제부 출연금으로 ETRI SW-SoC융합 R&BD센터에서 수행한 시스템 반도체 설계인력양성사업의 연구결과입니다.

참고문헌

[1] Sarvesh H Kulkarni, Zhanping Chen, Jun He, Lei Jiang, Brian Pedersen, Kevin Zhang, "A 4kb metal-fuse OTP-ROM macro featuring a 2V programmable 1.37 μ m² 1T1R bit cell in 32 nm high-k metal-gate CMOS," IEEE Solid-State Circuits, vol. 45, no. 4, pp. 863-868, April 2010.

[2] Safran J, Leslie, A., Fredeman, G., Kothandaraman, C., Cestero, A., Xiang Chen, Rajeevakumar, R., Deok-kee Kim, Yan Zun Li, Moy, D., Robson, N., Kirihata, T., Iyer, S, "A compact eFuse programmable array memory for SOI CMOS," Symposium on VLSI Circuits, pp. 72-73, June 2007.

[3] Robson N., Safran, J., Kothandaraman, C., Cestero, A., Xiang Chen, Rajeevakumar, R., Leslie, A., Moy, D., Kirihata, T., Iyer, S., "Electrically programmable fuse (eFuse): From memory redundancy to autonomic chip," Proceedings of Custom Integrated Circuits Conference, pp. 799-804, Sep. 2007.

[4] Alavi M., Bohr, M., Hicks, J., Denham, M., Cassens, A., Douglas, D., Tsai, M.-C, "A PROM element based on salicide agglomeration of poly fuses in a CMOS logic process," IEEE International Electron Devices Meeting, pp. 855-858, Dec. 1997.

[5] Jeong-Ho Kim, Du-Hui Kim, Liyan Jin, Pan-Bong Ha, Young-Hee Kim, "Design of 1-Kb eFuse OTP memory IP with reliability considered," Journal of Semiconductor Technology and Science, vol. 11, no. 2, pp. 88-94, June 2011.

[6] Ji-Hye Jang, Li-yan Jin, Hwang-Gon Jeon, Kwang-Il Kim, Pan-Bong Ha, Young-Hee Kim, "Design of an 8-bit differential paired eFuse OTP memory IP reducing sensing resistance," J. Cent. South Univ., vol. 19, no. 1, pp. 168-173, Jan. 2012.

[7] 양혜령 외, "PMIC용 고신뢰성 eFuse OTP 메모리 설계," 한국정보통신학회논문지, pp. 1455-1462, July 2012.

[8] Ji-Hye Jang, Li-yan Jin, Hwang-Gon Jeon, Kwang-Il Kim, Pan-Bong Ha, Young-Hee Kim, "Design of an 8 bit differential paired eFuse OTP memory IP reducing sensing scheme," Journal of Central South University of Technology, pp. 168-173, Jan. 2012.

저자소개

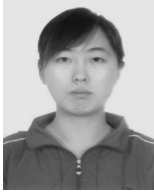
박영배(Young-Bae Park)



2011.2 창원대학교 전자공학과
공학사

2011.3~현재 창원대학교
전자공학과 석사과정

※ 관심분야: Non-Volatile memory 설계, 아날로그 회로 설계



김려연(Li-Yan Jin)

2007. 7 연변대학교 컴퓨터공학과
공학사
2009. 8 창원대학교 전자공학과
공학석사

2009.9~현재 창원대학교 전자공학과 박사과정
※관심분야: Non-Volatile memory 설계, 아날로그 회로 설계



최인화(In-Hwa Choi)

2011. 2 창원대학교 전자공학과
공학사
2011. 3~현재 창원대학교
전자공학과 석사과정

※관심분야: Non-Volatile memory 설계, 아날로그 회로 설계



하판봉(Pan-Bong Ha)

1981. 2 부산대학교 전기공학과
공학사
1983. 2 서울대학교 전자공학과
공학석사

1993.2 서울대학교 전자공학과 공학박사
1987.3~현재 창원대학교 전자공학과 교수
※관심분야: 임베디드 시스템, SoC 설계



김영희(Young-Hee Kim)

1989. 2 경북대학교 전자공학과
공학사
1997. 2 포항공과대학교
전자전기공학과 공학석사

2000.8 포항공과대학교 전자전기공학과 공학박사
1989.1~2001.2 현대전자 책임연구원
2001.3~현재 창원대학교 전자공학과 교수
※관심분야: Non-Volatile memory 설계, LCD 구동 칩 설계, X-ray CMOS 이미지 센서 설계, PMIC 설계