
높은 처리량을 갖는 HEVC CABAC 복호기 하드웨어 설계

김한식* · 류광기**

The Hardware Design of a High throughput CABAC Decoder for HEVC

Hansik Kim* · Kwangki Ryoo**

이 논문은 교육과학부와 한국연구재단의 지역혁신인력양성사업 및 지식경제부 출연금으로 수행한 ETRI SW-SoC 융합 R&BD 센터와의 공동 연구의 결과임

요 약

본 논문에서는 높은 데이터 처리량을 갖는 CABAC 하드웨어 구조를 제안한다. 제안하는 CABAC 복호기는 데이터의 의존성을 유지하면서 한 사이클의 두 개의 bin을 처리한다. 또한 문맥의 전환이나 확률 상태가 변환될 수 있기 때문에 결과 값을 선택적으로 처리할 수 있는 구조로 구현하였다. 확률 구간을 읽어오는 동안 Offset과 Range를 선연산하고, Offset에 비트를 추가하여 연산함으로써 병목현상을 완화시켰다. 제안하는 CABAC 복호기의 동작 주파수를 비교 분석한 결과, 기존 구조 대비 40% 이상 향상된 결과를 얻었다.

ABSTRACT

This paper proposes an efficient hardware architecture of CABAC for HEVC decoder. The proposed method is structured to handle two bins in one cycle, while preserving data dependencies of the CABAC. In addition, the processing time of the proposed architecture is reduced because the operation using Offset and Range is processed while the architecture reads rLPS from rLPSROM. As a result of analyzing operating frequency of the proposed CABAC architecture, the proposed architecture has improved by 40% than the previous one.

키워드

HEVC, CABAC, 엔트로피 코딩, 비디오 코딩, 이진 산술 코딩

Key word

HEVC, CABAC, Entropy Coding, Video Coding, Binary Arithmetic Coding

* 준회원 : 한밭대학교 정보통신공학과

** 중신회원 : 한밭대학교 정보통신공학과(교신저자, kkryoo@hanbat.ac.kr)

접수일자 : 2012. 12. 07

심사완료일자 : 2013. 01. 16

Open Access <http://dx.doi.org/10.6109/jkiice.2013.17.2.385>

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

최근 유튜브 같은 영상 네트워크 산업의 발전으로 영상의 공급과 수요가 폭발적으로 증가하고, 동시에 Full HD급 이상의 고화질 영상에 대한 수요 역시 꾸준히 증가하고 있다. 따라서 H.264/ AVC 영상 압축 표준보다 효율이 더 뛰어난 영상 압축 표준이 요구되고 있다. 지난 2010년 1월부터 ITU-T의 비디오 코딩 전문가 그룹 (Video Coding Experts Group, VCEG)과 ISO/IEC의 동화상 전문가 그룹(Moving Picture Experts Group, MPEG)이 공동으로 설립한 JCT -VC(Joint Collaborative Team on Video Coding)에서 기존의 영상 압축 표준보다 두 배 이상의 압축률을 목표로 하는 HEVC(High Efficiency Video Coding)를 제정하기 하였다[1-2].

HEVC는 이전 압축 표준들과 같이 블록 단위의 부호화를 수행한다. 블록 단위의 예측 영상을 생성하기 위해서 H.264/AVC와 유사한 화면 내 예측 및 화면간 예측 기술이 이용된다. HEVC의 화면 내 예측 기술은 부호화 효율의 향상을 위해서 더 많은 방향성이 고려되었다. 화면간 예측 기술에는 1/4 화소 단위의 움직임 예측, 이산여현변환기반의 영상 보간 기술, 새로운 움직임 벡터 크기 부호화 기술 등이 채택되었다. 원 영상과 예측 영상의 차분 값에 대해 이산여현변환 기반의 변환 부호화와 양자화를 수행한다[2].

기존의 H.264/AVC 표준의 엔트로피 부호화 방법은 CABAC(Context-based Adaptive Binary Arithmetic Coding)과 CAVLC(Context-based Variable Length Arithmetic Coding)를 채택하여 사용했지만, HEVC에서는 압축효율이 더 뛰어난 CABAC만을 채택하여 사용하고 있다[3]. H.264/ AVC 표준과 비교하면, 엔트로피 부호화 기술과 명칭은 동일하지만, 구문은 HEVC 표준에 맞게 변경되었다.

기존 CABAC의 산술 연산은 이전 모드의 업데이트된 확률 상태와 범위를 사용하기 때문에 높은 데이터 의존성을 보이며, 확률 구간을 읽고, 현재 상태를 판단하는데 많은 시간이 소요된다.

본 논문에서는 두 개의 bin을 한 사이클에 수행하는 CABAC 하드웨어 구조를 제안하며, 연산 수행 시간을 감소시키기 위해 낮은 확률 구간의 값을 읽는 동안 Offset과 Range를 선처리하는 구조를 채택하였다.

본 논문의 구성은 다음과 같다. II장에서는 CABAC 알고리즘에 대해 기술하며, III장에서는 제안하는 CABAC 복호기 구조에 대해 기술하고 IV장에서는 제안하는 하드웨어 구조의 동작을 검증하고, 기존 구조와 연산처리 시간을 비교한 결과에 대해 기술한다. V장에서는 본 연구의 결론을 도출한다.

II. CABAC 알고리즘

2.1. CABAC의 구성

CABAC 부호화 과정은 그림 1과 같이 3단계로 구성 되어 있다.

1) 이진화(Binarization) : 문맥 기반 적응적 이진 산술 부호화는 이진 값(1 혹은 0)을 부호화하도록 설계되었다. 따라서 이진 값이 아닌 입력 심볼(Syntax)은 산술 부호화에 앞서 이진코드로 변환된다[4-5].

2) 문맥 모델러(Context Modeler) : 문맥 기반 적응적 이진 산술 부호화의 가장 중요한 특징 중 하나는 모델링(Modeling)과 부호화(Coding) 사이의 명확한 인터페이스 사용이 가능하다는 것이다.

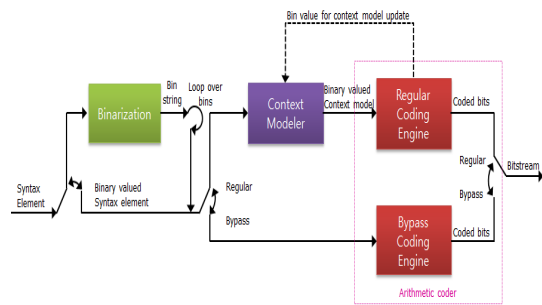


그림 1. CABAC 부호화기의 블록 다이어그램
Fig. 1 Block Diagram of CABAC Encoder

확률 모델이 주어진 심볼에 할당되고, 실제 부호화 엔진은 확률 모델에 기반을 두고 산술 부호화를 수행하여 심볼의 부호화를 나타내는 비트 열을 생성한다. 따라서 통계적 상관성을 고려하여 정확한 모델을 설계하고 부호화를 수행한 후, 모델을 업데이트하는 것이 매우 중요한 요소이다[4-5].

3) 이진 산술 부호화(Binary Arithmetic Coding) : 기본적으로 곱셈 연산을 사용하여 반복적으로 구간을 세분화한다. LPS(Least Probable Symbol)의 확률 PLPS(0, 0.5)가 주어지고, 최소경계 L과 범위 R을 갖는 구간이 주어지면, 이를 기반으로 주어진 구간을 두 부분 구간(Subinterval)으로 세분화된다. LPS에 대응하는 구간의 범위는 식 (1)과 같다. 확률 1-PLPS를 갖는 MPS(Most Probable Symbol)에 대응하는 또 다른 구간의 범위는 식 (2)와 같다. 현재 주어진 이진 심볼이 MPS인지 LPS인지에 따라 대응하는 부분 구간이 새로운 현재 구간으로 선택된다.

$$r_{LPS} = r \cdot P_{LPS} \quad (1)$$

$$r_{MPS} = 1 - r_{LPS} \quad (2)$$

구간을 나타내는 이진 값은 현재까지 처리된 이진 결과 값을 의미하는 반면, 구간의 범위는 현재까지 부호화된 이진 심볼에 대한 확률의 곱이다[4-5]. 부호화 과정은 부호화 과정의 역순으로 진행되고, 문맥 모델러의 순서는 부호화 과정과 동일하다.

2.2. 문맥 모델러 구조

HEVC 문맥 모델러의 구분에 따른 확률을 구하는 과정은 식 (3), (4), (5)와 같고, H.264/AVC는 식 (5)를 이용하여 구분에 따른 확률을 구한다. HEVC는 479개의 initValue 값만 이용하여 valMPS와 pstateIdx의 값을 구하는 반면 H.264/AVC는 4029개의 m, n 값을 사용하여 valMPS와 pstateIdx 값을 구하기 때문에 HEVC가 H.264/AVC에 비해 적은 저장 공간을 요구한다.

$$\begin{aligned} \text{SlopeIdx} &= \text{initValue} \gg 4 \\ \text{intersecIdx} &= \text{initValue} \& 15 \end{aligned} \quad (3)$$

$$\begin{aligned} m &= \text{SlopeIdx} * 5 - 45 \\ n &= (\text{intersecIdx} \ll 3) - 16 \end{aligned} \quad (4)$$

$$\begin{aligned} \text{preCtxState} &= \text{Clip3}(1, 126, ((m * \text{Clip3}(0, 51, \text{SliceQP}) \gg 4) + n)) \\ \text{valMPS} &= (\text{preCtxState} \leq 63) ? 0 : 1 \\ \text{pStateIdx} &= \text{valMPS} ? (\text{preCtxState} - 64) : \\ & \quad (63 - \text{preCtxState}) \end{aligned} \quad (5)$$

$$*\text{clip3} = \begin{cases} x; & z < x \\ y; & z > y \\ z; & \text{otherwise} \end{cases}$$

2.3. 이진 산술 부호화 구조

정규화 모드에 대한 HEVC 이진산술 부호화과정은 그림 2와 같다. 문맥 모델러에서 구해진 값인 valMPS, pstateIdx와 비트 스트림에서 읽은 Offset, 그리고 초기에 설정된 Range(510)값을 사용하여 연산을 수행한다 [1].

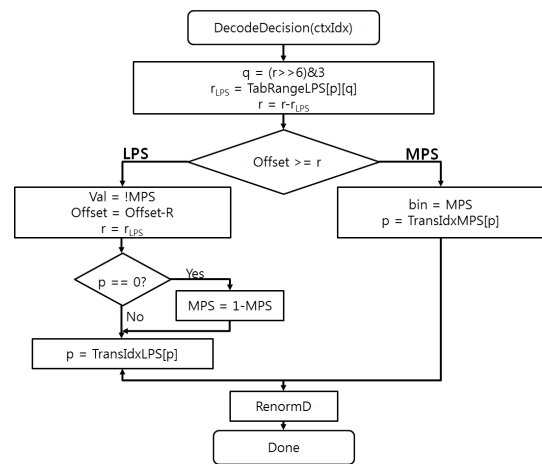


그림 2. 정규화 모드 복호화 과정
Fig. 2 Flowchart for Decoding a Decision

이진 산술 부호화 과정에서는 Range의 상위 비트와 pstateIdx를 이용하여 rLPS를 읽어 온다. 이후 그림 3과 같이 Range와 rLPS를 이용하여 현재의 확률 상태가 MPS인지 LPS인지 선택한다.

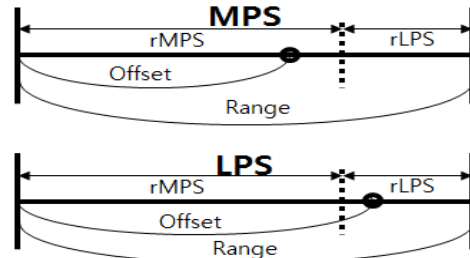


그림 3. 확률에 따른 MPS/LPS 선택과정
Fig. 3 MPS/LPS selection process

선택된 현재의 확률 상태와 표 1에 의해 새로운 Range와 Offset의 값이 정해진 후 다음 bin을 처리하기 위해 필요한 pstateIdx, binVal, valMPS 값이 정해진다.

표 1. Arithmetic Engine 계산
Table. 1 Computation of Arithmetic Engine

	MPS	LPS
Range_new	Range-rLPS	rLPS
Offset_new	Offset	Offset-(Range-rLPS)

위와 같이 산술 복호화 과정은 데이터 의존성으로 인해 현재모드가 종료된 후에 다음 산술 복호화 모드를 진행해야만 한다. 따라서 CABAC은 병렬 처리에 어려움이 있다[4].

III. 제안하는 하드웨어 CABAC 구조

기존 산술 복호화의 레귤러 모드 하드웨어 구조는 그림 4와 같다. 기존 구조는 rLPS ROM에서 rLPS를 읽은 후에 Range와 연산하여 rMPS를 얻은 후에 Offset과 비교하여 확률 상태를 파악하기 때문에 연산처리가 증가한다.

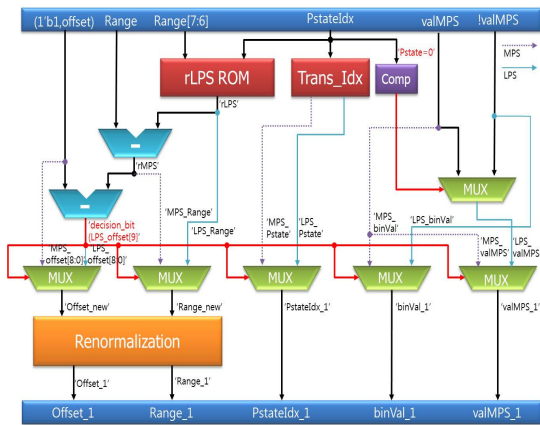


그림 4. H.264/AVC 정규화 모드 구조
Fig. 4 Regular Mode Architecture in H.264/AVC

제안하는 구조는 그림 5와 같이 정규화 모드를 한 번 더 수행하기 때문에, CABAC의 데이터 의존성을 유지하면서, 한 사이클에 두 개의 bin을 처리하지만, 병목현상이 발생한다.

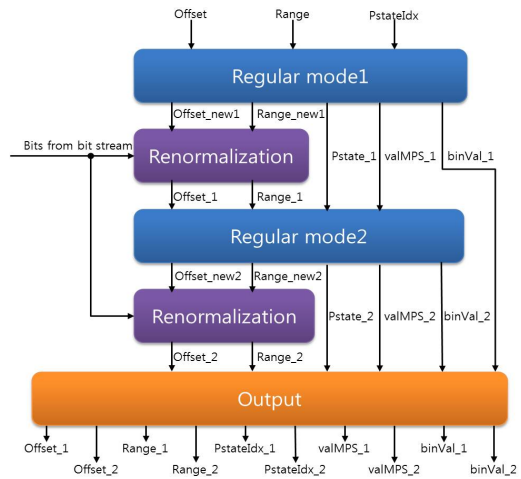


그림 5. 제안하는 CABAC 하드웨어 구조
Fig. 5 Proposed CABAC Hardware Architecture

그림6은 Range, Offset rLPS의 상관관계를 분석한 결과이다. Offset과 rLPS의 덧셈한 결과가 Range보다 크면 LPS, 작으면 MPS이다. 병목현상을 완화시키기 위해서 그림 7과 같이 rLPS ROM에서 rLPS를 읽는 동안 Offset과 Range의 뺄셈 연산을 처리한다.

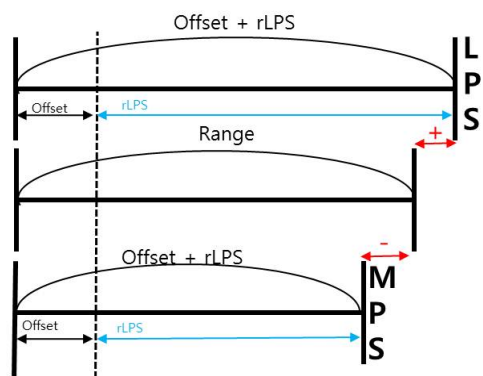


그림 6. 'Range'와 'Offset + rLPS'의 상관관계
Fig. 6 Correlation of 'Range' and 'Offset + rLPS'

또한 최상위비트에 '1'을 추가한 Offset에서 Range를 뺀 값과 rLPS를 더한 결과 값의 최상위 비트가 '1'이면 LPS 상태이고, '0'이면 MPS 상태이기 때문에 비교기 없이 현재 상태를 판단할 수 있다. 이와 동시에 rMPS 값을 구하기 위해서 Range와 rLPS를 계산한다.

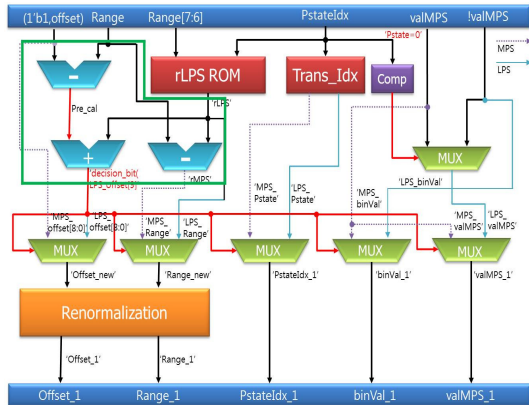


그림 7. 제안하는 정규화 모드 구조
Fig. 7 Proposed Regular Mode Architecture

IV. 실험 및 고찰

제안한 구조의 동작 검증을 위해 HEVC 참조 소프트웨어 HM 8.1에서 추출한 데이터를 이용하였고, 동작을 검증한 결과 정상적으로 한 사이클에 두 개의 bin을 출력함을 확인하였다[6]. Bask etballDrive_1920x1080_50 영상 2 프레임을 복호화 한 결과 정규화 모드는 이전 산술화는 4만번을 수행하며, 이중 약 20%의 수행은 제안하는 구조를 사용 할 수 있다. 제안하는 구조는 Verilog HDL로 설계되었으며, TSMC 0.18um과 0.13um 표준 셀 라이브러리를 사용하여 IDEC에서 지원하는 CAD Tool인 Synopsys사의 Design Compiler로 합성하였다. 표 2는 제안하는 구조의 합성결과를 나타낸다. 제안한 구조의 동작 주파수는 210MHz(0.18um), 263MHz (0.13um)이고 Yu[7], Chen[8] 구조 대비 각각 40%, 10%가 증가하였다. 그림 8은 제안하는 하드웨어의 레이아웃을 나타낸다.

표 2. 하드웨어 구현 결과
Table. 2 Implementation result of hardware

	Yu[7]	Chen[8]	Proposed	
공정(um)	0.18	0.13	0.18	0.13
주파수 (MHz)	150	238	210	263
게이트수	-	43.6k(Full)	7.6k	7.2k

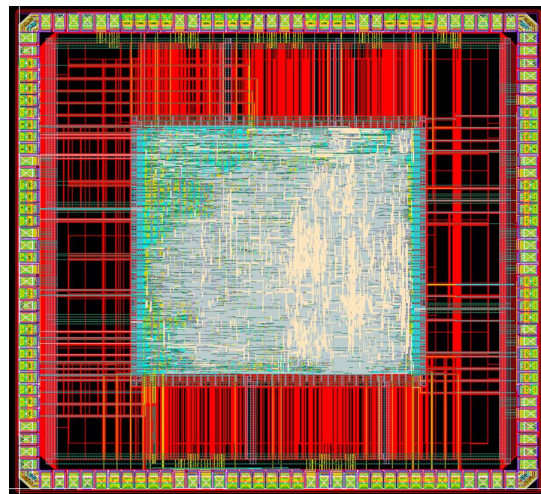


그림 8. 칩 설계 결과
Fig. 8 Results of Chip design

V. 결론

본 논문에서는 CABAC의 데이터 의존성을 보존하면서 연산 처리량을 높이기 위해서 두 개의 bin을 처리하는 하드웨어 구조를 제안하였다. 또한 Offset과 Range의 연산을 선 처리하였고, Offset의 최상위 비트에 1비트 '1'을 추가한 값과 Range의 뺄셈연산 값에 rLPS를 더한 결과 값으로 현재 확률 상태를 판단하여 비교기를 제거하였다. 그 결과 병목 현상이 완화되어 동작 주파수를 향상시켰다. 또한 최상위 비트에 1비트 '1'을 추가한 Offset과 Range의 뺄셈연산 값과 rLPS를 더한 결과 값으로 현재 확률 상태를 판단할 수 있다.

제안하는 구조를 TSMC 0.18um, 0.13um 공정을 이용하여 합성한 결과 최대 동작 주파수는 각각 210MHz,

263HMz이고, 게이트 수는 각각 7.6k, 7.2k이다. 최대 동작 주파수를 기준으로 제안하는 구조는 기존 구조 대비 40% 향상 되었다.

참고문헌

- [1] ITU-T, WD8: Working Draft 8 of High Efficiency Video Coding, JCT VC-J1003_d1, July 2012.
- [2] 심동규. 차세대 비디오 표준 압축기술, IDEC Newsletter, pp 04-09, July 2011.
- [3] I. E. Richardson, The H.264 Advanced Video Compression Standard : Second Edition, John Wiley & Sons, 2010.
- [4] 호요성, 허진, H.264/AVC 표준의 CAVLC/ CABAC 알고리즘 이해 및 분석 : 두양사, 2009.
- [5] R. C. Gonzalez and R. E. Woods, In Digital Image Processing, Prentice Hall, 2002.
- [6] J. V. Team, Reference Software HM 8.1.
- [7] W. Yu and Y. He, "A high performance CABAC decoding architecture", IEEE Transactions on Consumer Electronics, vol. 51, pp. 1352-1359, Nov. 2005.
- [8] J. Chen and Y. Lin, "A High-performance Hardwired CABAC Decoder for Ultra-high Resolution Video", IEEE Transactions on Consumer Electronics, vol. 55, pp. 1641-1622, August 2009.

저자소개



김한식(Hansik Kim)

2011년 한밭대학교
정보통신공학과 공학사
2013년 한밭대학교
정보통신공학과 공학석사

※관심분야: SoC 플랫폼 설계, 하드웨어/소프트웨어 통합설계, 멀티미디어 코덱 설계



류광기(Kwangki Ryoo)

1986년 한양대학교 공과대학
전자공학과 공학사
1988년 한양대학교 대학원
전자공학과 공학석사

2000년 한양대학교 대학원 전자공학과 공학박사
1991년~1994년 육군사관학교 교수부 전자공학과
전임강사
2000년~2002년 ETRI 시스템IC설계팀 선임연구원
2010년~2011년 Univ of Texas at Dallas 방문교수
2003년~현재 한밭대학교 정보통신공학과 교수
※관심분야: SoC 플랫폼 설계 및 검증, 하드웨어/
소프트웨어 통합설계 및 통합검증, 멀티미디어
코덱 설계