

---

# 4-비트 축차근사형 아날로그-디지털 변환기를 내장한 2.5V 0.25 $\mu$ m CMOS 온도 센서

김문규\* · 장영찬\*\*

A 2.5V 0.25 $\mu$ m CMOS Temperature Sensor with 4-bit SA ADC

Mungyu Kim\* · Young-Chan Jang\*\*

---

본 논문은 지식경제부 출연금으로 수행한 ETRI SW-SoC융합 R&BD 센터와의 공동연구 결과입니다.

---

## 요 약

본 논문에서는 칩 내부의 온도를 측정하기 위한 CMOS 온도 센서가 제안된다. 제안하는 온도 센서는 칩 내부의 온도에 비례하는 전압을 생성하는 proportional-to-absolute-temperature (PTAT) 회로와 디지털 인터페이스를 위한 4-비트 아날로그-디지털 변환기로 구성된다. 소면적을 가지는 PTAT 회로는 CMOS 공정에서 vertical PNP 구조를 이용하여 설계된다. 온도변화에 둔감한 저전력 4-비트 아날로그-디지털 변환기를 구현하기 위해 아날로그 회로를 최소로 사용하는 축차근사형 아날로그-디지털 변환기가 이용되며, 이를 위해 커패시터-기반 디지털-아날로그 변환기와 시간-도메인 비교기를 이용한다. 제안된 온도 센서는 2.5V 0.25 $\mu$ m 1-poly 6-metal CMOS 공정에서 제작되었고, 50 ~ 150 °C 온도 범위에서 동작한다. 구현된 온도 센서의 면적과 전력 소모는 각각 130 × 390  $\mu$ m<sup>2</sup>과 868  $\mu$ W이다.

## ABSTRACT

In this paper, a CMOS temperature sensor is proposed to measure the internal temperature of a chip. The temperature sensor consists of a proportional-to-absolute-temperature (PTAT) circuit for a temperature sensing part and a 4-bit analog-to-digital converter (ADC) for a digital interface. The PTAT circuit with the compact area is designed by using a vertical PNP architecture in the CMOS process. To reduce sensitivity of temperature variation in the digital interface circuit of the proposed temperature sensor, a 4-bit successive approximation (SA) ADC using the minimum analog circuits is used. It uses a capacitor-based digital-to-analog converter and a time-domain comparator to minimize power consumption. The proposed temperature sensor was fabricated by using a 0.25 $\mu$ m 1-poly 6-metal CMOS process with a 2.5V supply, and its operating temperature range is from 50 to 150 °C. The area and power consumption of the fabricated temperature sensor are 130 × 390  $\mu$ m<sup>2</sup> and 868  $\mu$ W, respectively.

## 키워드

온도 센서, PTAT, 축차근사형 아날로그-디지털 변환기

## Key word

Temperature sensor, PTAT, successive approximation analog-to-digital converter

---

\* 준회원 : 금오공과대학교 전자공학과 석사과정

접수일자 : 2012. 12. 13

\*\* 정회원 : 금오공과대학교 전자공학부 교수 (교신저자, ycjang@kumoh.ac.kr) 심사완료일자 : 2013. 01. 16

**Open Access** <http://dx.doi.org/10.6109/jkiice.2013.17.2.378>

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.  
Copyright © The Korea Institute of Information and Communication Engineering.

## I. 서 론

최근 반도체 집적회로의 동작속도가 증가함에 따라 전력소모는 더욱 증가하고 있다. 이는 반도체 칩의 온도를 상승시킨다. 더욱이 자동차 및 항공 관련 분야에 이용되는 반도체 칩은 급격한 온도의 변화 속에서 동작을 한다. 한편, 반도체 특성상 반도체 칩의 온도 변화는 성능의 악화를 유발시킴으로 칩 내부의 온도 측정이 요구된다. 측정된 반도체 칩 내부의 온도 정보는 칩 성능 저하의 보상, power management 등에 유용하게 이용된다. 이를 위해 temperature sensor가 주 회로와 함께 칩 내부에서 구현되고 있다[1-2].

일반적으로 반도체 칩의 온도를 측정하기 위해 proportional-to-absolute-temperature (PTAT) 회로를 이용하는데, 이를 위해서는 bipolar 공정이 요구된다. 그러나 최근 SoC를 개발하는 경우 설계의 편의성, 전력소모, 그리고 칩 개발 비용 면에서 bipolar 공정보다 twin-well을 가지는 CMOS 공정이 큰 장점을 가지고 있다. 따라서 twin-well을 가지는 CMOS 공정에서 PTAT 회로를 구현하기 위해 vertical structure의 P-N-P 구조를 이용한다. 그림 1은 PTAT 회로의 온도에 따른 전달곡선을 개념적으로 나타내었다. 그림 1에 나타난 바와 같이 정확한 temperature sensor를 구현하기 위해서는 우선 PTAT의 선형성이 중요하다. 즉, 주어진 입력 온도 범위 내에서 구현된 PTAT의 회로는 온도가 증가됨에 따라 saturation 되지 않고 일정한 기울기의 전달 곡선을 가져야 한다. 따라서 정해진 입력 온도에 따른 출력 전압의 범위가 확보되어야 한다.

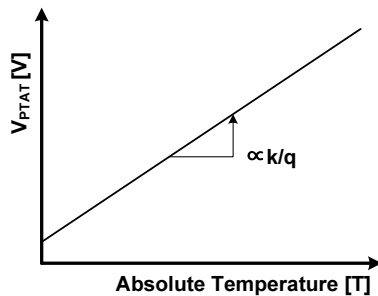


그림 1. 온도의 변화에 따른 PTAT 회로의 전달곡선  
Fig. 1 Transfer curve of PTAT circuit according to temperature variation

기본적으로 temperature sensor는 아날로그 전압을 출력하는 PTAT 회로와 디지털 회로의 인터페이스를 위한 analog-to-digital converter (ADC)로 구성된다. 여기에 이용되는 ADC는 반도체 칩 온도의 변화를 감안하여 수 kHz ~ 수백 kHz 정도의 비교적 낮은 sampling rate가 요구된다. 이는 일반적으로 반도체 칩의 내부 온도가 급격한 변화를 가지지 않기 때문이다. 또한 ADC의 해상도는 주어진 시스템의 사양에 따라 결정되는데, 주로 4bit ~ 8bit 이내로 결정된다.

본 논문에서는 twin-well로 구성된 CMOS 공정에서 구현되는 PTAT 회로와 4-bit 출력을 가지는 successive approximation (SA) ADC로 구성된 temperature sensor를 소개한다. SA ADC는 최소한의 아날로그 회로를 사용하여 소형화 및 저전력으로 구현되고 온도의 변화에 둔감한 측정결과를 보여준다.

## II. 제안된 CMOS Temperature Sensor

그림 2는 제안하는 temperature sensor의 전체 블록도이다. 온도에 비례하는 아날로그 전압을 출력하는 PTAT 회로, PTAT 회로를 위한 bias 회로, 그리고 PTAT의 아날로그 출력을 4-bit 디지털 코드로 변환하는 SA ADC로 구성된다.

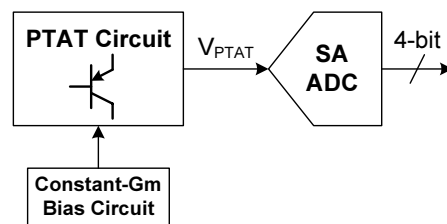


그림 2. Temperature sensor의 블록도  
Fig. 2 Block diagram of temperature sensor

Twin-well을 가지는 CMOS 공정에서 PTAT 회로를 구현하기 위해 vertical structure의 P-N-P 구조를 이용하며, 내부 저항의 비율을 조정하여 출력 범위를 제어하기 위한 수단을 가진다. 사용되는 ADC는 온도의 변화에 둔감한 저전력 축차근사형 구조를 이용한다.

2.1. PTAT 회로

그림 3은 본 연구에 사용된 PTAT의 회로도이다[3]. 기존의 band-gap reference 회로 중 PTAT 회로를 이용하였다. 일반적으로 CMOS 공정에서 transistor, 저항, 그리고 capacitor 소자에 비해 P-N-P bipolar transistor는 큰 면적을 가진다. 기존의 연구에서는 band-gap reference 회로, 혹은 PTAT의 회로에서 이용되는 두 P-N-P bipolar transistor의 emitter 면적 비는 1:100으로 설계되어 칩의 면적이 증가된다[4]. 본 연구에서는 두 P-N-P bipolar transistor의 비율을 1:10으로 설계하고 M3과 M4의 W/L의 크기를 M1과 M2의 W/L의 크기에 비해 절반으로 설계함으로써 PTAT 회로에 이용되는 P-N-P bipolar transistor의 개수 및 면적을 줄인다.

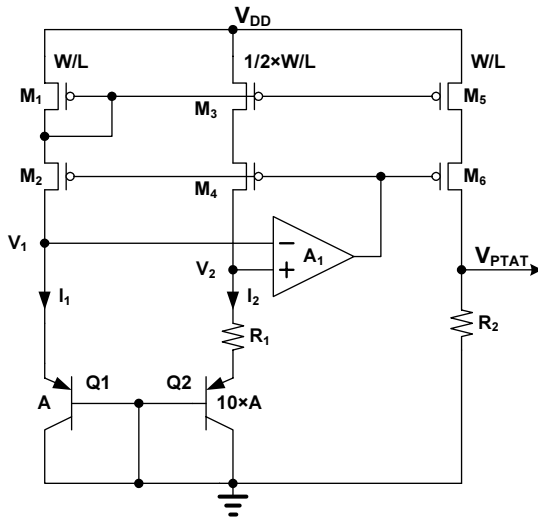


그림 3. PTAT 회로도  
Fig. 3 Circuit diagram of PTAT

그림 3의 M1, M2, M3, 그리고 M4로 구성된 current mirrors의 양쪽 출력노드 전압 V1과 V2는 동일하게 유지함으로 두 P-N-P bipolar transistor의 base-emitter 전압 (V<sub>be</sub>)의 차이가 R1에 발생된다. 이를 위해 V1과 V2를 입력으로 하는 OP 앰프 A1을 이용하는 feedback을 형성하여 current mirror를 제어한다. 다음은 PTAT 회로의 동작을 정량적으로 분석하기 위한 수식들이다.

$$I_1 = 2I_2 \quad (1)$$

$$I_2 = \frac{V_{R1}}{R_1} = \frac{V_{be,Q1} - V_{be,Q2}}{R_1} = \frac{(kT/q) \times \ln 10}{R_1} \quad (2)$$

$$I_1 = 2 \times \frac{(kT/q) \times \ln 10}{R_1} = \frac{(kT/q) \times \ln 100}{R_1} \quad (3)$$

식(3)은 두 bipolar transistor의 emitter 면적의 비율이 1:10인 회로에서 I1의 크기가 I2의 값의 두 배로 결정될 경우 이들 bipolar transistor의 emitter 면적 비율이 1:100인 회로와 동일한 결과가 나타남을 보여준다. 따라서 PTAT의 출력 전압을 아래 수식 (4)와 같이 결정된다.

$$V_{PTAT} = I_1 \times R_2 = \frac{kT}{q} \ln 100 \times \frac{R_2}{R_1} \quad (4)$$

여기서, k는 boltzmann 상수, q는 electron charge, T는 절대온도이다. 식(4)에 의해 R1과 R2의 비, 그리고 Q1과 Q2의 emitter 면적 비에 의해 V<sub>PTAT</sub>의 값이 결정된다. 본 연구에서는 두 bipolar transistor의 emitter 면적의 비율이 1:10으로 설계함으로 칩의 면적을 줄이도록 하였다. PTAT 회로의 출력 전압(V<sub>PTAT</sub>)의 범위는 R1과 R2의 값의 조절에 의해 원하는 값으로 결정될 수 있다.

그림 4는 온도 변화에 따른 PTAT 회로의 simulation 결과이며, 50 ~ 150 °C 온도 범위에 대해 V<sub>PTAT</sub>는 1.2 ~ 1.6V의 전압범위를 가진다.

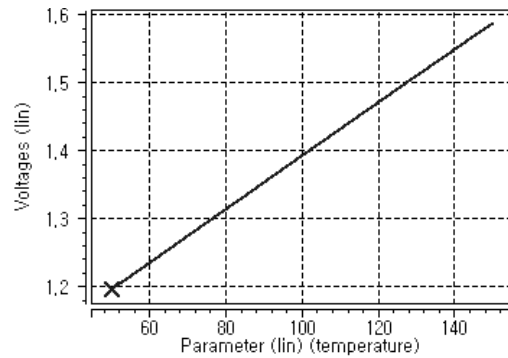


그림 4. 온도 변화에 따른 PTAT 회로의 출력전압  
Fig. 4 Output voltage of PTAT circuit according to temperature variation

2.2. SA ADC

그림 5는 본 연구의 temperature sensor에 사용된 4-bit SA ADC의 블록도이며, capacitor-based digital-to-analog converter (DAC), time-domain 비교기, 그리고 successive approximation register (SAR) logic으로 구성된다.  $V_{REFP}$ 와  $V_{REFM}$ 은 SA ADC의 입력범위를 결정하는데, PTAT 회로의 출력 범위와 동일하게 결정된다. PTAT의 아날로그 출력전압에 대해 4-bit 디지털 코드로 변환하기 위해 reset, sample, 그리고 네 번 클럭주기 동안의 data conversion 과정, 총 여섯 번의 클럭주기가 소요된다.

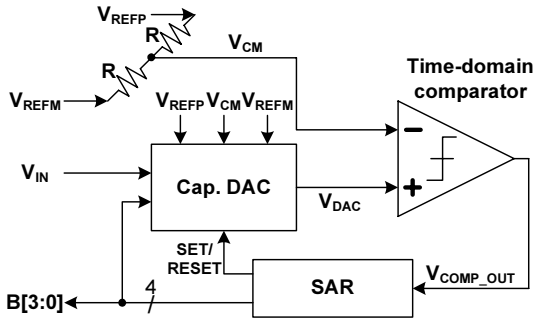


그림 5. SA ADC 블록도  
Fig. 5 Block diagram of SA ADC

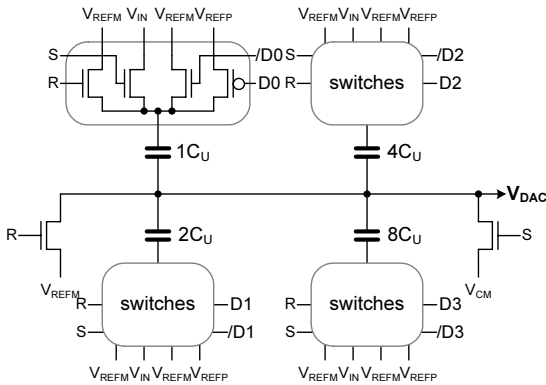


그림 6. Capacitor-based DAC의 회로도  
Fig. 6 Circuit diagram of capacitor-based DAC

그림 6은 온도의 변화에 둔감한 capacitor-based DAC의 회로도이다. 입력 전압 범위를  $V_{REFM}$ 에서  $V_{REFP}$ 의 range를 가지는 구조로 설계되었다. 총 6 클럭 주기의 첫 번째

클럭 주기는 reset mode로 DAC의 출력은  $V_{REFM}$ 으로 초기화된다. 두 번째 클럭 주기에서는 sampling mode로  $V_{IN}$ 이 capacitor의 한쪽 극에 연결되고 나머지 극에  $V_{CM}$ 을 연결되어 아날로그 입력을 sampling하게 된다. 이후 클럭의 4 주기 동안 디지털로의 변환과정을 통해 최종 4-bit의 디지털 코드로 변환한다.

SA ADC에서 사용되는 비교기는 time-domain 비교기로 그림 7과 같이 voltage-controlled delay converter (VCDC), time amplifier (TA), binary phase detector (PD)로 구성된다[5]. VCDC는  $V_{DAC}$ 와  $V_{CM}$ 의 voltage difference를 time delay difference로 만드는 역할을 한다. TA는 VCDC에서 나온 time delay difference를 증폭시켜 binary PD에 전달한다. 증폭된 time delay difference는 binary PD에서 디지털 값으로 출력을 내보낸다.

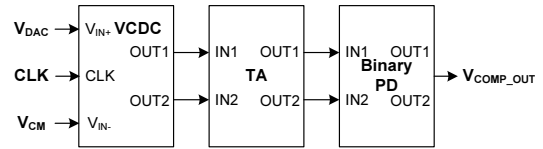


그림 7. Time-domain 비교기  
Fig. 7 Block diagram of Time-domain comparator

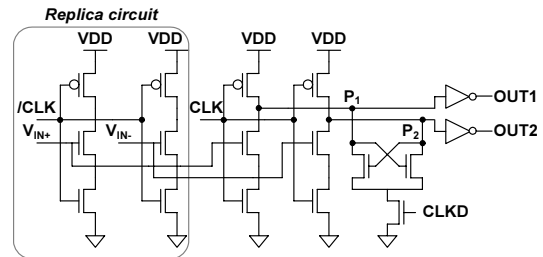


그림 8. VCDC 회로도  
Fig. 8 Circuit diagram of VCDC

그림 8은 time-domain 비교기의 VCDC 회로도이다.  $CLK$ 가 low일 때, VCDC의 출력은 0으로 reset된다.  $CLK$ 가 high일 때,  $V_{IN+}$ 와  $V_{IN-}$ 의 voltage difference는 time delay difference로 변환되어 출력된다. 여기서 replica circuit은 클럭 신호로 인한 feed-through noise를 제거하기 위해 추가되었다. 그리고 VCDC의 meta-stability를 줄이기 위해 첫 번째 단계에 공급되는 클럭 대비 지연된 클럭이 latch로 구성된 두 번째 단계에 공급된다.

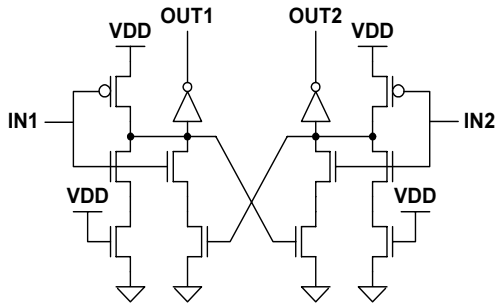


그림 9. TA 회로도  
Fig. 9 Circuit diagram of TA

그림 9는 time-domain 비교기의 TA 회로도이다. TA는 binary PD의 부담을 덜어주기 위해 사용되는데, IN1과 IN2노드에 공급되는 두 신호의 time delay difference를 cross-coupled logic의 동작에 의해 증폭하여 다음 단인 binary PD의 입력으로 공급한다. Binary PD는 TA 출력 신호의 time delay difference를 가지는 두 신호의 시간 지연을 디지털적으로 비교한다[6].

그림 10은 일정한 기울기를 가지는 아날로그 ramp 신호에 대한 설계된 4-bit SA ADC의 출력코드를 decimal 코드로 변환하여 나타낸 파형이다. 166.7 kHz의 sampling rate를 가질 때 HSPICE 시뮬레이션을 통하여 확인한 결과이다.

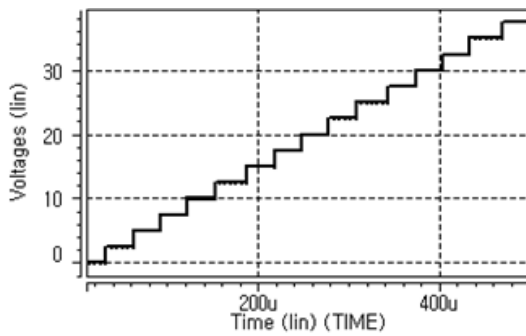
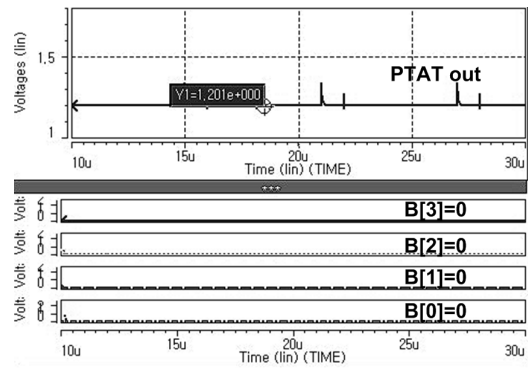


그림 10. Ramp 입력신호의 변화에 대한 ADC 출력  
Fig. 10 ADC output according to Ramp input signal

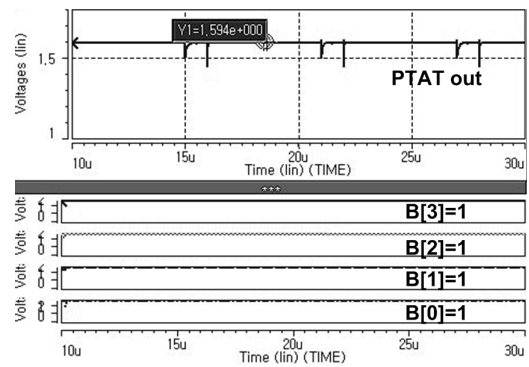
### 2.3. Temperature sensor의 simulation 결과

PTAT 회로와 4-bit SA ADC가 결합된 temperature sensor의 출력력을 그림 11에 나타내었다. 50°C와 150°C에서 PTAT의 출력은 1.2V와 1.6V를 출력하며 최종 SA

ADC의 바이너리 디지털 코드는 0000, 1111을 출력한다. 이 시뮬레이션은 2.5V supply, typical process corner에서 수행되었다.



(a)



(b)

그림 11. 온도 변화에 따른 PTAT circuit과 ADC의 출력 (a) 50°C (b) 150°C  
Fig. 11 Outputs of PTAT circuit and ADC according to temperature variation (a) 50°C (b) 150°C

## III. 칩 구현 및 측정 결과

제안된 PTAT 회로와 4-bit SA ADC로 구성된 temperature sensor는 2.5V supply, 0.25 μm 1-poly 9-metal CMOS 공정에서 제작되었다. 그림 12 (a)와 (b)는 제작된 temperature sensor의 layout과 칩 사진이다. 전체 면적은 130 × 390 μm<sup>2</sup>이고, 전력 소모는 868 μW이다. 제작된 temperature sensor의 측정은 test board 및

주변회로의 신뢰성 확보를 위해 50 ~ 100 °C의 온도 범위에서 수행되었다. 50 °C와 100 °C에서 PTAT 회로는 각각 1.2 V와 1.4V의 아날로그 전압이 측정되었으며, SA ADC 출력도 이에 상응하는 4-bit 바이너리 디지털 코드를 출력하였다.

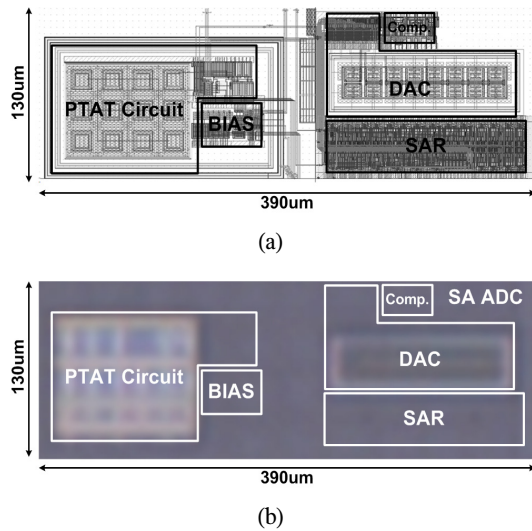


그림 12. 제작된 temperature sensor  
(a) 레이아웃 (b) 칩 사진  
Fig. 12 Fabricated temperature sensor  
(a) layout (b) chip photograph

표 1. 측정된 4-bit SA ADC의 특성  
Table. 1 Measured performance of 4-bit SA ADC

Temperature	50 °C	100 °C
PTAT Output Voltage	1 V	1.2 V
Sampling Frequency	200 kS/s	200 kS/s
Input Frequency	99.9 kHz	99.9 kHz
SNDR [dB]	24.9348	23.906
ENOB [bit]	3.850	3.679
DNL [LSB]	-0.083/0.087	-0.296/0.357
INL [LSB]	-0.072/0.121	-0.260/0.435

표 1은 50 °C와 100 °C에서 측정된 PTAT의 아날로그 출력 값과 4-bit SA ADC의 특성을 보여준다. 50 °C 그리고 200-kS/s의 sampling frequency에서 Nyquist frequency인 99.9 kHz의 아날로그 입력 신호에 대해 3.85 bit의 effective number of bit (ENOB)가 측정되었다. 또한, 100

°C에서 동일한 sampling frequency와 아날로그 입력 신호에 대해 대략 1 dB의 SNDR이 차이가 발생되었다. 설계된 4-bit SA ADC의 경우 측정 온도의 변화에 따른 특성의 변화가 작게 나타났다. 이는 구현된 SA ADC가 최소의 아날로그 회로를 이용하기 때문으로 분석된다. 그림 13은 50 °C 그리고 200-kS/s의 sampling frequency에서 아날로그 입력신호의 주파수에 따른 동적 특성을 SNDR과 ENOB로 보여준다.

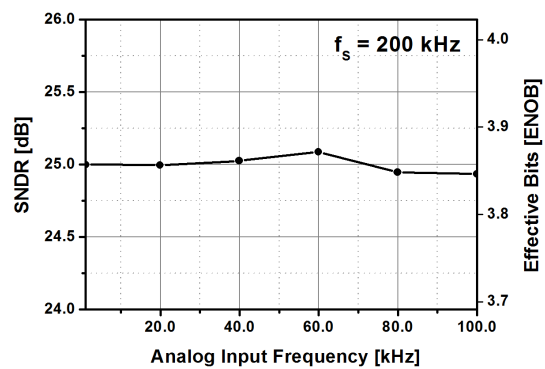


그림 13. 입력신호의 주파수에 따른 ADC의 동적특성  
Fig. 13 Dynamic performance of ADC according to frequency of input signal

#### IV. 결 론

본 연구에서는 bipolar 면적을 1/10로 줄인 PTAT 회로와 아날로그 회로를 최소화함으로써 온도 변화에 둔감하도록 설계한 SA ADC를 이용한 temperature sensor를 제안하였다. PTAT 회로의 온도 입력 범위는 50 ~ 150°C의 범위를 가지며 최종 바이너리 디지털 코드로 4-bit를 출력한다. 4-bit SA ADC는 capacitor-based DAC와 time-domain 비교기를 이용함으로써 전력소모를 최소화하였다. 제안된 temperature sensor는 2.5V 0.25 $\mu$ m 1-poly 9-metal CMOS 공정을 이용하여 제작되었다. Temperature sensor의 면적과 전력 소모는 각각 130 × 390  $\mu$ m<sup>2</sup>과 868  $\mu$ W이다.

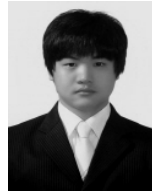
### 감사의 글

본 논문은 지식경제부 출연금으로 수행한 ETRI SW-SoC융합 R&BD 센터와의 공동연구 결과입니다.

### 참고문헌

- [1] D. Barretino, P. Malcovati, M. Graf, S. Hafizovic, and A. Hierlemann, "CMOS-based monolithic controllers for smart sensors comprising micromembranes and microcantilevers," *IEEE Transactions on Circuits and Systems I*, vol. 54, no. 1, pp. 141-152, Jan. 2007
- [2] E. Lauwers, J. Suls, W. Gumbrecht, D. Maes, G. Gielen, and W. Sansen, "A CMOS multiparameter biochemical microsensor with temperature control and signal interfacing," *IEEE J. of Solid State Circuits*, vol. 36, no. 12, pp. 2030-2038, Dec. 2001
- [3] B. Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill, New York, 2001
- [4] H. Banba, H. Shiga, A. Umezawa, T. Miyaba, T. Tanzawa, S. Atsumi, and K. Sakui, "A CMOS Bandgap Reference Circuit with Sub-1-V Operation," *IEEE J. of Solid State Circuits*, vol. 34, no. 5, pp. 670-674, May, 1999
- [5] J.-H. Eo, S.-H. Kim, and Y.-C. Jang, "A 1V 200 kS/s 10-bit Successive Approximation ADC for a Sensor Interface," *IEICE transaction on Electronics*, vol. E94-C, no. 11, Nov. 2011
- [6] S.-K. Lee, S.-J. Park, Y. Suh, H.-J. Park, and J.-Y. Sim, "A 1.3 $\mu$ W 0.6V 8.7-ENOB Successive Approximation ADC in a 0.18 $\mu$ m CMOS," in *Proc. IEEE VLSI Circuit Symp*, pp.242-243, Jun.,2009.

### 저자소개



김문규(Mungyu Kim)

2011.2 금오공과대학교 전자공학부 (공학사)  
2011.3 ~ 현재 금오공과대학교 대학원 석사과정

※ 관심분야 : DAC, Temperature sensor 및 Mixed-mode circuit design



장영찬 (Young-Chan Jang)

1995.2 경북대학교 전자전기 공학부 (공학사)  
2001.2 포항공과대학교 전자전기공학과 공학석사

2005.2 포항공과대학교 전자전기공학과 공학박사  
2005.3 ~ 2009.8 삼성전자 반도체총괄 책임연구원  
2009.9 ~ 현재 금오공과대학교 전자공학부 조교수  
※ 관심분야 : High-speed I/O interface, Data converter 및 Mixed mode analog IC design