
WiMAX/WLAN용 다중표준 LDPC 복호기 설계

서진호* · 박해원* · 신경욱**

A Design of Multi-Standard LDPC Decoder for WiMAX/WLAN

Jin-Ho Seo* · Hae-Won Park* · Kyung-Wook Shin**

이 논문은 2011년도 정부(교육과학기술부)의 재원으로 한국연구재단의 연구비를 지원받았음

요 약

본 논문에서는 IEEE 802.16e 모바일 WiMAX 표준의 19가지 블록길이(576~2304)에 따른 6가지 부호율(1/2, 2/3A, 2/3B, 3/4A, 3/4B, 5/6)과 IEEE 802.11n WLAN 표준의 3가지 블록길이(648, 1296, 1944)에 따른 4가지 부호율(1/2, 2/3, 3/4, 5/6)을 지원하는 다중표준 LDPC 복호기를 설계하였다. Layered 복호방식의 블록-시리얼(부분병렬) 구조와 SM(sign-magnitude) 수체계 기반의 DFU(decoding function unit)를 적용하여 하드웨어 복잡도를 최소화시켰다. 설계된 회로는 FPGA 구현을 통해 하드웨어 동작을 검증하였으며, 0.13- μ m CMOS 셀 라이브러리로 합성한 결과 약 312,000 게이트와 70,000 비트의 메모리로 구현되었고, 100 MHz@1.8V로 동작하여 79~210 Mbps의 성능을 갖는 것으로 평가되었다.

ABSTRACT

This paper describes a multi-standard LDPC decoder which supports 19 block lengths(576~2304) and 6 code rates(1/2, 2/3A, 2/3B, 3/4A, 3/4B, 5/6) of IEEE 802.16e mobile WiMAX standard and 3 block lengths(648, 1296, 1944) and 4 code rates(1/2, 2/3, 3/4, 5/6) of IEEE 802.11n WLAN standard. To minimize hardware complexity, it adopts a block-serial (partially parallel) architecture based on the layered decoding scheme. A DFU(decoding function unit) based on sign-magnitude arithmetic is used for hardware reduction. The designed LDPC decoder is verified by FPGA implementation, and synthesized with a 0.13- μ m CMOS cell library. It has 312,000 gates and 70,000 bits RAM. The estimated throughput is about 79~210 Mbps at 100 MHz@1.8v.

키워드

LDPC, 에러정정부호, WiMAX, WLAN, 최소합 알고리즘, layered decoding

Key word

LDPC, error correction code, WiMAX, WLAN, min-sum algorithm, layered decoding

* 준회원 : 금오공과대학교 전자공학부 석사과정

접수일자 : 2012. 11. 16

** 정회원 : 금오공과대학교 전자공학부 교수 (교신저자, kwsin@kumoh.ac.kr)

심사완료일자 : 2012. 12. 11

Open Access <http://dx.doi.org/10.6109/jkiice.2013.17.2.363>

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

차세대 고속 무선통신 및 디지털 방송시스템을 위한 오류정정 방식으로 1962년 로버트 갤러거(R. Gallager)에 의해 제안된 LDPC(Low Density Parity Check) 부호가 많은 관심을 받고 있다.[1] 당시의 기술로는 구현이 어려워 관심을 받지 못했으나 1990년대부터 재조명되고 있으며, LDPC 부호의 생성과 복호에 대한 연구가 활발히 진행되고 있다.[2,3] LDPC 부호는 모바일 WiMAX (IEEE 802.16e), 무선랜(IEEE 802.11n), 유럽 디지털위성방송 DVB-S2, 중국 지상파 디지털방송 DTTB(Digital Television Terrestrial Broadcasting), 10 Gbps 이더넷(IEEE 802.3an) 등에서 채널부호화 방식으로 채택되고 있으며, LDPC 부호 및 LDPC 복호기 설계 기술은 차세대 고속 무선통신 단말기 및 디지털 방송 시스템의 핵심기술이 될 것이다. LDPC 부호의 복호는 기본적으로 반복복호를 기반으로 수행되며, 복호 알고리즘, 복호기 구조, 고정소수점 비트 수 등 다양한 요소들이 복호성능과 하드웨어 복잡도에 영향을 미친다. LDPC 복호기의 구조는 완전병렬(full-parallel) 방식과 부분 병렬(partially parallel) 방식으로 구분할 수 있다. 완전병렬 방식은 높은 처리량을 얻을 수 있으며, 하드웨어 복잡도가 크고 구조적 유연성이 떨어져 다중모드 구현에 적합하지 않으나, 연산을 간소화시킨 복호 알고리즘을 적용하여 복잡성을 줄이면서 높은 처리량을 갖도록 연구되고 있다. 부분병렬방식은 처리량과 하드웨어 복잡성 사이의 절충이 가능한 유연성을 가지며, 다중모드 지원이 가능하여 가장 활발히 연구되고 있는 복호기 구조이다.

본 논문에서는 IEEE 802.16e 표준의 19가지 블록길이와 6가지 부호율, 그리고 IEEE 802.11n 표준의 3가지 블록길이와 4가지 부호율을 지원하는 다중표준 LDPC 복호기를 최소화 알고리즘과 layered 복호방식을 적용하여 설계하였다. 본 논문에서는 LDPC 복호기의 핵심 기능블록인 DFU (decoding function unit)를 기존의 2의 보수 수체계 대신 SM(sign-magnitude) 수체계 연산을 기반으로 구현하여 하드웨어 최적화를 이루었다.

II. LDPC 부호 및 복호 알고리즘

LDPC 부호는 원소의 대부분이 '0'으로 구성되는 패리티 검사 행렬(parity check matrix; PCM)에 의해 정의되는 선형 블록부호이다. LDPC 부호는 $m \times n$ 크기의 PCM H 로 정의되며, $z_f \times z_f$ 의 치환행렬(permutation matrix) 또는 영 행렬(zero matrix)인 부행렬(sub-matrix)로 구성되며, $m_b \times n_b$ 의 이진 기저행렬(binary base matrix) H_b 로부터 확장될 수 있다. 치환행렬은 단위행렬을 주어진 값만큼 오른쪽으로 순환 이동시킨 행렬을 나타낸다.

표 1. LDPC 부호의 PCM 파라미터
Table. 1 PCM parameters of LDPC codes

| | IEEE 802.16e | | IEEE 802.11n | |
|-------------------|------------------------------|----------|--------------------|-----|
| 블록길이(n) | 576+96f (0≤f≤18) | | 648f (1≤f≤3) | |
| 부행렬 크기(z_f) | 24+4f (0≤f≤18) | | 27f (1≤f≤3) | |
| 부호율(R) | 1/2, 2/3(A,B), 3/4(A,B), 5/6 | | 1/2, 2/3, 3/4, 5/6 | |
| layer 수 (m_b) | 1/2 | 2/3(A,B) | 3/4(A,B) | 5/6 |
| | 12 | 8 | 6 | 4 |

LDPC 부호의 PCM 파라미터는 표 1과 같이 정의되어 있으며, IEEE 802.16e 표준[4]의 PCM 파라미터 값은 19가지의 블록길이와 각 블록길이에 대해 6가지 부호율을 규정하며, IEEE 802.11n 표준[5]의 PCM 파라미터 값은 3가지의 블록길이와 각 블록길이에 대해 4가지의 부호율로 규정하고 있다.

LDPC 부호는 Tanner 그래프 상의 검사노드(check node; CN)와 변수노드(variable node; VN) 사이에서 반복적인 정보전달 과정에 의해 복호될 수 있으며, two-phase 복호방식과 layered 복호방식으로 구분된다. 또한, 복호 알고리즘으로는 합곱 알고리즘(sum-product; SP) 알고리즘, SP 알고리즘의 연산 복잡도를 감소시킨 LLR (log-likelihood ratio)-SP 알고리즘, LLR-SP 알고리즘을 근사화하여 연산 복잡도를 더욱 감소시킨 최소화(min-sum; MS) 알고리즘 등 다양한 방법들이 제안되고 있다.

Layered 복호는 PCM을 다수의 레이어(layer)로 분할하여 복호를 수행하는 부분병렬 복호방식의 한 형태이며, 분할된 각각의 레이어는 독립된 채널부호라고 가정할 수 있다. Two-phase 복호에서는 PCM 단위로 정보가 갱신되므로 전체 PCM에 해당하는 정보를 동시에 저장하고 있어야 한다. 반면에, layered 복호는 레이어 단위로 정보가 갱신되므로 한 레이어의 결정변수 값만 저장하면 된다. 따라서 two-phase 방식에 비해 훨씬 적은 용량의 메모리가 요구되며, 레이어 단위로 결정변수를 판별할 수 있어 수렴속도가 훨씬 빠르다는 장점을 갖는다.

본 논문에서는 MS 알고리즘 기반의 layered 복호방식을 적용하였다. MS 알고리즘은 근사화를 이용하므로 연산 정밀도가 감소하여 SP 알고리즘 보다 반복복호 횟수가 커서 복호시간이 증가하는 단점이 있다. 그러나 복잡한 연산 대신에 최솟값을 사용하므로 LUT를 사용하지 않아 효율적인 하드웨어 구현이 가능하다.

III. 다중모드 LDPC 복호기 설계

3.1. 전체 구조 및 다중모드 구현

본 논문에서 설계된 LDPC 복호기 프로세서는 two-phase 복호방식 보다 복호 수렴속도가 우수하며, 하드웨어 구조의 융통성이 좋은 layered 복호방식을 적용하였다. 내부 구조는 그림 1과 같으며, SM 수체계를 기반으로 최소합 알고리즘 복호연산을 수행하는 DFU(decoding function unit) 뱅크, PCM 정보를 저장하는 H-ROM, PCM 정보에 따라 데이터를 순환 이동시키는 Permuter, 검사노드 값을 저장하는 CN 메모리, 결정변수 값을 저장하는 APP 메모리, 입력 데이터를 SM 수체계로 변환시켜주는 TC_SM 블록, 변환된 데이터를 부행렬 단위로 모아주는 입력버퍼, 부행렬 단위의 복호 완료된 데이터를 27비트 단위로 나누어 출력하는 출력버퍼 그리고 제어블록으로 구성된다.

설계된 LDPC 복호기의 동작 타이밍 도는 그림 2와 같다. 32비트 단위로 입력되는 2의 보수 수체계 부호어는 TC_SM 블록에 의해 SM 수 체계로 변환된 후, 부행렬 크기($z_f \times 8$) 단위로 모아져 APP 메모리에 저장되며, 입력된 부호어는 부행렬 단위로 DFU에 의해 복호가 이루어

진다. DFU는 이전 레이어의 복호 결과 값을 APP 메모리에서 읽어와 복호연산을 수행한 후, 그 결과를 다음 레이어 연산과 다음 반복복호 연산을 위해 메모리에 저장하는 동작을 수행한다.

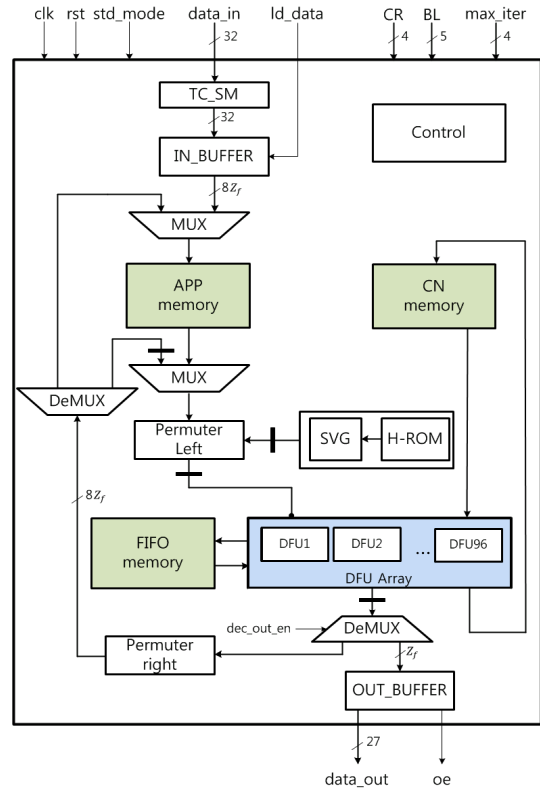


그림 1. 설계된 LDPC 복호기의 전체 구조
Fig. 1 Architecture of designed LDPC decoder

H-ROM은 IEEE 802.11n의 블록길이와 부호율에 대한 PCM 정보 12가지와 IEEE 802.16e의 블록길이 2304에 대한 부호율 6가지의 PCM 정보 저장하고 있다. PCM을 구성하는 부행렬들의 대다수가 영(0) 행렬로 이루어져 있으며, non-zero 부행렬의 수는 부호율에 따라 6~22개로 가변적이다. 영 행렬은 CN와 VN 사이에 정보를 전달하지 않아 연산이 존재하지 않는다. 본 논문에서는 PCM의 모든 정보를 저장하는 대신에, 영 행렬을 제외한 non-zero 부행렬들의 위치 정보와 순환 시프트 정보만을 H-ROM에 저장하는 방법을 적용함으로써 하드웨어가 최소화되도록 하였다.

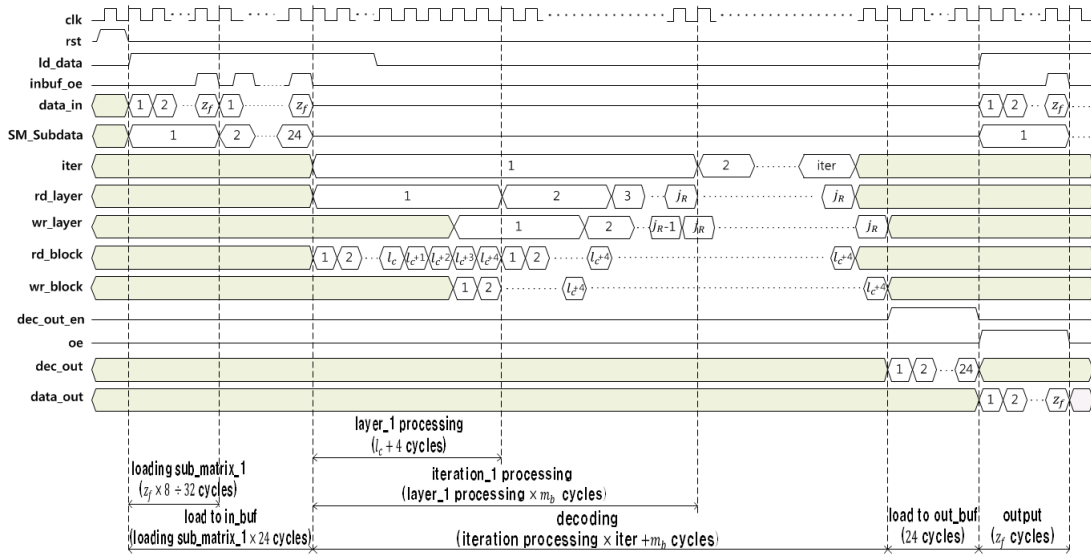


그림 2. 설계된 LDPC 복호기의 동작 타이밍도
Fig. 2 Timing diagram of the designed LDPC decoder

LDPC 복호기의 CN 메모리에는 수평단계의 연산결과 $L_{j \rightarrow i}$ 가 저장된다. 일반적인 방식에서는 w -비트의 $L_{j \rightarrow i}$ 를 각 레이어의 유효 부행렬 수 l_c 만큼 저장하므로, 레이어 당 $\{(w \times l_c) \times z_f\}$ -비트의 메모리 용량이 필요하다. z_f 는 부행렬의 크기이며, 블록길이에 따라 달라진다. 본 논문에서는 각 레이어의 최솟값(min0), 준최솟값(min1)과 함께 $L_{j \rightarrow i}$ 의 부호와 최솟값 여부를 나타낸 2비트 신호 SM을 저장하는 방식[6]을 사용하여, 레이어 당 $\{(w \times 2 + 2 \times l_c) \times z_f\}$ -비트의 메모리 용량만 필요하므로 CN 메모리를 크게 감소시킬 수 있다.

$$p(f, i, j) = \begin{cases} p(i, j) & , p(i, j) \leq 0 \\ \left\lfloor \frac{p(i, j) \cdot z_f}{z_0} \right\rfloor & , p(i, j) > 0 \end{cases} \quad (1)$$

$$p(f, i, j) = \begin{cases} p(i, j) & , p(i, j) \leq 0 \\ \text{mod}(p(i, j), z_f) & , p(i, j) > 0 \end{cases} \quad (2)$$

IEEE 802.16e 표준에는 블록길이 2304에 대한 6가지 기본 PCM을 정의하고 있으며, 나머지 블록길이에 부호화율에 대한 PCM은 6개의 기본 PCM을 이용하여 생성할 수 있다. 본 논문에서는 식 (1)과 식 (2)의 연산을 수행

하는 SVG(shifting value generator)[6]을 이용하여 블록길이와 부호율에 따른 PCM 정보가 효율적으로 생성되도록 설계하였다.

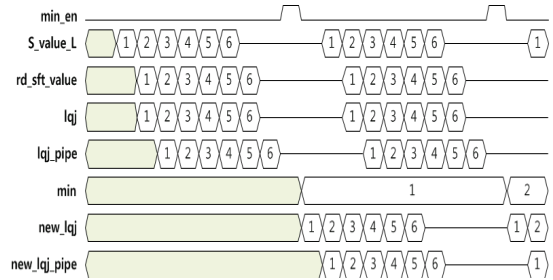


그림 3. 한 레이어의 복호 타이밍도
Fig. 3 Timing diagram of one layer decoding

동작 속도를 향상시키기 위한 방안으로써, 지연이 많이 발생한 부분에는 파이프라인 레지스터를 사용하였다. 파이프라인 레지스터가 적용된 복호기에서 한 레이어의 유효블록 수가 6인 경우에 대한 동작 타이밍도는 그림 3과 같다. H-ROM에서 나온 시프트 정보는 SVG를 통하여 블록길이와 부호율에 따른 시프트 정보를 계산하고 레지스터에 저장한 후, Permuter_left 블

록에 입력되어 APP 메모리에서 출력된 결정변수 값을 부행렬 단위로 왼쪽으로 시프트를 시키고, 시프트 된 결정변수 값은 레지스터에 저장되었다가 DFU에서 복호연산을 한다. 이를 통해 새로 갱신된 결정변수 값은 레지스터를 거쳐 Permuter_right 블록에 입력되어 시프트 되기 전의 위치로 되돌린 후 APP 메모리에 저장된다. 한 레이어의 복호에는 l_c+4 (단, l_c 는 유효 부행렬 수를 나타냄) 클럭 주기가 소요되며, 1회의 반복복호에는 $(l_c+4) \times m_b$ (단, m_b 는 레이어 수를 나타냄) 클럭 주기가 소요된다.

3.2. DFU의 구조 및 동작

DFU는 입력 부호어에 포함되어 있는 오류를 정정하기 위해 자신을 제외한 나머지 부호어들의 LLR(log-likelihood ratio) 값을 취합하여 원래의 부호어에 가장 가까운 LLR 값을 예측하는 기능을 수행하며, 최소합 복호 알고리즘에 의한 CN 연산과 VN 연산을 수행하여 결정변수 값과 CN 값을 계산한다. 부행렬(sub-matrix) 단위로 복호연산을 처리하는 block-serial 방식의 복호기에는 부행렬 최대 크기만큼의 DFU 배열이 사용된다. 본 논문에서 설계된 LDPC 복호기는 다중표준(IEEE 802.11n과 IEEE 802.16e)의 블록길이에 따른 다중모드를 지원하도록 설계되었으며, 이를 위해 IEEE 802.11n 모드에서는 부행렬의 크기에 따라 27/54/81개의 DFU가 선택적으로 사용되며, IEEE 802.16e 모드에서는 부행렬의 크기에 따라 24~96개의 DFU가 선택적으로 사용된다.

최소합 알고리즘 기반의 복호연산을 수행하는 DFU의 구조는 그림 4와 같으며, DFU 내부의 모든 연산이 SM 수체계로 처리되도록 함으로써 수체계 변환 블록을 사용하지 않는 것을 특징으로 한다. VN 값을 구하기 위한 SM 감산기(SM_Sub), 최솟값 검출기(Min_det), 부호 비트 누산기, CN 연산 후의 결정변수 값을 구하기 위한 SM 가산기(SM_Add) 등으로 구성된다. 설계된 DFU 내부의 LLR값들은 8비트로 근사화 되어 연산되며, 부호와 크기를 분리하여 계산된다.

DFU에서 복호가 이루어지는 과정은 다음과 같다. CN 값 $L_{j \rightarrow i}^{q-1}[k]$ 와 결정변수 z_i^q 는 SM_Sub 블록을 통해 VN 값 $L_{i \rightarrow j}^q$ 으로 계산된다. 계산된 VN 값 $L_{i \rightarrow j}^q$ 은 부호와 크기로 분리되고 부호는 순차적으로 입력되어 곱셈 연산된다. 그리고 분리된 VN 값의 크기 $|L_{i \rightarrow j}^q|$ 는 최솟값

검출기(Min_det)를 통해 순차적으로 입력되는 $|L_{i \rightarrow j}^q|$ 들과 비교되어 최솟값과 준최솟값이 검출된 후 레지스터에 저장된다. 한편 SM_Sub 블록에 의해 계산된 VN 값 $L_{j \rightarrow i}^q$ 은 DFU의 외부로 보내져 FIFO 메모리에 순차적으로 저장된다. 한 레이어의 유효 서브블록 수만큼의 연산이 완료되면 FIFO에 저장된 VN 값이 순차적으로 DFU에 입력된다. FIFO에서 입력된 VN 값의 크기 $|L_{j \rightarrow i}^q|$ 는 Min_det 블록을 통해 검출된 최솟값과 비교되어 두 값이 같으면 준최솟값 min1이 새로운 CN값의 크기 $|L_{j \rightarrow i}^q|$ 로 결정된다. 그리고 FIFO로부터 입력되는 VN 값 $L_{i \rightarrow j}^q$ 의 부호와 누적곱셈을 거친 부호가 곱셈연산을 거쳐 CN 값 $L_{j \rightarrow i}^q$ 의 부호로 결정된다.

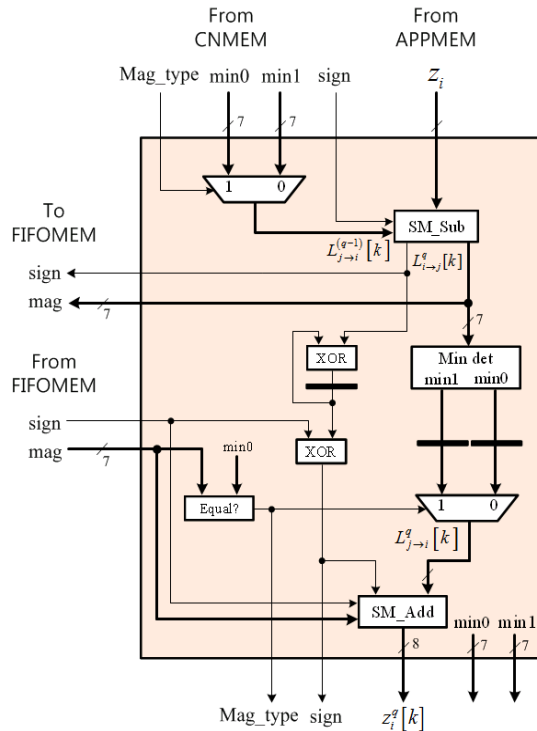


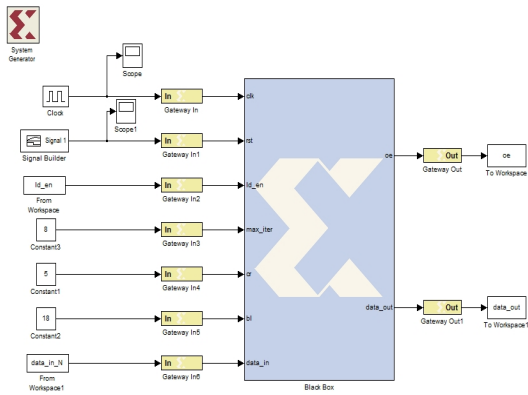
그림 4. 설계된 DFU의 구조
Fig. 4 Architecture of the designed DFU

부호의 누적곱셈은 XOR 연산으로 이루어진다. 결정된 CN 값 $L_{j \rightarrow i}^q$ 과 FIFO에서 들어오는 VN 값 $L_{j \rightarrow i}^q$ 은 SM_Add에서 가산되어 결정변수 값이 구해지고 결정변

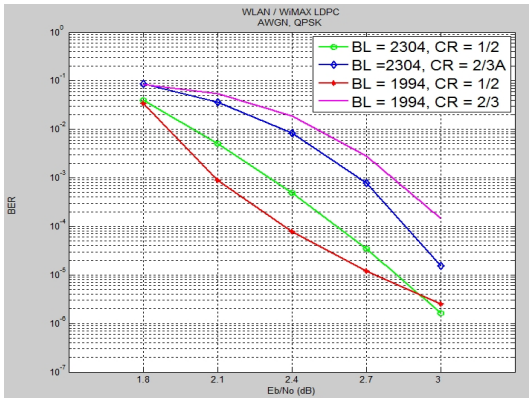
설계된 복호기는 그림 7-(a)과 같은 Matlab/ Simulink 검증환경을 이용하여 Simulink-HDL 연동 검증을 하였으며, Matlab을 통해 생성된 테스트 벡터를 복호기의 입력 데이터로 사용하였다. 최대 반복복호 회수를 8로 설정하였으며, 100 프레임의 데이터를 시뮬레이션에 사용하여 평균 BER를 구하였다. 그림 7-(b)는 IEEE 802.11n의 블록길이 1944에 대한 부호율 1/2, 2/3과 IEEE 802.16c의 블록길이 2304에 대한 부호율 1/2, 2/3인 경우의 BER 성능 그래프이다.

기능검증이 완료된 LDPC 복호기를 0.13- μ m CMOS 셀 라이브러리를 이용하여 논리합성을 한 결과는 표 3과 같으며, 312,000 게이트와 70,000 비트의 RAM으로 구현되었다. 1.8V 전원전압에서 100MHz로 동작 가능할 것으로 평가되며, 약 79~210 Mbps의 성능을 가질 것으로 예상된다.

표 3. 설계된 LDPC 복호기의 회로합성 결과
Table. 3 Synthesis results of designed LDPC decoder



(a)



(b)

그림 7. 설계된 복호기의 Simulink-HDL 연동 검증
(a) Simulink-HDL 연동 검증 모델
(b) 설계된 LDPC 복호기의 BER 성능
Fig. 7 Simulink-HDL co-verification of LDPC decoder
(a) Simulink-HDL co-verification model
(b) BER performance of designed LDPC decoder

| 구분 | | 회로합성 결과 |
|---------------|-----------------|---------|
| Gate counts | Array of 96 DFU | 83,746 |
| | I/O buffer | 86,476 |
| | permuter | 95,406 |
| | HROM & SVG | 6,172 |
| | others | 39,531 |
| 합계 | | 311,331 |
| Memory (bits) | APP memory | 18,432 |
| | CN memory | 33,024 |
| | FIFO memory | 18,432 |
| | 합계 | 69,888 |

표 4. LDPC 복호기 프로세서의 비교
Table. 4 Comparison of LDPC decoder processors

| | [7] | [8] | [9] | [10] | 본 논문 |
|--------------|-------|------------|--------|------------|---|
| 블록길이 | 1944 | 648 ~ 1944 | 2304 | 576 ~ 2304 | 576 ~ 2304 |
| 부호율 | 1/2 | 1/2 ~ 5/6 | 1/2 | 1/2 ~ 5/6 | 1/2 ~ 5/6 |
| 다중모드 | 1 | 12 | 1 | 114 | 126 |
| 게이트 수 | 444K | 281K | N/A | 380K | 311K |
| 메모리 (bits) | N/A | 55,344 | 87,752 | 89,856 | 69,888 |
| 동작 주파수 (MHz) | 111.1 | 500 | 950 | 150 | 100 |
| 출력율 (Mbps) | 250 | 541 ~ 1618 | 2,200 | 105 | 79 ~ 210 ¹⁾ 107 ~ 577 ²⁾ |
| 공정 (nm) | 130 | 130 | 90 | 90 | 130 |

1) including I/O buffering, 2) excluding I/O buffering

표 4는 문헌에 발표된 WiMAX 및 WLAN용 LDPC 복호기의 성능 비교를 보이고 있다. 본 논문의 LDPC 복호기는 문헌 [7], [10]의 복호기 보다 높은 성능을 갖는 것으로 평가되었다. 문헌 [8], [9]에 비해서 본 논문의 복호기는 동작주파수가 낮아 출력율이 작게 평가되었으나, 내부에 파이프라인 스테이지를 삽입하고 미세공정을 적용하여 동작주파수를 높이면 유사한 성능을 보일 것으로 예상된다.

V. 결 론

IEEE 802.16e의 19가지 블록길이와 6가지 부호율 그리고 IEEE 802.11n의 3가지 블록길이와 4가지 부호율을 지원하는 다중표준 LDPC 복호기를 설계하였다. 최소함 알고리즘 기반의 layered 복호구조로 설계되었으며, SM 수체계 기반의 DFU 회로를 통해 수체계 변환 회로를 제거하여 하드웨어를 최적화시켰다. 설계된 LDPC 복호기는 312,000 게이트와 70,000 비트의 RAM으로 구현되었다. 1.8V 전원전압에서 100MHz로 동작 가능할 것으로 평가되며, 약 79~210 Mbps의 성능을 가질 것으로 예상된다. 본 논문의 LDPC 복호기 설계 기법들은 다양한 응용분야의 LDPC 복호기 설계에 적용이 가능하다.

감사의 글

반도체설계교육센터(IDECC)의 CAD Tool 지원에 감사드립니다.

참고문헌

- [1] R. Gallager, "Low-Density Parity-Check Codes," IRE Trans. Info. Theory, vol. IT-8, pp. 21-28, Jan. 1962.
- [2] D.J.C. MacKay and R. M. Neal, "Near Shannon limit performance of low density parity check codes," IEE Electronic Letter, vol. 32, no. 18, pp. 1645-1646, Aug. 1996.
- [3] T. R. Richardson and R. Urbanke, "Efficient Encoding of Low Density Parity-Check Codes," IEEE Trans. Inform. Theory, vol. 47, pp. 638-656, Feb. 2001.
- [4] IEEE 802.16e, Part 16: Air interface for fixed and mobile broadband wireless access systems, IEEE Std 802.16e-2005, Feb. 2006.
- [5] IEEE 802.11n: Wireless LAN medium access control(MAC) and physical layer(PHY) specification: enhancements for higher throughput, IEEE Std. P802.11n, 2008.
- [7] 서진호, 박해원, 신경욱, "Sign-magnitude 수체계 기반의 WiMAX용 다중모드 LDPC 복호기 설계", 한국정보통신학회 논문지, 제15권 11호, pp.2465-2473, 2011. 11
- [8] Xin-Yu Shih, Cheng-Zhou Zhan, and An-Yeu (Andy) Wu, "A 7.39mm² 76mW (1944, 972) LDPC Decoder Chip for IEEE 802.11n Applications," IEEE Asian Solid-State Circuits Conference, Fukuoka, Japan, November 3-5, 2008
- [9] K. Gunnam, G. Choi, W. Wang, and M. Yeary, "Multi-rate layered decoder architecture for block LDPC codes of the IEEE 802.11n wireless standard," IEEE Intern. Symp. on Circuits and Systems, ISCAS, pp. 1645 - 1648, May 2007.
- [10] K. Zhang, X. Huang, and Z. Wang, "High-throughput layered decoder implementation for Quasi-Cyclic LDPC codes," IEEE J. Selected Areas in Communications, vol. 27, no. 6, pp. 985 - 994, Aug. 2009.
- [11] C.-H. Liu, S.-W. Yen, C.-L. Chen, H.-C. Chang, C.-Y. Lee, Y.-S. Hsu, and S.-J. Jou, "An LDPC decoder chip based on self-routing network for IEEE 802.16e applications," IEEE J. Solid-State Circuits, vol. 43, no. 3, pp. 684 - 694, Mar. 2008.

저자소개



서진호(Jin-Ho Seo)

2011년8월 금오공과대학교
전자공학부
(공학사)

※관심분야: 통신 및 신호처리용 집적회로 설계,
정보보호용 집적회로 설계



박해원(Hae-Won Park)

2011년 2월 금오공과대학교
전자공학부
(공학사)

※관심분야: 통신 및 신호처리용 집적회로 설계,
정보보호용 집적회로 설계



신경욱(Kyung-Wook Shin)

1984년 2월 한국항공대학교
전자공학과(공학사)
1986년 2월 연세대학교대학원
전자공학과(공학석사)

1990년 8월 연세대학교대학원(공학박사)
1990년 9월~1991년 6월 한국전자통신연구소 반도체
연구단(선임연구원)
1991년 7월~현재 금오공과대학교 전자공학부(교수)
1995년 8월~1996년 7월 University of Illinois at
Urbana-Champaign(방문교수)
2003년 1월~2004년 1월 University of California at San
Diego(방문교수)

※관심분야: 통신 및 신호처리용 SoC 설계, 정보보호
SoC 설계, 반도체 IP 설계