

---

# TOF 센서용 3차원 Depth Image 추출을 위한 고속 위상 연산기 설계

구정윤\* · 신경욱\*\*

A Design of High-speed Phase Calculator for 3D Depth Image Extraction  
from TOF Sensor Data

Jung-youn Koo\* · Kyung-Wook Shin\*\*

---

이 논문은 지식경제부 출연금으로 수행한 ETRI SW-SoC융합 R&BD센터의 연구비를 지원받았음

---

## 요 약

TOF(Time-Of-Flight) 센서에 의해 획득된 정보로부터 3차원 깊이 영상(depth image)을 추출하기 위한 위상 연산기의 하드웨어 구현을 기술한다. 설계된 위상 연산기는 CORDIC(COordinate Rotation DIgital Computer) 알고리즘의 vectoring mode를 이용하여 arctangent 연산을 수행하며, 처리량을 증가시키기 위해 pipelined 구조를 적용하였다. 고정 소수점 MATLAB 모델링과 시뮬레이션을 통해 최적 비트 수와 반복 횟수를 결정하였다. 설계된 위상 연산기는 MATLAB/Simulink와 FPGA 연동을 통해 하드웨어 동작을 검증하였으며, TSMC 0.18- $\mu\text{m}$  CMOS 셀 라이브러리로 합성하여 약 16,000 게이트로 구현되었고, 200MHz@1.8V로 동작하여 9.6 Gbps의 연산 성능을 갖는 것으로 평가되었다.

## ABSTRACT

A hardware implementation of phase calculator for extracting 3D depth image from TOF(Time-Of-Flight) sensor is described. The designed phase calculator, which adopts a pipelined architecture to improve throughput, performs arctangent operation using vectoring mode of CORDIC algorithm. Fixed-point MATLAB modeling and simulations are carried out to determine the optimized bit-widths and number of iteration. The designed phase calculator is verified by FPGA-in-the-loop verification using MATLAB/Simulink, and synthesized with a TSMC 0.18- $\mu\text{m}$  CMOS cell library. It has 16,000 gates and the estimated throughput is about 9.6 Gbps at 200Mhz@1.8V.

## 키워드

깊이 영상, 위상 연산기, Time-Of-Flight, TOF, CORDIC

## Ke yword

Depth Image, Phase Calculator, Time-Of-Flight, TOF, CORDIC

---

\* 준회원 : 금오공과대학교 전자공학과 석사과정

접수일자 : 2012. 11. 14

\*\* 정회원 : 금오공과대학교 전자공학부 교수 (교신저자, kwshin@kumoh.ac.kr) 심사완료일자 : 2012. 12. 10

**Open Access** <http://dx.doi.org/10.6109/jkiice.2013.17.2.355>

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.  
Copyright © The Korea Institute of Information and Communication Engineering.

## I. 서 론

3차원 입체 영상을 얻을 수 있는 가장 일반적이고 잘 알려진 방법은 사람의 시각 시스템과 유사한 양안식 카메라를 사용하는 SV(Stereo Vision) 시스템이다. 이 방법은 이미 수십 년 동안 알려지고 사용되어온 방법으로 레이저 스캐너, 음향이나 레이더 센서와 같은 에너지 방출 부품 없이 고해상도의 거리 영상(range image)을 얻을 수 있는 장점을 갖는다. 그러나 스테레오 영상을 이용하여 장면(scene)의 깊이 정보를 추출하는 것은 쉽지 않다. 물체로 인해 가려져 한쪽에서만 보이거나 아무런 무늬가 없는 영역 등에서 정확한 깊이 정보를 찾기가 상당히 어렵기 때문이다.[1,2]

지난 몇 년간 학계에서는 TOF(Time-Of-Flight) 센서를 이용한 거리 영상에 대한 관심이 점점 더 커지고, 그에 따라 실시간 거리 영상 시스템에 대한 연구가 활발히 진행되고 있다.[3-7] TOF의 기본 원리는 센서에서 방출된 빛이 물체에 반사되어 돌아오는 시간을 계산하여 장면의 깊이를 실시간으로 측정하는 것이다. 3차원 영상처리용 TOF 센서를 사용한 카메라는 장면의 깊이 정보를 직접 측정하여 스테레오 정합 방법의 취약점을 보완할 수 있다. 최근 TOF 비전 분야의 큰 진전으로 로봇, 자동차, 의료, 제스처 인식 등 다양한 분야의 어플리케이션에 대해 3D 카메라들이 생산, 사용되고 있다. 특히 자동차 산업에서 안전에 대한 관심의 증가로 TOF 시장은 더욱 커질 것으로 예상되며, TOF 시장이 발전하기 위해서는 센서에서 얻어지는 많은 정보를 실시간으로 처리할 수 있는 효율적인 하드웨어 연구가 동반되어야 한다.

본 논문에서는 3D TOF 센서용 깊이 정보를 계산하는 하드웨어를 CORDIC(COordinate Rotation DIgital Computer) 알고리즘[6] 기반의 위상연산 회로로 구현하였다. 설계된 위상 연산기의 HDL 모델을 MATLAB/Simulink와 FPGA가 연동된 FPGA-in-the-loop 검증 환경을 통해 하드웨어 검증을 하였으며, TSMC 0.18- $\mu$ m CMOS 셀 라이브러리로 합성하여 연산 성능을 평가 하였다.

본 논문은 다음과 같이 구성된다. II장에서는 TOF 거리 연산의 기본원리를 간략히 설명하고, III장에서는 CORDIC 알고리즘에 대해 소개한다. IV장에서는 CORDIC 기반 위상 연산기의 하드웨어 구조와 회로 설계에 대해 설명하고, 설계된 위상 연산기의 설계 검증 및

성능 평가 그리고 레이아웃 설계에 대해 V장에서 기술 하며, VI장에서 결론을 맺는다.

## II. TOF 거리 연산의 기본원리

TOF 센서를 이용한 깊이 정보 추출의 기본원리는 다음과 같다. TOF 센서 시스템의 송신부에서 특정 주파수( $f$ )의 신호로 변조된 빛을 보내고, 수신부에서는 물체에 반사되어 되돌아오는 빛을 감지한다. 빛이 물체까지 왕복하는 시간에 의한 위상 변화를 감지하여 식 (1)과 같이 센서와 물체 사이의 거리를 계산할 수 있다.[3]

$$d = \frac{c}{2f} \left( n + \frac{\theta}{2\pi} \right) \quad (1)$$

여기서  $c$ 는 빛의 속도,  $f$ 는 변조된 신호의 주파수,  $n$ 은 위상 주기가 반복되면서 생기는 상수,  $\theta$ 는 수신된 빛의 위상을 뜻한다.  $d$ 의 최대 거리가 명백하게 정해져 있는 경우 종종  $n$ 은 0(zero)으로 가정하고 간단한 계산으로 식 (2)로 나타낼 수 있고, 이 때 변조 주파수와 최대 측정거리  $d_u$ 와의 관계는 식 (3)과 같다.

$$d = \frac{c\theta}{4\pi f} \quad (2)$$

$$d_u = \frac{c}{2f} \quad (3)$$

TOF 센서를 이용하여 반사된 빛을 수신할 때, 변조된 신호의 주파수와 동일한 주파수로 샘플링 하는 경우를 Homodyne 방식[6], 다른 주파수로 샘플링 하는 경우를 Heterodyne 방식[7]이라고 한다. 신호를 한번만 샘플링 하면 위상이동, 물체의 색이나 표면 특성으로 인한 반사율, 배경 등의 여러 가지 이유로 인해 빛의 강도를 구분할 수 없기 때문에 시간 간격을 두어 여러 번의 샘플링을 한다.

식 (2)에 따르면 장면의 깊이 정보를 얻기 위해서는 반드시 반사된 빛의 위상 변화를 알아야 한다. Jongenelen의 연구[3]를 참고하면, TOF 센서에서는 픽셀 강도(pixel intensity) 데이터가 들어오는데 이를 이용하여 위상 변화에 대한 사인(sine)과 코사인(cosine) 데

이터를 얻을 수 있다. 이 두 가지 데이터를 아크탄젠트 (arctangent) 연산을 통해 위상을 계산할 수 있고, 그 후에는 간단한 연산을 통해 원하는 깊이 정보를 얻을 수 있다.

TOF 센서를 이용하여 깊이 정보를 얻기 위한 가장 중요한 연산은 아크탄젠트 연산이다. 아크탄젠트 연산을 하드웨어로 구현하기 위한 방법은 다양하게 연구되고 있는데, 대표적인 방법으로는 LUT(Look-Up Table)을 이용한 방법과 그 응용들, Polynomial 근사 방법, 그리고 CORDIC 방법 등이 있다.[8-11] 본 논문에서는 다양한 아크탄젠트 연산 방법 중에서 연산이 단순하고, 적은 하드웨어로 구현이 가능한 CORDIC 알고리즘 기반의 위상 연산기를 설계하였다.

### III. CORDIC 알고리즘

CORDIC 알고리즘의 기본 개념은 복소평면 상에서 주어진 벡터에 대해 각(angle)을 적당히 회전시켜 삼각함수의 값을 얻는 것이다. 이 알고리즘은 디지털 시스템에서 초월함수를 빠르게 계산하기 위해 고안되었으며, 덧셈, 뺄셈, 시프트 그리고 작은 크기의 LUT 등 단순한 회로로 구현할 수 있다는 장점을 가져, 하드웨어 구현에 널리 사용된다.

CORDIC 알고리즘은 회전(rotation) 모드와 벡터링(vectoring) 모드로 불리는 두 가지 모드로 동작한다. 회전 모드는 주어진 각도에 해당하는 사인과 코사인 값을 계산하는 동작이며, 벡터링 모드는 주어진 벡터에 대해 각도를 계산하는 동작이다. 본 논문에서는 TOF 거리 연산을 위해 필요한 벡터링 모드에 대해서만 알고리즘을 적용하여 설계한다.

벡터링 모드를 이용한 아크탄젠트 연산은 식 (4)와 같이 표현되며, 식 (4)는  $i$ 번째 회전 과정 후의 값을 나타낸다. 복소평면 상에서 초기 입력 벡터는 실수부분  $x_0$ 와 허수부분  $y_0$ 로 주어지며, 반복적인 회전연산을 통해 허수부분을 0(zero)으로 만드는 과정이 진행되고, 그 결과 입력 벡터의 위상 값에 해당하는  $z$  값이 얻어진다.

$$\begin{aligned} x_{i+1} &= x_i - y_i \cdot d_i \cdot 2^{-i} \\ y_{i+1} &= y_i + x_i \cdot d_i \cdot 2^{-i} \\ z_{i+1} &= z_i - d_i \cdot \tan^{-1}(2^{-i}) \end{aligned} \quad (4)$$

여기서 결정 변수인  $d_i$ 는 벡터링 모드에서  $y_i$ 의 부호에 따라 정해지며 음수인 경우는 1, 나머지 경우에는 -1이 된다.

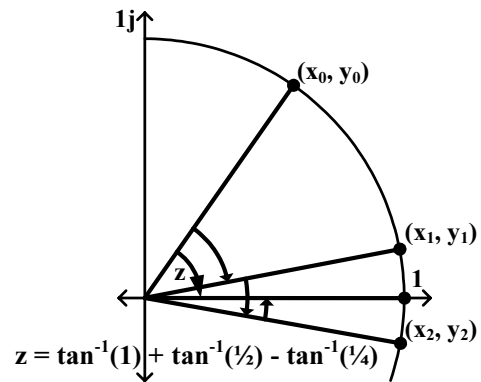


그림 1. CORDIC vectoring 모드의 예  
Fig. 1 Example of CORDIC vectoring mode

이와 같은 연산과정의 예를 그림 1에 나타내었다. 초기의 입력 벡터  $(x_0, y_0)$ 가 주어지면, 이에 해당하는 위상  $z$ 를 찾아가는 반복 연산과정을 수행한다. 이는 허수부분을 0(zero)으로 만드는 과정으로 초기의 위상  $z_0$ 는 0(zero)에서부터 시작된다. 첫 번째 연산에서는  $y_0$ 가 양수이므로, 결정 변수  $d_1$ 는 -1이 된다. 따라서  $z_1$ 은  $\tan^{-1}(2^{-0})$ 에 해당하는 값을  $z_0$ 에 더해주며 결정된다. 이와 같은 연산의 반복을 통해 입력벡터의 위상  $z$ 를 찾아간다.

식 (4)를 하드웨어로 구현하게 되면,  $\tan^{-1}(2^{-i})$ 는 LUT로 저장하여 사용할 수 있고,  $2^{-i}$ 의 곱셈은 추가적인 곱셈기 없이 시프트 연산으로 간단히 구현할 수 있다. 고정 소수점 CORDIC 아크탄젠트 연산의 정확성은 입력 벡터의 실수부와 허수부, 위상 LUT의 비트 폭과 CORDIC 회전의 반복 횟수에 의해 결정된다. CORDIC 알고리즘의 반복 횟수에 따른 연산시간과 계산된 위상의 정확도 사이에 교환조건(trade-off)이 존재하며, 또한 내부 연산의 비트 폭에 의한 하드웨어 면적과 연산 정

밀도 사이에도 교환조건이 존재한다. 따라서 비트 폭과 반복 횟수에 따라 연산 정확도가 결정되므로, CORDIC 알고리즘의 하드웨어 구현 시에 이를 고려해야 한다.

#### IV. 위상 연산기 하드웨어 설계

본 논문에서는 CORDIC 기반으로 고정 소수점 연산을 수행하는 위상 연산기 하드웨어를 설계하기 위하여 내부 연산의 비트 수, 정수부분과 소수부분의 비트 수 그리고 최적의 반복 횟수 등의 설계사항을 결정하기 위해 MATLAB을 이용한 고정소수점(fixed-point) 모델링과 시뮬레이션을 수행하였다. 본 논문에서 설계된 위상 연산기의 설계사항은  $0^\circ \sim 360^\circ$  범위에서  $1^\circ$  단위로 계산된 위상 값의 최대 오차를 5% 이하, 평균 오차를 2.5% 이하가 되도록 설정하였다. 이는 최종적으로 TOF 센서의 최대 측정거리를 3m로 가정하였을 때 최대 오차가 0.42mm 이하, 평균 오차가 0.21mm 이하가 되는 것을 의미한다.

MATLAB 시뮬레이션 결과로부터, 내부 연산의 비트 수를 16 비트 (부호 1 비트, 정수부분 2 비트, 소수부분 13 비트), 반복 횟수 14회로 결정 하였다. 결정된 설계사항을 적용한 MATLAB 시뮬레이션 결과는 그림 2와 같다. 왼쪽 그래프는 360개의 원본 데이터에 대해 CORDIC으로 계산된 값과 일치하는 정도를 보인 것이며, 오른쪽은 각도 별 오차를 나타낸다. 최대 오차는 2.13%, 평균 오차는 0.72%로 나타나 목표 보다 우수한 정밀도가 얻어졌다.

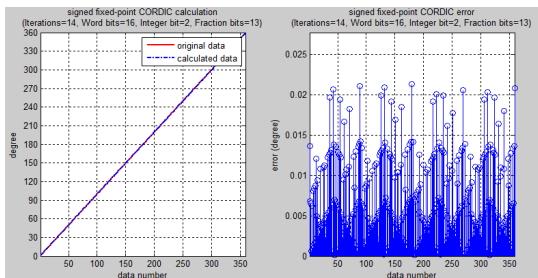


그림 2. 위상연산기의 MATLAB 시뮬레이션 결과  
Fig. 2 MATLAB simulation result of phase calculator

CORDIC 기반의 위상 연산기는 하드웨어 구조가 간단하여 회로 복잡도 측면에서 유리하지만, 반복 연산으로 인해 연산 속도 측면에서 불리하다. 속도 측면의 단점을 보완하여 고속 연산이 가능하도록 하기 위해 그림 3과 같은 pipelined CORDIC 구조를 적용하였다. 반복 횟수에 해당하는 14개의 연산 stage로 구성되며, 각 연산 stage는 식 (4)의  $x_{i+1}, y_{i+1}, z_{i+1}$ 를 계산하는 회로들로 구성된다.  $x_{i+1}$ 와  $y_{i+1}$ 를 계산하는 회로는 시프터, 가산/감산기, 파이프라인 레지스터로 구성되며,  $z_{i+1}$  계산 회로는  $\tan^{-1}(2^{-i})$ 를 저장하는 LUT와 가산/감산기, 파이프라인 레지스터로 구성된다.

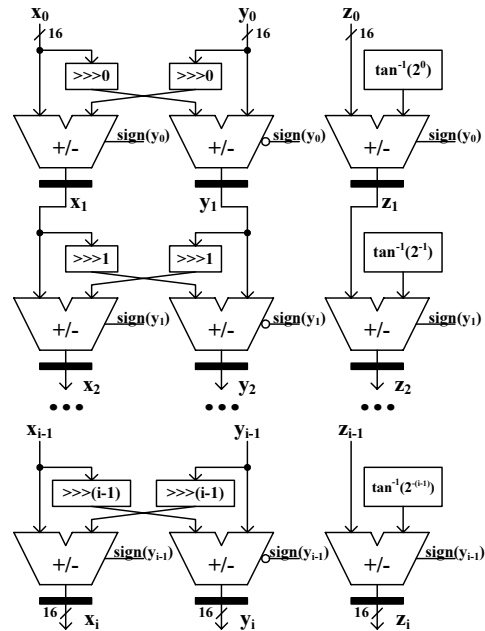


그림 3. Pipelined CORDIC의 하드웨어 구조  
Fig. 3 Architecture of pipelined CORDIC

고속 동작을 위해 각 연산 stage 사이에 파이프라인 레지스터를 삽입하여 내부의 critical path를 줄였고,  $2^{-i}$ 의 곱셈은 1-비트 산술 시프트 연산으로 구현하였다. 또한 위상 연산에 필요한 아크탄젠트  $\tan^{-1}(2^{-i})$ 는 작은 크기의 LUT로 구현하였으며, 결정 변수  $d_i$ 는 각 연산 stage의 입력  $y_i$ 의 부호 비트를 이용하여 가산/감산을 선택하도록 구현하였다. 가산/감산기는 Brent-Kung 가산기[12]로 구현하였으며, 동일한 기능을 갖는 16 비트 캐리선택

가산기에 비해 동일 속도에서 더 작은 면적으로 구현되었다.

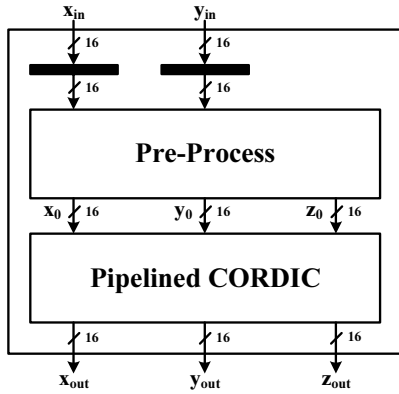


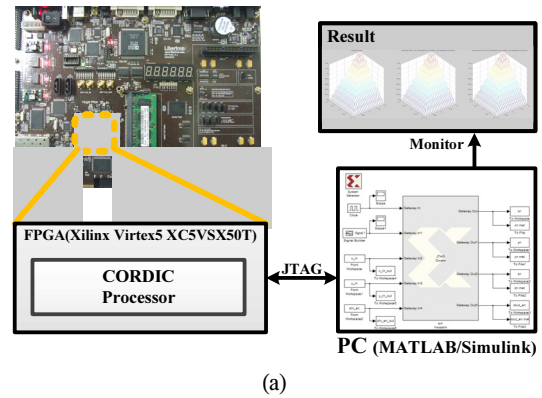
그림 4. CORDIC 기반 위상 연산기의 구조  
Fig. 4 Architecture of CORDIC based phase calculator

설계된 전체 위상 연산기의 하드웨어 구조는 그림 4와 같다. 입력 데이터는 pre-process 블록을 통해 전처리 과정을 거친 후, pipelined CORDIC 블록으로 들어간다. CORDIC 연산은  $-90^\circ \sim 90^\circ$  범위의 입력 벡터에 대해서만 위상 연산이 가능하므로, 이를 보정해 주기 위해 복소평면상에서 입력 벡터가 존재하는 사분면의 위치를  $x_{in}, y_{in}$ 의 부호를 이용하여 알아낸다. 입력 벡터가 2사분면 또는 3사분면에 위치한 경우, 실수와 허수에 보수를 취해 각각 1사분면과 4사분면으로 이동시켜 CORDIC 연산을 한다. 입력 벡터의 사분면을 이동시키는 경우에는 위상의 초기 값인  $z_0$ 의 값을 각각  $\pi, -\pi$ 로 두어 최종 위상 값에 오차가 없도록 보상하고, 초기 입력 벡터가 1사분면 또는 4사분면에 있는 일반적인 경우에는  $z_0$ 의 값을 0(zero)으로 둔다. 정해진  $x_0, y_0, z_0$ 은 pipelined 구조로 미리 구현된 14단의 CORDIC 블록의 입력으로 들어가서 최종적으로는 연산된 위상  $z_{out}$ 이 radian 형태로 출력된다.

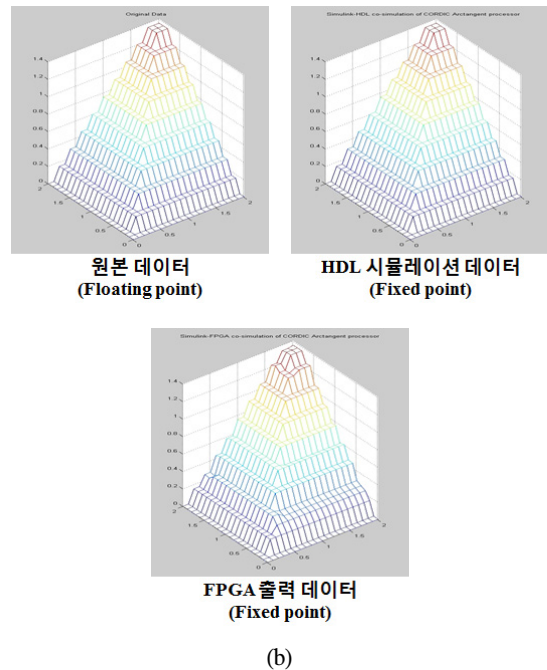
### V. 설계검증 및 성능평가

Verilog HDL로 설계된 CORDIC 기반의 위상 연산기는 MATLAB을 이용한 입력 데이터 생성과 Modelsim을

이용한 시뮬레이션을 통해 기능 검증을 하였다. 설계된 위상 연산기의 HDL 모델을 FPGA에 구현하고, MATLAB/Simulink와 연동시킨 FPGA-in-the-loop 환경을 통해 하드웨어 동작을 검증하였다.



(a)



(b)

그림 5. 위상연산기의 하드웨어 검증  
(a) FPGA-in-the-loop 검증 환경, (b) FPGA 구현을 통한 3차원 데이터 복원

Fig. 5 Hardware verification of phase calculator  
(a) FPGA-in-the-loop verification, (b) 3D data restoration using FPGA-in-the-loop

그림 5(a)는 설계된 위상연산기의 FPGA 검증을 위한 FPGA-in-the-loop 환경이며, Xilinx Virtex5 XC5VSX50T FPGA 디바이스가 사용되었다. MATLAB에서 생성된 가상의 3차원 원본 데이터로부터 위상 연산기의 입력으로 사용될 16 비트의 입력 벡터를 생성하였다. 생성된 벡터는 Simulink를 통해 위상 연산기가 구현된 FPGA에 인가되고, FPGA에서 출력되는 위상 데이터는 Simulink와 MATLAB을 이용하여 3차원 데이터로 복원된다. 그림 5(b)는 FPGA-in-the-loop 검증 결과를 보이고 있다. 설계된 위상연산기가 구현된 FPGA 출력 결과가 원본 데이터와 매우 잘 일치함을 확인할 수 있다. 설계된 위상 연산기는 FPGA 합성 결과 2,760 slices로 구현되었으며, 187 MHz로 동작하여 8.98 Gbps의 성능을 갖는 것으로 평가 되었다.

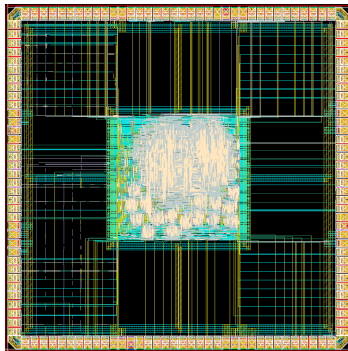


그림 6. 설계된 위상연산기의 레이아웃 도면  
Fig. 6 Layout of designed phase calculator

설계된 위상 연산기는 TSMC 0.18- $\mu$ m CMOS 셀 라이브러리로 합성한 결과, 약 16,000 게이트로 구현되었다. 그림 6은 Cadence Virtuoso 툴을 이용하여 physical verification까지 완료된 위상 연산기의 레이아웃 도면이다. 레이아웃 후 MPW를 통해 칩을 제작하였으며, 그림 7에 제작한 칩의 테스트 시스템을 나타내었다. 칩의 CORE 전압은 1.8V, IO 전압은 3.3V이고, FPGA 보드를 통해 클럭과 리셋 신호가 포함된 테스트 벡터가 순차적으로 인가되도록 하였다. 24° 단위의 각도 데이터를 고정소수점 형식의 실수와 허수 값으로 생성하여 테스트 벡터로 사용하였다. Agilent 사의 16702B Logic Analyzer를 사용하여 테스트 칩의 출력을 관찰하였으며, 칩 테스트 결과파형은 그림 8과 같다. 그림 8의 테스트 결과파형

에서 볼 수 있듯이, HEX 값 0D68, 1ACE, 2836, 359E의 순서로 radian 형태의 데이터가 출력되고, 이를 degree로 변환하면 24.00379825, 47.99360828, 71.99740653, 96.00120478에 해당한다. 이는 시뮬레이션 결과와 일치하는 값이며, 제작된 칩이 높은 정밀도를 가지고 정상 동작함을 확인하였다.



그림 7. 제작 칩의 테스트 시스템  
Fig. 7 Test system for the fabricated chip

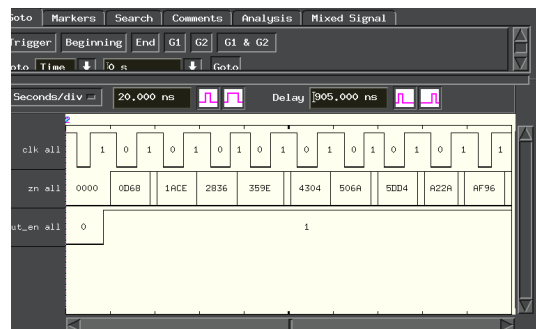


그림 8. 칩 테스트 결과  
Fig. 8 Chip test results

TSMC 0.18- $\mu$ m CMOS 셀 라이브러리로 설계된 CORDIC 위상 연산기는 200MHz@1.8V로 동작하여 9.6 Gbps의 처리율을 갖는 것으로 평가되었다. 표 1은 타 문헌에서 구현한 CORDIC 프로세서와의 비교를 보이고 있다. 문헌 [13], [14]는 rolled 방식으로 구현한 예이고, 문헌 [15]와 본 논문의 경우는 unrolled 방식으로 구현하였다. 본 논문의 위상연산기와 다른 목적으로 구현되어 정확한 비교는 할 수 없으나, 16 비트의 연산을 수행하는 다른 CORDIC 프로세서들과 비교해 보았

을 때, 사용되는 로직대비 동작주파수와 처리량이 우수한 성능을 갖는 것으로 평가 되었다.

표 1. CORDIC 프로세서의 비교  
Table. 1 Comparison of CORDIC processors

	[13]	[14]	[15]	본 논문
구현방식	rolled	rolled	unrolled	unrolled
게이트 수	21,200	-	-	16,000
동작주파수 (MHz)	125	-	-	200
공정	600 nm	-	-	180 nm
Slices	152	-	-	262
FFs	-	59	1,339	686
LUTs	-	241	1,339	1,028
동작주파수 (MHz)	194	114	222	187
FPGA 디바이스	XC3S500E	XC3S500E	XC5VLX50	XC5VSX50T

## VI. 결 론

3차원 영상처리용 TOF 센서의 거리 측정을 위한 CORDIC 기반 위상 연산기를 설계하였다. 설계된 위상 연산기는 16 비트(부호 1 비트, 정수부분 2 비트, 소수부분 13 비트)의 고정 소수점 연산으로 14회의 CORDIC stage 반복을 통해 위상 값을 계산한다.  $0^{\circ} \sim 360^{\circ}$  범위에서  $1^{\circ}$  단위로 계산하는 경우에, 최대 오차 2.13%, 평균 오차 0.72%의 연산 정밀도를 갖는다. 설계된 위상 연산기는 MATLAB/Simulink와 FPGA 보드를 연동시킨 FPGA-in-the-loop 환경을 통해 하드웨어 기능 검증을 하였다. TSMC 0.18- $\mu$ m CMOS 셀 라이브러리로 합성한 결과 약 16,000 게이트로 구현되었으며, 200MHz@1.8V로 동작하여 9.6 Gbps의 연산성능을 갖는 것으로 평가 되었다.

## 감사의 글

반도체설계교육센터(IDECC)의 CAD Tool 지원에 감사드립니다.

## 참고문헌

- [ 1 ] S. Hussmann, T. Ringbeck, and B. Hagebecker, "A performance review of 3D TOF vision systems in comparison to stereo vision systems," in Stereo Vision. Vienna, Austria: I-Tech Edu. Publ., ch. 7, pp. 103-120, 2008.
- [ 2 ] 호요성, "다시점 카메라와 깊이 카메라를 이용한 3차원 실감방송 콘텐츠 제작," 전자공학회지, 제38권 2호, pp. 44-49, 2011.
- [ 3 ] Jongenelen, A.P.P., "Development of a Compact, Configurable, Real-time Range Imaging System," Ph.D dissertation. School of Eng. Victoria University of Wellington, 2010.
- [ 4 ] S. Hussmann, T. Edeler, "Pseudo 4-phase shift algorithm for performance enhancement of 3D-TOF vision systems," IEEE Trans. Instrum. Meas., vol. 59, no. 5, pp. 1175-1181, May 2010.
- [ 5 ] S.B. Gokturk, H. Yalcin, and C. Bamji, "A time-of-flight depth sensor, system description, issues and solutions," in Proc. IEEE Conf. Computer Vision and Pattern Recognition, Washington, DC, 2004.
- [ 6 ] Jongenelen, A.P.P., Bailey, D.G., Payne, A.D., Carnegie, D.A., Dorrington, A.A., "Efficient FPGA Implementation on Homodyne-Based Time-of-Flight Range Imaging," Journal of Real-Time Image Processing, Special Issue, 2010.
- [ 7 ] Jongenelen, A.P.P., Carnegie, D.A., Dorrington, A.A., Payne, A.D., "Heterodyne Range Imaging in Real-time," Proceedings of International Conference on Sensing Technology, Tainan, pp. 57 - 62, 2008.
- [ 8 ] J. E. Volder, "The CORDIC trigonometric computing technique," IRE Transactions on Electronic Computing, vol. EC-8, no. 3, pp. 330-334, 1959.
- [ 9 ] R. Gutierrez, V. Torres, J. Valls, "FPGA-implementation of atan(Y/X) based on logarithmic transformation and LUT-based techniques," Journal of Systems Architecture, volume 56. issue 11, pp. 588-596, 2010.
- [10] M. Saber, Y. Jitsumatsu, T. Kohda, "A low-power implementation of arctangent function for

communication application using FPGA,” Fourth International Workshop on Signal Design and its Applications in Communications (IWSDA’09), pp. 60-63, 2009.

- [11] B.Lakshmi and A.S. Dhar, “CORDIC Architectures: A Survey,” in Hindawi Publishing Corporation, VLSI Design, Volume 2010, Article ID 794891, 19 pages, 2010.
- [12] Richard P. Brent, H.T. Kung, “A Regular Layout for Parallel Adders,” IEEE Transactions on Computers, vol. C-31, no. 3, pp. 260-264, 1982.
- [13] Raphael A. Camponogara Viera, Paulo Cesar C. de Aguirre, Leonardo Londero de Oliveira and Joao Baptista Martins, “Iterative Mode Hardware Implementation of CORDIC Algorithm,” in Proceeding of the 26th South Symposium on Microelectronics (SIM 2011), 2011.
- [14] D. Ghai, K. Singh, “Comparative Analysis of Various CORDIC Techniques,” M.S dissertation. Department of Electronic and Communications Engineering Thapar University, Patiala-137004, India, 2011.
- [15] D.-M. Ross, S. Miller, M. Sima, and C. Crawford, “Design Rules for Implementing CORDIC on FPGAs,” in Proceedings of the 13th IEEE Pacific Rim Conference on Communications, Computers and Signal Processing (PacRim 2011). Victoria, B.C., Canada, pp. 797-802, 2011.



신경욱(Kyung-Wook Shin)

1984년 2월 한국항공대학교  
전자공학과(공학사)  
1986년 2월 연세대학교대학원  
전자공학과(공학석사)

1990년 8월 연세대학교대학원(공학박사)  
1990년 9월 ~ 1991년 6월 한국전자통신연구소 반도체  
연구단(선임연구원)  
1991년 7월 ~ 현재 금오공과대학교 전자공학부(교수)  
1995년 8월 ~ 1996년 7월 University of Illinois at  
Urbana-Champaign(방문교수)  
2003년 1월 ~ 2004년 1월 University of California at San  
Diego(방문교수)

※ 관심분야: 통신 및 신호처리용 SoC 설계, 정보보호  
SoC 설계, 반도체 IP 설계

### 저자소개



구정윤(Jung-young Koo)

2012년 2월 금오공과대학교  
전자공학부  
(공학사)

※ 관심분야: 통신 및 신호처리용 반도체 IP 설계,  
정보보호용 반도체 IP 설계