

논문 2013-50-1-21

고 출력 응용을 위한 2개의 전송영점을 가지는 최소화된 SOI CMOS 가변 대역 통과 여파기

(SOI CMOS Miniaturized Tunable Bandpass Filter with Two Transmission zeros for High Power Application)

임도경*, 임동구**

(Dokyung Im and Donggu Im)

요약

이 논문에서는 multiple split ring resonator(MSRRs)와 로딩된 스위치드 제어부를 이용하여 2개의 전송영점을 가지는 대역 통과 여파기를 설계하였다. 높은 선택도와 칩 사이즈의 초소형화를 위해 비대칭의 급전 선로를 도입하여 통과 대역 주위에 위치한 전송 영점 쌍을 생성하였다. Cross coupling 또는 source-load coupling 방식을 이용한 기존의 여파기와 비교해보면 이 논문에서 제안된 여파기는 단지 2개의 공진기만으로 전송 영점을 생성하여 높은 선택도를 얻었다. 여파기의 선택도와 민감도(삽입 손실)를 최적화하기 위해 비대칭 급전 선로의 위치에 따른 전송 영점과 삽입손실의 관계를 분석하였다. 통과 대역 주파수의 가변과 30dBm 정도의 고 출력 신호를 처리하기 위해 MSRRs의 최 외각 링에 MIM 커패시터와 stacked-FET으로 구성된 SOI-CMOS 스위치드 제어부가 로딩되어 있다. 스위칭 트랜지스터의 전원을 켜고 끄으로써 통과 대역 주파수를 4GHz로부터 5GHz까지 이동시킬 수 있다. 제안된 칩 여파기는 0.18- μm SOI CMOS 기술을 이용함으로써 높은 Q를 가지는 수동 소자와 stacked-FET의 집적을 가능하게 만들었다. 설계된 여파기는 4 mm x 2 mm (0.177 λ_g x 0.088 λ_g)의 초소형화 된 크기를 가진다. 여기서 λ_g 는 중심 주파수에서의 50 Ω 마이크로스트립 선로의 관내 파장을 나타낸다. 측정된 삽입손실(S21)은 5.4GHz, 4.5GHz에서 각각 5.1dB, 6.9dB를 나타내었다. 설계된 여파기는 중심 주파수로부터 500MHz의 오프셋에서 20dB이상의 대역 외 저지 특성을 나타내었다.

Abstract

This paper presents a capacitor loaded tunable bandpass chip filter using multiple split ring resonators (MSRRs) with two transmission zeros. To obtain high selectivity and minimize the chip size, asymmetric feed lines are adopted to make a pair of transmission zeros located on each side of passband. Compared with conventional filters using cross-coupling or source-load coupling techniques, the proposed filter uses only two resonators to achieve high selectivity through a pair of transmission zeros. In order to optimize selectivity and sensitivity (insertion loss) of the filter, the effect of the position of asymmetric feed line on transmission zeros and insertion loss is analyzed. The SOI-CMOS switched capacitor composed of metal-insulator-metal (MIM) capacitor and stacked-FETs is loaded at outer rings of MSRRs to tune passband frequency and handle high power signal up to +30 dBm. By turning on or off the gate of the transistors, the passband frequency can be shifted from 4GHz to 5GHz. The proposed on-chip filter is implemented in 0.18- μm SOI CMOS technology that makes it possible to integrate high-Q passive devices and stacked-FETs. The designed filter shows miniaturized size of only 4 mm x 2 mm (i.e., 0.177 λ_g x 0.088 λ_g), where λ_g denotes the guided wave length of the 50 Ω microstrip line at center frequency. The measured insertion loss (S21) is about 5.1dB and 6.9dB at 5.4GHz and 4.5GHz, respectively. The designed filter shows out-of-band rejection greater than 20dB at 500MHz offset from center frequency.

Keywords: Multiple split ring resonator, Asymmetric feed line, Digitally programmable 1 bit capacitor

* 학생회원, ** 정회원, 한국과학기술원 전기 및 전자공학과 (KAIST)

※ 이 연구는 한국교육과학기술부(MEST)의 한국 연구 재단 사업(National Research Foundation of Korea (NRF))의 지원에 의해 진행되었습니다.

접수일자: 2012년11월6일, 수정완료일: 2013년1월9일

I. 서 론

다양한 무선 접근 기술 (Radio Access Technology, RAT)은 개인 지역 통신망 (Personal area network PAN), 무선 근거리 통신망 (Wireless Local Area Network WLAN), 무선 도시권 통신망 (Wireless Metropolitan Area Network WPAN)으로부터 잘 알려진 GSM/EDGE, W-CDMA, CDMA2K 까지 다양한 수요에 직면하여 발전하고 있다. 그 결과, 여러 통신 채널을 커버하기 위하여 다중 모드, 다중 대역, 다중 표준의 무선 통신 장치의 구현에 대한 많은 연구가 진행되고 있다.

다중 모드, 다중 대역, 다중 표준 무선 통신 장치의 하드웨어 복잡성을 감소시키기 위해 RF 송신기 및 기저 대역의 집적 회로들에 무선 기지국과 단말기에서 하드웨어로 고주파를 지원하던 방식을 소프트웨어 형태로 바꿔주는 기술 (software-defined radios, SDR)을 도입하고 있다. 하지만 전력 증폭기, RF 스위치, SAW 여파기, 듀플렉서 여파기와 같은 외부 front-end 모듈은 상용하는 주파수 대역에서만 사용되고 있다. 이 중 SAW 여파기는 낮은 삽입손실과 우수한 대역 외 저지 특성을 나타내지만 이에 반해 좁은 주파수 튜닝 범위와 같은 몇 가지 제약으로 SDR에서의 사용이 매우 제한적이다. 넓은 주파수 튜닝 범위를 확보하기 위해서 출간된 논문의 많은 수가 전송선로 여파기를 사용하고 있다.^[1] 고 출력용 전송선로 여파기를 설계하기 위해서는 2가지의 주요 해결과제가 있다. 하나는 요구되는 여파기의 사이즈를 최소화하는 것이고 다른 하나는 전력 증폭기로부터 발생된 큰 출력 신호를 전기적으로 높은 선형성을 확보하면서 튜닝이 가능한 소자를 만드는 것이다. 기존에는 여파기의 중심 주파수를 변화시키기 위해서 MEMS를 활용한 스위치드 커패시터^[2], 강유전체 버랙터^[3], 다이오드 버랙터^[4] 등을 사용 하였다. 이러한 특별한 기술들은 고 출력 처리 능력 및 선형성의 요구는 충족시킬 수 있지만 실리콘 기반의 공정 기술들에 비해 가격 경쟁력이 많이 떨어진다. 또한 이러한 소자들의 커패시턴스를 바꾸기 위해서 사용되는 스위칭 전압은 일반적으로 25V의 범위이므로 단말기의 배터리로 구동하기에는 적절하지 않다.

이 논문에서는 기존의 잘 알려진 Multiple Split Ring Resonator (MSRR)과 비대칭의 급전 선로 방식을 도입

하여 사이즈 최소화 및 높은 주파수 선택도를 가지는 평판 대역 통과 여파기를 설계하였다. MSRR과 높은 선형성을 가지는 SOI-CMOS 스위치드 제어부를 같은 다이에 집적함으로써 완전히 집적된 고 출력용 튜너블 칩 여파기를 제안하였다.

II. 본 론

1. 비대칭 급전 선로에 따른 전송영점 및 삽입손실의 수식적 해석

그림 1은 제안된 통과 대역 여파기의 구조를 보여준다. 입력과 출력의 급전 선로는 입력과 출력의 MSRR을 각각 l_1 과 l_2 두 부분으로 나누어준다. 여기서 l_1 과 l_2 의 합은 λ_{go} (기본 모드 주파수에서의 관내 파장)와 같다. 2개의 MSRR사이에 coupling capacitance를 C_S , 그리고 loading capacitance를 C_L 로 표현하였다. 입력과 출력 급전 점에서의 신호는 기본 모드 주파수에서 동 위상을 가진다. 잘 알려져 있듯이 비대칭 급전 선로를 사용한 결합된 공진기 구조에서는 두 개의 전송영점이 생성된다.^[5] 그림 1에서, 첫 번째 전송 영점은 입력 공진기의 l_1 길이의 1/4파장에 해당하는 주파수에서 생성되고 다른 하나는 출력 공진기의 l_2 길이의 1/4파장에 해당하는 주파수에서 생성된다.

2개의 전송영점이 위치하는 주파수를 찾기 위해 제안된 구조에서 삽입손실(S21) 식을 위쪽 신호 경로와 아래쪽 신호경로를 포함하고 있는 ABCD 매트릭스를 이용하여 나타내었다. 위쪽 신호 경로와 아래쪽 신호

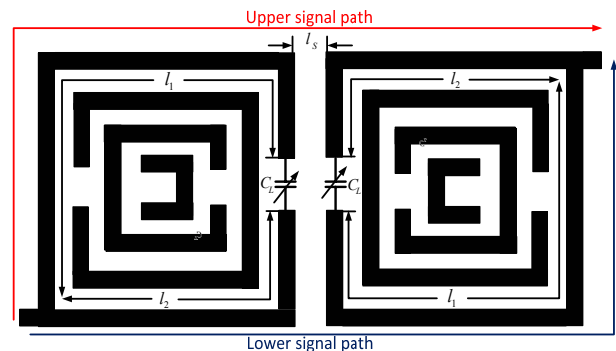


그림 1. 2개의 MSRR과 SOI-CMOS 스위치드 제어부로 구성된 제안된 통과 대역 여파기

Fig. 1. Proposed bandpass filter composed of two MSRR and SOI-CMOS switched controller.

경로를 나타내는 ABCD 매트릭스는 다음과 같이 표현된다.

$$\begin{pmatrix} A_{up} & B_{up} \\ C_{up} & D_{up} \end{pmatrix} = M_1 \times M_2 \times M_3, \quad \begin{pmatrix} A_{low} & B_{low} \\ C_{low} & D_{low} \end{pmatrix} = M_3 \times M_2 \times M_1 \quad (1)$$

$$M_1 = \begin{pmatrix} \frac{1}{\omega C_L} \cos \theta_1 - Z_0 \sin \theta_1 & j \frac{1}{\omega C_L} Z_0 \sin \theta_1 \\ \frac{1}{\omega C_L} - Z_0 \sin \theta_1 & \frac{1}{\omega C_L} - Z_0 \sin \theta_1 \\ j \frac{1}{\omega C_L} Y_0 \sin \theta_1 & \frac{1}{\omega C_L} \cos \theta_1 - Z_0 \sin \theta_1 \\ \frac{1}{\omega C_L} - Z_0 \sin \theta_1 & \frac{1}{\omega C_L} - Z_0 \sin \theta_1 \end{pmatrix}$$

$$M_2 = \begin{pmatrix} 1 & \frac{1}{j\omega C_S} \\ 0 & 1 \end{pmatrix}$$

$$M_3 = \begin{pmatrix} \frac{1}{\omega C_L} \cos \theta_2 - Z_0 \sin \theta_2 & j \frac{1}{\omega C_L} Z_0 \sin \theta_2 \\ \frac{1}{\omega C_L} - Z_0 \sin \theta_2 & \frac{1}{\omega C_L} - Z_0 \sin \theta_2 \\ j \frac{1}{\omega C_L} Y_0 \sin \theta_2 & \frac{1}{\omega C_L} \cos \theta_2 - Z_0 \sin \theta_2 \\ \frac{1}{\omega C_L} - Z_0 \sin \theta_2 & \frac{1}{\omega C_L} - Z_0 \sin \theta_2 \end{pmatrix}$$

여기서 M_1 은 loading capacitance (C_L)을 포함한 전송 선로($\theta_1 = \beta_1 l_1$)의 ABCD 매트릭스이고 M_2 는 2개의 MSRR 사이의 coupling capacitance (C_S)를 나타내

었으며 M_3 는 loading capacitance를 포함한 전송 선로($\theta_2 = \beta_2 l_2$)의 ABCD 매트릭스이다. 또한 ω 는 각 주파수, Z_0 (Y_0)는 특성 임피던스(어드미턴스)를 나타낸다.

식 (1)로부터 위쪽과 아래쪽 신호 경로를 포함한 ABCD를 아래의 식 (2)와 같이 계산하여 구할 수 있다.

여기서 θ 는 θ_1 과 θ_2 의 합이다. 위에서 계산된 ABCD 매트릭스를 이용하여 제안된 여파기의 삽입손실(S21)은 다음과 같이 표현된다.

$$S_{21} = \frac{4B_{low}Y_0}{B_{low}^2Y_0^2 + 2B_{low}(A_{low} + D_{low})Y_0 + (A_{low} + D_{low})^2 - 4(B_{low}C_{low} - A_{low}D_{low})}$$

S21은 전송영점이 존재하는 주파수에서 0이 되므로 전송 영점의 주파수는 S21의 식에서 분자인 B_{low} 항이 0이 되게 하는 주파수이다. 또한 여기서 급전 점의 위치를 바꾸면 B_{low} 항에서 θ_1 과 θ_2 가 변하므로 전송영점의 위치 역시 바뀌는 것을 알 수 있다.

2. SOI-CMOS 스위치드 제어부

그림 2는 대역 통과 여파기의 중심 주파수를 변화시키기 위해 설계한 MIM 커패시터와 stacked-FET로 구성된 SOI-CMOS 스위치드 제어부를 나타낸다. 전력 증폭기로부터 들어오는 30dBm이상의 큰 신호를 제어하기 위해서 stacked-FET을 사용하였고 이는 전압 분배기와 같이 매우 큰 신호가 인가되었을 때 각각의 트랜

$$A_{low}(D_{up}) = \frac{\frac{1}{\omega^2 C_L^2} \cos \theta - \frac{1}{\omega C_L} Z_0 \sin \theta + Z_0^2 \sin \theta_1 \sin \theta_2 + \frac{1}{\omega^3 C_L C_S} Y_0 \cos \theta_1 \sin \theta_2 - \frac{1}{\omega^2 C_L C_S} \sin \theta_1 \sin \theta_2}{\left(\frac{1}{\omega C_L} - Z_0 \sin \theta_1\right)\left(\frac{1}{\omega C_L} - Z_0 \sin \theta_2\right)}$$

$$B_{low}(B_{up}) = j \frac{\frac{1}{\omega^2 C_L^2} Z_0 \sin \theta - \frac{1}{\omega^2 C_L C_S} Z_0 \sin \theta + \frac{1}{\omega^3 C_L C_S} \cos \theta_1 \cos \theta_2 - \left(\frac{2}{\omega C_L} + \frac{1}{\omega C_S}\right) Z_0^2 \sin \theta_1 \sin \theta_2}{\left(\frac{1}{\omega C_L} - Z_0 \sin \theta_1\right)\left(\frac{1}{\omega C_L} - Z_0 \sin \theta_2\right)}$$

$$D_{low}(A_{up}) = \frac{\frac{1}{\omega^2 C_L^2} \cos \theta - \frac{1}{\omega C_L} Z_0 \sin \theta + Z_0^2 \sin \theta_1 \sin \theta_2 + \frac{1}{\omega^3 C_L C_S} Y_0 \sin \theta_1 \cos \theta_2 - \frac{1}{\omega^2 C_L C_S} \sin \theta_1 \sin \theta_2}{\left(\frac{1}{\omega C_L} - Z_0 \sin \theta_1\right)\left(\frac{1}{\omega C_L} - Z_0 \sin \theta_2\right)}$$

$$C_{low}(C_{up}) = j \frac{\left(\frac{1}{\omega C_L}\right)^2 Y_0 \sin \theta + \left(\frac{1}{\omega C_L}\right)^2 \frac{1}{\omega C_S} Y_0^2 \sin \theta_1 \sin \theta_2 - \frac{2}{\omega C_L} \sin \theta_1 \sin \theta_2}{\left(\frac{1}{\omega C_L} - Z_0 \sin \theta_1\right)\left(\frac{1}{\omega C_L} - Z_0 \sin \theta_2\right)} \quad (2)$$

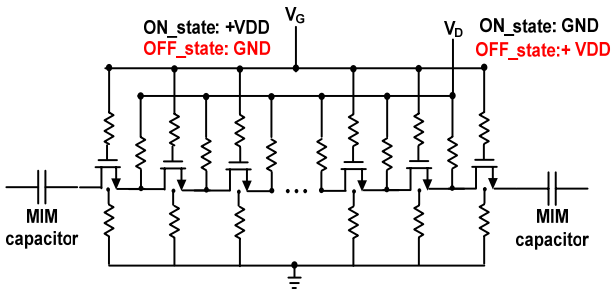


그림 2. SOI-CMOS 스위치드 제어부
Fig. 2. SOI-CMOS switched controller.

지스터 양단에 균등한 전압이 걸리도록 한다. 게다가 OFF상태의 FET의 전력 처리 능력을 향상시키기 위해 트랜지스터의 드레인과 소스에 바이어스 전압(VDD)이 인가 될 때 게이트와 바디에는 접지를 하는 방식으로 OFF상태에서 게이트에 역 바이어스가 걸리도록 설계하였다.

3. 최적 설계를 위한 시뮬레이션 검증

여파기의 주요 특성인 삽입손실, 대역 외 제거 특성,

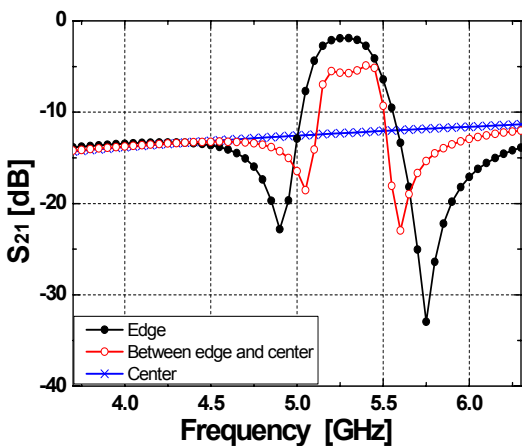
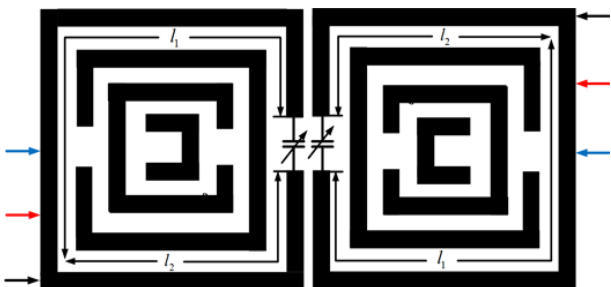


그림 3. 급전 점 위치에 따른 S21의 시뮬레이션 파형
Fig. 3. Simulated S21 by the position of feed point.

그리고 주파수 선택도를 최적화하기 위해서는 스위치드 제어부 및 비대칭 급전선로의 최적위치를 찾는 것이 중요하다. 그림 3에서는 비대칭 급전선로의 위치에 따른 S21특성을 나타내었다. 급전 점을 MSRR의 가장자리에 있을 때 가장 좋은 삽입손실과 대역 외 제거 특성을 나타냄을 확인 할 수 있다. 급전점이 가운데로 이동할수록 l_1 과 l_2 의 길이가 공진주파수의 1/4파장과 가까워지고 이로 인해 전송영점이 여파기의 중심주파수에 가까워지는 것을 확인 할 수 있다. 급전 점을 공진기의 정중앙에 두었을 때는 l_1 과 l_2 의 길이가 정확하게 공진주파수의 1/4파장이 되어서 통과 대역 주파수와 전송 영점의 주파수가 일치하게 되어 결국 통과 대역이 사라지는 것을 확인 할 수 있다.

그림 4는 로딩 커패시터의 위치에 따른 S21특성을 나타낸 그림이다. 로딩 커패시터를 MSRR의 최외각 링의 끊어진 부분에 위치시켰을 때 가장 우수한 주파수 이동도 및 선택도를 가짐을 확인하였다. 이는 MSRR의

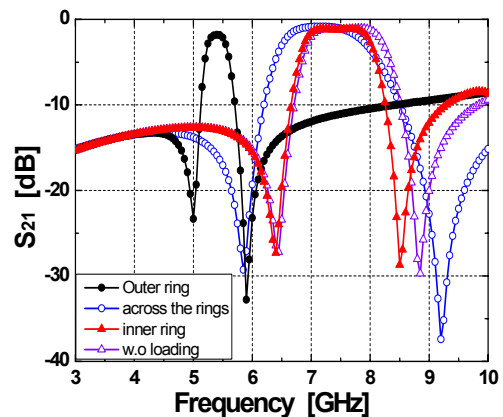
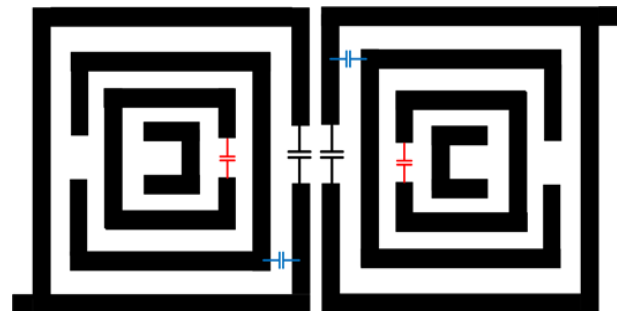


그림 4. 로딩커패시터 위치에 따른 S21의 시뮬레이션 파형

Fig. 4. Simulated S21 by the position of loading capacitor.

안쪽 링과 달리 최외각 링은 Coupled signal이 아닌 직접적으로 신호가 이동되는 경로이므로 여기에 커패시터를 위치시켜야 커패시터 로딩 효과가 가장 잘 나타나게 된다.^[6]

III. 실험 결과

제안된 튜너블 대역 통과 여파기는 0.18 μ m에서 PDSOI-CMOS공정을 통해 구현되었다. 그림 5는 전체 여파기 구조와 스위치드 제어부의 칩 사진이다. 통과 대역 주파수를 5.4GHz로부터 4.5GHz로 이동하기 위해서 l_1 과 l_2 과 그리고 MSRR사이의 거리를 각각 2.8mm, 4.8mm, 5 μ m로 설정하였다. 설계된 여파기는 4mm \times 2mm (0.177 λ_{go} \times 0.088 λ_{go})의 초소형화된 크기를 나타낸다.

그림 6에서 제안된 튜너블 여파기의 주파수 튜닝 범위는 5.4GHz로부터 4.5GHz까지로 측정되었다. 삽입손

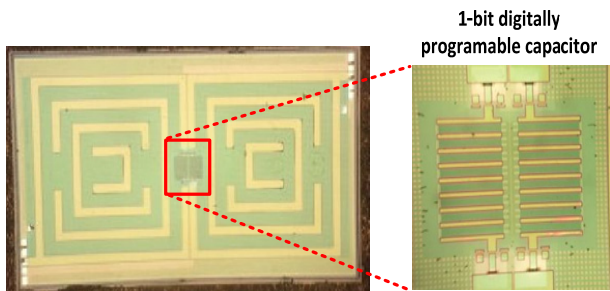


그림 5. 제안된 튜너블 여파기의 칩 사진
Fig. 5. Chip photograph of proposed tunable filter.

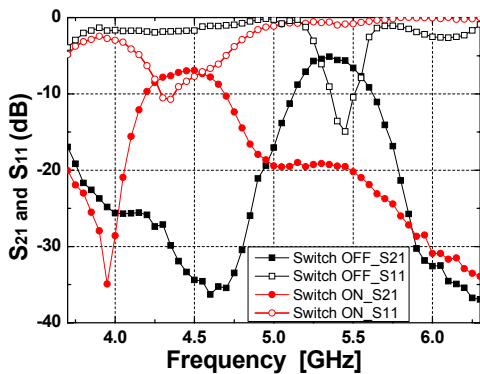


그림 6. 스위치드 제어부의 ON/OFF 제어에 의해 측정된 튜너블 여파기의 S21, S11 측정파형
Fig. 6. Measured S21 and S11 of the tunable filter by ON/OFF control of switched controller.

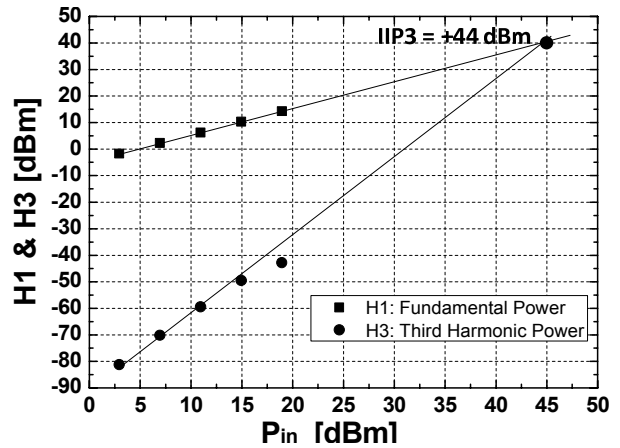


그림 7. 측정된 3차 입력 변환 인터셉트 점 (IIP3)
Fig. 7. Measured third-order input-referred intercept point (IIP3) of proposed tunable filter.

실(S21)은 5.4GHz에서 5.1dB, 4.5GHz에서 6.9dB이고 반사계수(S11)는 -10dB이하로 측정되었다. 또한 통과 대역 주파수 5.4GHz, 4.5GHz에서 각각 370MHz, 410MHz의 3dB 대역폭을 가짐을 확인하였다. 예측한대로 단지 2개의 공진기만을 이용하여 통과대역 주위로 2개의 전송영점이 생성되었고 이로 인해 높은 주파수 선택도 특성을 가짐을 확인하였다. 스위치가 ON 상태에서는 스위치 제어부의 FET의 ON 저항의 영향으로 인해 고주파 대역의 전송영점이 더 높은 주파수로 상향됨에 따라 스위치 OFF 상태의 S21 특성과 차이를 보였다. 설계된 여파기는 중심주파수로부터 500MHz 오프셋에서 20dB이상의 대역 외 제거특성을 나타내었다. 혼변조 왜곡의 정도를 알아보기 위해 통과 대역 주파수 5.4GHz에서 투톤 측정을 실시하였다. 이 주파수에서 측정을 한 이유는 전력 처리 능력 및 고조파 왜곡이 FET이 OFF상태 (통과 대역 5.4GHz)일 때가 가장 나쁘게 나타나기 때문이다. 선형화 장비를 이용하여 톤 간격은 50MHz로 하였다. 그림 7에서 나타내었듯이 44dBm의 3차 입력 변환 인터셉트 점 (IIP3)을 얻었다. 이를 통해 제안된 튜너블 통과 대역 여파기는 고 출력 응용분야에서 높은 선형성을 확보할 것으로 예상된다.

IV. 결론

본 논문에서는 MSRR과 비대칭 급전 선로 방식을 도입하여 초소형화된 크기와 높은 주파수 선택도를 가지는 튜너블 통과 대역 여파기를 설계하였다. 초소형화

된 MSRR과 높은 선형성을 가지는 SOI-CMOS 스위치드 제어부를 같은 다이에 집적함으로써 최초로 완전히 집적된 고출력용 튜너블 칩 필터를 제안하였다.

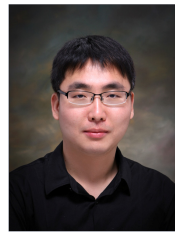
참 고 문 헌

- [1] K. Entesari, G.M. Rebeiz, "A differential 4-bit 6.5-10-GHz RF MEMS tunable filter," IEEE Trans. on Microwave Theory and Techniques, vol.53, no.3, pp. 1103- 1110, Mar. 2005.
- [2] S. J. Park, K. Y. Lee, G.M. Rebeiz, "Low-loss 5.15-5.70-GHz RF MEMS switchable filter for wireless LAN application," IEEE Trans. on Microwave Theory and Techniques, vol.54, no.11, pp.3931-3939, Nov. 2006
- [3] J. Nath, et al., "An electronically tunable microstrip bandpass filter using thin-film Barium-Strontium- Titanate varactors," IEEE Trans. on Microwave Theory and Techniques, vol.53, no.9, pp.2707- 2712, Sep. 2005.
- [4] A. R. Brown and G. M. Rebeiz, "A varactor-tuned RF filter," IEEE Trans. Microwave Theory Tech., vol. 48, pp. 1157 - -1160, July 2000.
- [5] S.-Y. Lee and C.-M. Tsai, "New cross-coupled filter design using improved hairpin resonator," IEEE Trans. Microwave Theory Tech., vol. 48, pp. 2482 - 2490, Dec. 2000.
- [6] K. Aydin, and E. Ozbay, "Capacitor-loaded split ring resonators as tunable metamaterial components," Journal of Applied Physics, 101, 024911. Jan. 2007.

저 자 소 개



임 도 경(학생회원)
2011년 경북대학교 전자전기 공학과 학사 졸업.
2013년 한국과학기술원 전기및전자 석사 졸업
<주관심분야 : RF/아날로그 집적 회로>



임 동 구(정회원)
2004년 한국과학기술원 전기및전자 학사 졸업.
2006년 한국과학기술원 전기및전자 석사 졸업.
2012년 한국과학기술원 전기및전자 박사 졸업.
2006년 1월~2009년 8월 LG전자 시스템 IC RF 그룹 주임연구원
2012년 9월~현재 한국과학기술원 전기및전자 박사후과정.
<주관심분야 : RF/아날로그/마이크로웨이브 집적회로 및 시스템>