

논문 2013-50-1-18

디지털 컨트롤러 공유 및 Pseudo Relaxation Oscillating 기법을 이용한 원-칩 다중출력 SMPS

(One-Chip Multi-Output SMPS using a Shared Digital Controller and
Pseudo Relaxation Oscillating Technique)

박 영 균*, 임 지 훈*, 위 재 경**, 이 용 근***, 송 인 채**

(Young-Kyun Park, Ji-Hoon Lim, Jae-Kyung Wee, Yong-Keun Lee, and Inchaee Song)

요 약

본 논문에서는 디지털 제어부를 공유하며, 회로 동작시간의 분배 방식을 통해 다중 출력을 지원하는 SMPS를 제안한다. 제안된 회로는 Pseudo Relaxation Oscillating 기법의 DPWM 발생기를 사용한다. 제안된 SMPS는 회로의 동작시간 분배 방식을 사용하여 기존의 DPWM 발생기에서 문제가 되는 큰 면적의 디지털 로직 컨트롤러를 공유하는 형태이기 때문에 칩 면적과 효율 측면에서 큰 이점을 가지지만, 각 DPWM 발생기의 실시간 제어가 어려우며 불안정한 출력 전압을 공급할 수 있다는 단점을 가진다. 이를 해결하기 위해 본 논문에서는 동작시간 분배 방식으로 인해 동작클럭이 인가되지 않은 DPWM 발생기들의 출력전압을 실시간으로 피드백 받아 안정된 출력 전압을 공급할 수 있는 실시간 전류 보정 기법을 제안한다. 제안된 SMPS를 100MHz의 내부 제어 동작 주파수와 10MHz 스위칭 주파수로 동작시킬 시, 소모되는 내부 코어 회로의 최대 전류는 4.9mA이며, 출력 버퍼를 포함한 전체 시스템의 전력 소모는 30mA이다. 또한 800mA, 100KHz의 load current regulation 조건으로 시뮬레이션 시, 3.3V 출력전압에 대한 최대 리플 전압은 11mV, Over/Undershoot voltage는 각각 10mV, 19.6mV이다. 코어 회로의 크기는 700 μ m \times 800 μ m의 작은 면적으로 구현가능하다. 제안된 회로는 Dong-bu Hitek BCD 0.35 μ m 공정을 이용한 시뮬레이션을 통해 검증되었다.

Abstract

This paper suggests a multi-level and multi-output SMPS based on a shared digital logic controller through independently operating in each dedicated time periods. Although the shared architecture can be devised with small area and high efficiency, it has critical drawbacks that real-time control of each DPWM generators are impossible and its output voltage can be unstable. To solve these problems, a real-time current compensation scheme is proposed as a solution. A current consumption of the core block and entire block with four driver buffers was simulated about 4.9mA and 30mA at 10MHz switching frequency and 100MHz core operating frequency. Output voltage ripple was 11 mV at 3.3V output voltage. Over/undershoot voltage was 10mV/19.6mV at 3.3V output voltage. The noise performance was simulated at 800mA and 100KHz load regulation. Core circuit can be implemented small size in 700 μ m x 800 μ m area. For the verification of proposed circuit, the simulations were carried out with Dong-bu Hitek BCD 0.35 μ m technology.

Keywords: SMPS, DPWM, High-efficiency SMPS, Shared Digital Controller

* 학생회원, ** 정회원, 숭실대학교 전자공학과

(Department of Electronic Engineering, Soongsil University)

*** 정회원, 서울과학기술대학교 NID 기술융합 대학원

(Graduate School of NID Fusion Technology, Seoul National University of Science and Technology)

※ 본 연구는 지식경제부에서 지원하는 산업융합원천기술개발 사업의 일환으로 수행되었다. 도움을 주신 관계자 여러분께 감사하는 바이다.

접수일자: 2012년9월25일, 수정완료일: 2013년1월3일

I. 서 론

최근의 휴대용 기기를 포함한 대부분의 전자 장비들은 높은 편의성 제공과 다기능성을 구현하기 위해 하나의 시스템 안에 다수의 반도체칩을 사용하고 있다. 이러한 시스템들은 동작상황이나 동작모드에 따라 시스템 구동을 위한 다양한 전원 전압이 사용된다^[1]. 따라서 다중출력 지원이 가능한 새로운 제어 방식의 초소형, 고효율 전원 공급 장치의 개발이 요구되고 있다. 실제로 이러한 다중전원의 공급을 위해 다양한 종류의 다중출력을 지원하는 IC(integrated circuit)가 상용화 되어있다. 일반적으로 상용화 되어있는 다중출력이 가능한 전원 공급 장치 IC의 경우, 다중출력 지원을 위해 내부에 다수의 DC-DC 컨버터 및 LDO(low dropout)를 내장하고 있다^[2~4]. 그러나 이들 IC는 하나의 칩에 독립적으로 동작하는 동일한 형태의 전압 레귤레이터(voltage regulator)를 단순히 여러 개 집적한 형태로 구성되어 있다. 이러한 다중 출력용 IC는 클럭 발생을 위한 회로나, 모니터링을 위한 회로, 또는 보호회로 등의 부수적인 회로 요소들만을 공유할 뿐, 로직 컨트롤을 위한 회로블록 등은 각각의 전압 레귤레이터가 개별적으로 사용하는 경우가 대부분이다^[1~3]. 이와 같은 구조는 다중출력을 지원하기는 하지만 DC-DC 컨버터와 LDO가 집적된 IC의 경우, 효율적인 면에서 매우 취약하다는 단점을 가진다^[5]. 높은 효율을 위해 다수의 DC-DC 컨버터만을 집적하더라도 각각의 컨버터가 개별적으로 큰 면적을 차지하는 로직 컨트롤 블록을 사용하므로 전체 칩의 면적 또한 증가하는 단점을 가진다. 모듈 구성에 있어서도 높은 전원전압을 사용하는 시스템에서는 DC-DC 컨버터 칩을 사용하여 1차적으로 전원전압 레벨을 낮춘 후 다중출력을 위해 다수의 LDO를 사용하는 방식으로 시스템을 구현한다. 그러나 이는 여전히 효율에 대한 문제점을 가지며, 큰 면적을 요구하여 시스템의 단가를 상승시키는 불필요한 요인이 되고 있다^[6~8].

따라서 본 논문에서는 기존의 다중 출력전압을 지원하는 IC의 비효율성, 면적, 및 고비용성을 개선할 수 있는 다중출력이 가능한 고효율, 저면적 SMPS(switch mode power supply)를 제안한다. 제안된 SMPS는 reference^[9]와 같은 Pseudo Relaxation Oscillating 기반의 DPWM(digitally pulse width modulation) 발생기를 사용한다. 따라서 기존의 디지털 제어방식의 SMPS에

비해 간단한 구조로 설계가 가능하며 동적 응답특성을 고려할 필요가 없다는 장점을 그대로 유지하면서도 다중출력을 지원하는 것이 가능하다^[9]. 제안된 SMPS는 다수의 DPWM 발생기가 하나의 디지털 제어부를 공유하고, 각각의 DPWM 발생기가 공유된 디지털 제어부를 사용하는 시간을 분배하는 방식을 통해 다중출력을 구현한다. 기존에 큰 면적을 차지하던 디지털 제어부를 공유함으로써 면적을 줄일 수 있고, 하나의 칩에 집적하는 것이 가능하다. 또한 높은 효율의 개별 DPWM 발생기를 이용하므로 고효율의 다중출력 지원이 가능하다.

II. 전체 회로 시스템

1. 회로 동작시간 분배 기법

그림 1은 제안된 다중출력 SMPS의 블록도를 보여준다. 제안된 SMPS는 4개의 서로 다른 출력전압 레벨을 가지는 다중 출력이 가능하도록 구성되어 있다. 제안된 SMPS는 그림 1에서와 같이 디지털 컨트롤 블록 및 활성화신호 발생기(activation signal generator), 에러 선택기(error selector), 클럭발생기, 디바이더를 포함하는 “공유회로블록”(shared circuitry)과 비교기, 15비트 레지스터, DPWM 발생기, 버퍼 및 전력 트랜지스터가 하나의 회로그룹으로 구성되어 서로 다른 4개의 출력전압을 위한 4개의 “회로 그룹”(circuit-group 1~4)으로 구성되어 있다.

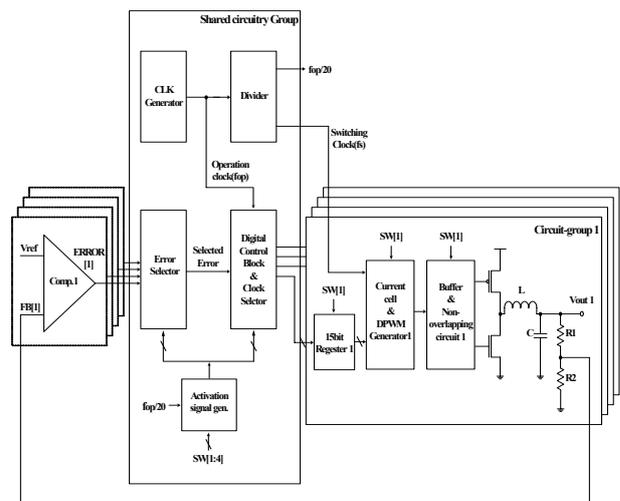


그림 1. 제안된 다중출력 SMPS의 전체 블록도
Fig. 1. Block diagram of the proposed multi-output SMPS.

각 회로 그룹들은 하나의 공유회로블록을 공유한다. 그림 1의 SW[1:4]는 “출력선택 신호”이다. 출력선택 신호는 외부에서 피드-포워드 되는 high/low 신호이며 SMPS 출력전압 ($V_{out\ 1\sim 4}$)과 1대1로 대응된다. 즉 SW[N]신호가 high 상태일 경우 회로그룹N이 활성화 되어 $V_{out\ N}$ 이 출력된다. 출력선택 신호의 high/low 상태에 따라 대응되는 출력전압 발생을 위한 회로그룹만이 동작하며, 선택되지 않은 회로그룹은 동작하지 않도록 함으로써 불필요한 전력 소모를 최소화 할 수 있다.

그림 2는 제안된 SMPS의 활성화신호 발생기(a)와 에러 선택기(b) 그리고 클럭 선택기(c)의 블록도를 보여 준다. 활성화신호 발생기는 4비트 링-카운터 형태로 구성되어 있으며 출력선택 신호의 high/low 상태에 따라 대응되는 회로그룹을 동작하도록 하는 활성화 신호 (ACT[1:4])를 발생시킨다. 활성화신호는 회로그룹을 활성화 시키는 신호로써 각 회로그룹들은 활성화신호가 인가되는 시간동안에만 동작이 가능하다. 활성화 신호 ACT[N]에 의해 특정 회로그룹(circuit-group N)이 활성화 되어 동작하는 상황을 Active-Mode라고 한다. 반대로 ACT[N]이 인가되지 않은 경우 Inactive-Mode라고 한다. 예를 들어, ACT[1]에 의해 첫 번째 회로그룹 (Circuit-group 1)이 활성화 되어있는 경우, 첫 번째 회로그룹은 Active-Mode로 동작중이며, 나머지 회로그룹들(Circuit-group $2,3,4$) Inactive-Mode로 동작한다.

활성화신호 발생기의 동작 방식은 다음과 같다. 초기에 4비트 링-카운터는 4비트 출력중 하나의 비트만 high 상태로 설정되어있다. 출력선택 신호(SW[1:4])중 일부가 high가 되어 2:1 멀티플렉서의 셀렉트 신호가 high가 되는 경우 플립플롭의 클럭입력으로 동작클럭 (operating clock) 주파수 주기의 1/20에 해당하는 클럭 ($f_{op}/20$)이 인가된다. 따라서 동작클럭의 20클럭에 해당하는 시간동안 플립플롭 출력신호가 high로 유지된다. 반대로 low 상태인 나머지 출력선택 신호에 의해 2:1 멀티플렉서의 셀렉트 신호가 low가 되는 경우, 플립플롭의 클럭입력으로 동작클럭(f_{op})이 인가된다. 즉 출력선택 신호가 high에 해당하는 플립플롭은 동작클럭의 $f_{op}/20$ 주파수 클럭에 의해 트리거링 되고, low에 해당하는 플립플롭의 경우 동작클럭(f_{op})에 의해 트리거링 된다. 결과적으로 출력선택 신호에 따라 플립플롭들의 출력은 $f_{op}/20$ 주파수의 한 주기 동안 high상태가 유지된다. 플립플롭의 high 출력은 출력선택 신호와 함께

AND게이트 연산을 거쳐 최종적으로 high상태인 출력선택 신호(SW[N])에 대응되는 활성화신호(ACT[N])가 생성된다. 하나의 활성화신호는 동작클럭의 20주기 동안 high 상태를 유지한다. 이때, 동작클럭의 20주기는 디지털 컨트롤 블록의 15비트 출력이 모두 low에서 high로 세팅될 수 있는 시간이다. 활성화신호의 발생 주기는 출력선택 신호의 high/low 상태에 의해 결정된다. 즉, 하나의 출력선택 신호만 high인 경우 하나의 활성화 신호만 연속적으로 high를 유지하므로 해당 회로블록은 연속적으로 Active-Mode동작을 한다. 4개의 출력선택 신호가 모두 high인 경우, 첫 번째 활성화신호 ACT[1]가 동작클럭의 20주기 동안 high상태로 유지된 뒤 low 상태가 되면서 두 번째 활성화 신호 ACT[2]가 발생한다. 이와 같이 네 번째 활성화신호 ACT[4]가 high가 된 후 low로 변하면 다시 첫 번째 활성화 신호 ACT[1]가 반복적으로 발생한다. 따라서 첫 번째 회로블록은 처음 20클럭의 시간동안 Active-Mode동작을 한 뒤 나머지 60클럭 시간동안 Inactive-Mode로 동작한다.

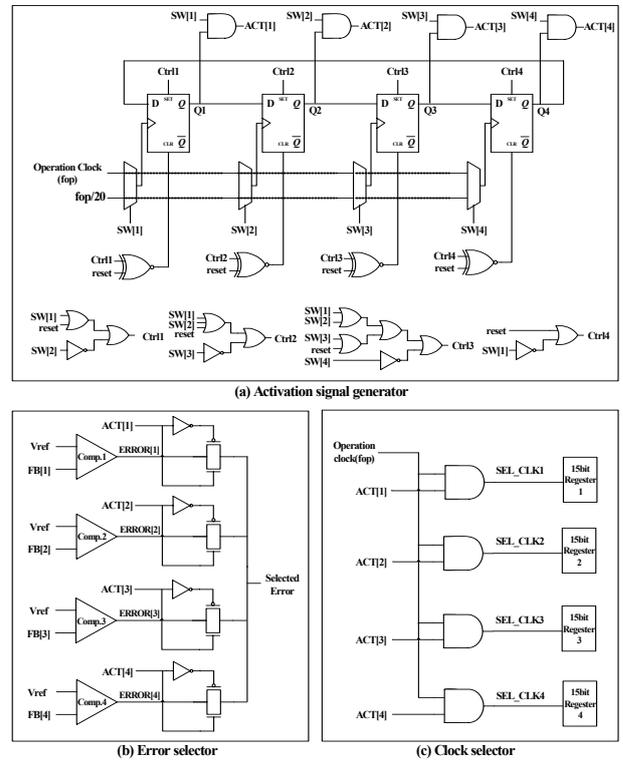


그림 2. 제안된 (a) 활성화신호 발생기, (b) 비교기 선택기, (c) 클럭선택기의 블록도

Fig. 2. Block diagram of the proposed. (a) Activation signal generator, (b) Error selector, (c) Clock selector.

위와 같은 방식으로 발생된 활성화신호를 이용해 예러 선택기(b)는 4개의 비교기 출력들(ERROR[1:4])중 Active-Mode로 동작중인 회로그룹에 대응되는 하나의 비교기 출력신호만을 선택한다. 또한 클록선택기도 같은 방법을 통해 4개의 회로그룹들 중 Active-Mode동작중인 회로그룹에만 동작클록(SEL_CLK 1~4)을 공급한다.

2. 디지털 컨트롤 블록 동작

그림 3은 본 논문에서 제안하는 SMPS의 디지털 컨트롤 블록 및 레지스터 그리고 전류셀에 대한 블록도이다. 디지털 컨트롤 블록은 예러 선택기에 의해 선택된 비교기의 출력신호(“Selected Error”)의 high/low 상태에 따라 전류셀의 on/off 상태를 결정한다. 예러 선택기의 출력신호인 “Selected Error”신호가 high일 경우 디지털 컨트롤 블록은 내부 로직 동작을 통해 순차적으로 전류셀의 스위치를 on시키고 DPWM발생기의 내부 커패시터에 충전되는 전류량이 증가한다. 반대로 “Selected Error”신호가 low일 경우 전류셀의 스위치를 순차적으로 off하여 커패시터에 충전되는 전류량을 줄인다. 즉, 디지털 컨트롤 블록에 의해 결정되는 전류셀의 전체전류는 DPWM의 내부 커패시터 양단의 전압 기울기를 조절하여 DPWM신호의 듀티비율(duty ratio)을 조절한다. 특정 회로그룹(circuit-group N)은 Active-Mode 동작 중에만 자신의 출력에 대한 피드백 신호(FB[N])을 실시간으로 이용할 수 있다. 특정 회로 그룹(circuit-group N)이 Active-Mode로 동작중일 때만 비교기N의 출력인 ERROR[N]이 “Selected Error”

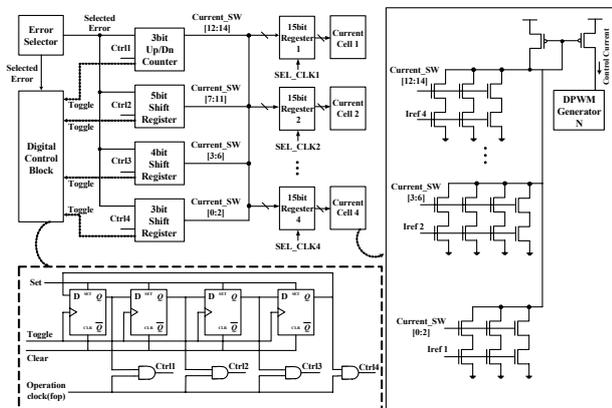


그림 3. 제안된 SMPS의 디지털 컨트롤 블록 및 레지스터, 전류셀의 블록도
Fig. 3. Block diagram of the proposed Digital control block, Register, and Current cell.

로 선택되고, 이를 이용해 디지털 컨트롤 블록을 통해 전류셀에서 공급되는 전류를 제어 할 수 있기 때문이다. Active-Mode동작 구간동안 디지털 컨트롤 블록의 15비트 출력신호는 레지스터를 거쳐 그대로 전류셀로 전달되어 전류셀의 스위치를 제어한다. 디지털 컨트롤 블록의 15비트 출력 데이터는 동작클록이 현재 회로 그룹의 레지스터에서 다음 회로그룹의 레지스터로 인가되기 직전 마지막 클록의 상승 에지에서 레지스터에 저장되며 회로그룹이 Inactive-Mode로 동작할 동안에는 이 15비트 데이터를 이용해서 전류셀의 on/off 상태를 제어한다.

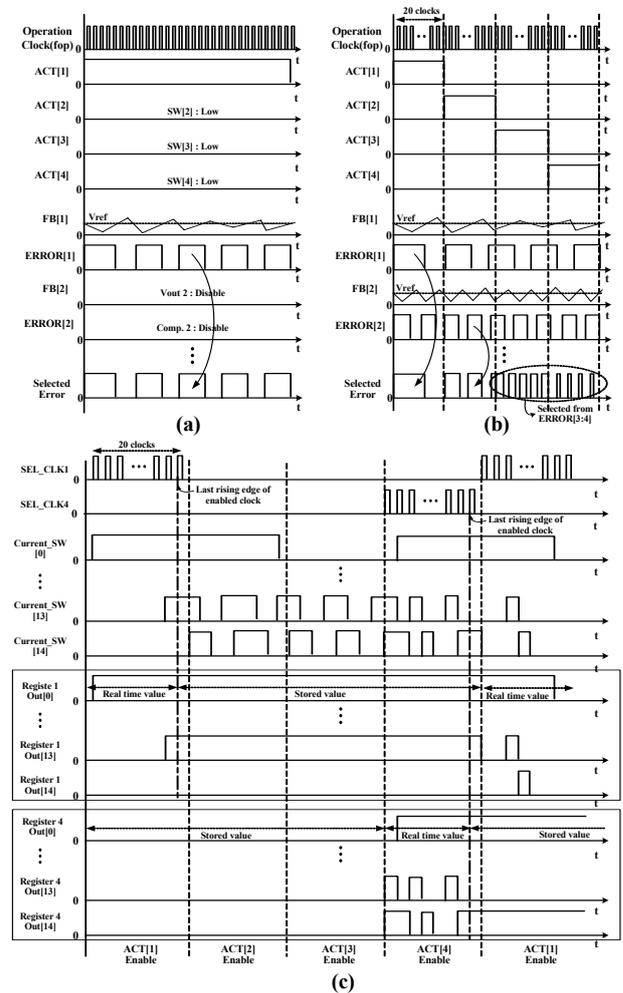


그림 4. 디지털 컨트롤 블록 공유기법에 대한 타이밍도
(a),(b) 활성화신호 및 Selected Error 신호 변화,
(c) 활성화신호에 따른 레지스터 데이터의 타이밍도
Fig. 4. Timing diagram of the shared digital controller scheme (a),(b) Activation signal and Selected Error signal, (c) Register data.

그림 4는 제안된 동작시간 분배 기법 및 디지털 컨트롤 블록 동작에 대한 타이밍도를 보여준다. 그림 4의 (a),(b)는 각각 1개, 4개의 출력선택 신호가 high인 경우에 대한 활성화 신호변화 및 그에 따른 에러신호와 “Selected Error”신호의 변화를 보여준다. 그림 4의 (a)의 경우, 하나의 회로블록 1 만이 활성화 되므로 ACT^[1] 신호가 연속적으로 high를 유지하므로 회로블록 1은 연속적으로 Active-Mode로 동작한다. 그림 4의 (b)와 같이 4개의 출력선택 신호가 high가 되는 경우 4 개의 활성화신호가 주기적으로 발생하며 회로그룹의 활성화 구간이 4 개로 분할되어 동작이 이루어진다. “Selected Error”신호도 4개 비교기의 출력 전압 (ERROR[1:4])이 번갈아가며 선택된다.

그림 4의 (b)의 경우에 대해서 디지털 컨트롤 블록의 출력 및 레지스터에 저장되는 데이터의 타이밍도를 보여준다. 그림에서 볼 수 있듯이 Active-Mode 동작중인 회로블록은 디지털 컨트롤 블록의 15비트 출력데이터 (Current_SW[0:14])를 실시간으로 이용하여 전류셀을 제어할 수 있다(Real time value 구간). 또한 클럭 입력이 종료되기 직전 마지막 클럭 상승 에지에서 디지털 컨트롤 블록 출력값이 레지스터에 저장되어 Inactive-Mode동안에 전류셀을 제어하는 데이터로 사용된다 (Stored value 구간).

3. DPWM 발생기

그림 5는 본 논문에서 제안된 Pseudo Relaxation Oscillating 기법을 이용한 DPWM 발생기의 회로도를 나타낸다. Pseudo Relaxation Oscillating 기법의 DPWM 발생기는 그림 5의 커패시터(C1, C2, C3)에 충전되는 전류량과 충전 시간에 따라 커패시터 양단 전압의 기울기가 조절되는 원리를 이용한다. 이때, 커패시터 양단 전압은 램프 신호 형태로 나타나며 램프신호의 기울기는 커패시터에 충전되는 전류량과 충전시간에 비례하여 증가한다. 즉 전류셀을 통해 많은 전류가 공급될 경우 램프신호의 기울기는 급격히 증가한다. 커패시터양단 전압이 AND게이트의 논리문턱전압(logic threshold voltage) 보다 높고 스위칭 클럭(f_s)이 high가 될 경우 AND게이트의 출력은 high가 된다. AND게이트의 출력이 high로 유지되는 시간이 곧 DPWM신호의 듀티 비율로 결정된다. DPWM 발생기의 내부 커패시터는 사용자에게 의해 결정된 스위칭 클럭 주파수 (1MHz~

10MHz)에 따라 다른 커패시턴스 값을 가져야 하며 이는 CAP_SEL[2:0]신호를 통해 제어가 가능하다.

본 논문에서 제안하는 DPWM 발생기는 부스트 모드 (boost mode) 동작을 지원한다. 부스트 모드는 “Selected Error”신호의 현재 상태가 low이면, DPWM 신호의 듀티 비율을 증가시키지 못하도록 DPWM 발생기의 내부 커패시터를 강제로 방전시키는 “Discharge” 신호를 발생하는 역할을 한다. 결과적으로, 커패시터를 강제로 방전시킴으로써 해서 출력 전압을 낮출 수 있다. 부스트 모드는 DPWM 발생기의 내부 커패시터를 계속 방전하게 만들기 때문에 빠르게 출력전압을 감소시키지만 대신 스위칭 주파수(f_s)를 원래의 주파수 속도로 유지하지 못하고 주파수 속도가 감소하게 만든다. 이와 같은 스위칭 주파수 감소 현상은 SMPS 구성 시 설정된 스위칭 주파수와 부하 공급 전류량에 따라 결정된 외부 인덕터 값보다 큰 인덕터를 요구하게 된다. 따라서 제안된 DPWM 발생기에는 부스트 모드에 의해 스위칭 주파수(f_s)의 속도가 감소하는 것을 방지하기 위한 Adaptive-On Mode 회로를 포함하고 있다. Adaptive-On Mode 회로는 DPWM 신호가 부스트 모드에 의해 스위칭 주파수(f_s)마다 펄스를 발생하지 못할 경우, 출력전압 리플에 주는 영향을 최소화하면서 스위칭 주파수(f_s)마다 최소의 듀티 비율을 가진 펄스 신호를 생성하여 스위칭 주파수를 일정하게 유지시키는 역할을 한다.

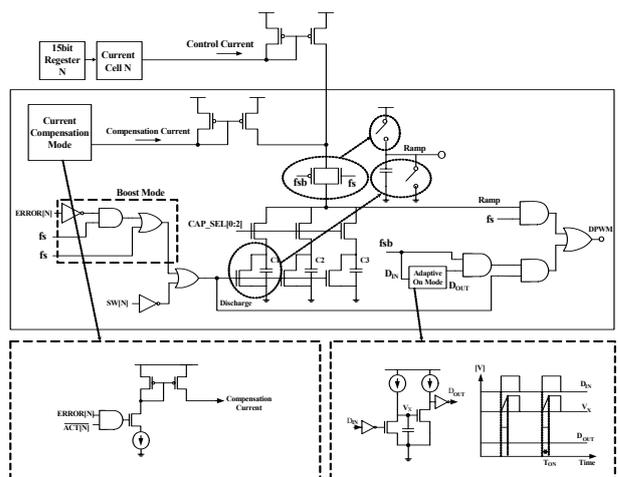


그림 5. Pseudo Relaxation Oscillating 기법의 DPWM 발생기 및 전류보정 회로

Fig. 5. DPWM Generator based on Pseudo Relaxation Oscillating Technique and Current compensation circuit.

특정 회로그룹(circuit-group N)이 Inactive-Mode로 동작하는 경우, 레지스터에 저장되어있는 디지털 컨트롤 블록의 출력 데이터는 일정한 값을 유지하므로 전류셀에서 DPWM 발생기로 공급되는 전류도 일정한 값으로 고정된다. 따라서 이와 같은 구간에서는 동일한 듀티 비율을 가지는 DPWM신호만이 발생하게 되어 출력전압은 계속해서 상승하거나, 계속해서 하강하게 된다. 전류보정회로는 이러한 현상을 방지하기 위해 사용된다. 전류보정회로는 특정 회로그룹(circuit-group N)이 Inactive-Mode로 동작하고 있는 구간에서 비교기의 출력력을 직접 입력받아 전류셀에 의해 충분히 공급되지 못하는 전류를 보정하는 역할을 한다. 전류보정회로는 에러 선택기 출력신호인 "Selected Error" 신호가 아닌 해당 회로그룹의 비교기 출력신호를 그대로 이용한다. 비교기 출력전압(ERROR[N])이 high인 경우(출력전압이 기준전압보다 낮은 경우) 추가적인 전류를 발생시켜 DPWM 내부 커패시터를 충전되도록 하여, SMPS의 출력전압을 안정화시킨다.

III. 모 의 실험

그림 6은 본 논문에서 제안된 다중출력 SMPS의 과도응답 실험 결과이다. 스위칭 주파수는 10MHz, 출력

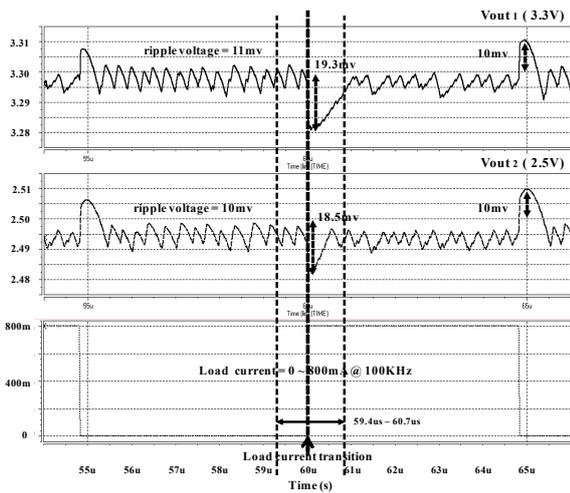


그림 6. 제안된 다중출력 SMPS의 과도응답 실험결과 (스위칭 주파수: 10MHz, load: 0~800mA @100KHz)

Fig. 6. Simulation results with transient response of the proposed multi-output SMPS. (Switching Frequency : 10MHz, Load condition: 0~800mA@100KHz).

전압은 Vout1과 Vout2의 2개 출력으로 설정되었으며 출력전압레벨은 각각 3.3V, 2.5V이다. 실제적인 상황을 고려하기 위해 출력 단 커패시터의 ESR(equivalent series resistance)을 포함하여 진행되었다. ESR 값은 세라믹 커패시터의 일반적인 ESR값인 15mΩ을 적용하였다. 0~800mA, 100KHz 주파수의 부하 전류 레귤레이션 조건에서 최대 출력전압 리플은 Vout1(3.3V)의 경우 11mV 이고 Vout2(2.5V)의 경우 10mV로 나타났다. 오버 샷은 각각 10mV와 10mV로 나타났으며 언더 샷은 각각 19.3mV와 18.5mV이다.

그림 7은 그림 6의 언더 샷 구간(59.4µs~60.7µs)을 확대한 실험 결과를 보여준다. 그림 7의 (A)구간은 ACT^[1] 신호가 발생하여 회로그룹1이 활성화 되어 동작하는 구간, 즉 회로그룹1이 Active-Mode로 동작하는 구간이다. 그림 7의 (B)구간은 ACT^[2] 신호에 의해 회로그룹2가 Active-Mode로 동작하는 구간이다. (A) 구간동안 회로그룹2는 Inactive-Mode로 동작하며, 마찬가지로 (B) 구간동안은 회로그룹1이 Inactive-Mode로 동작한다.

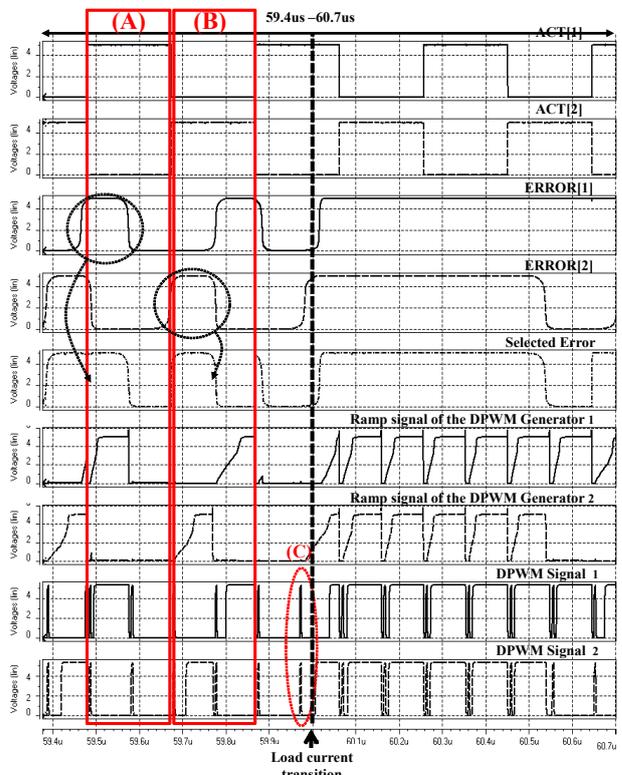


그림 7. 언더 샷 구간에 대한 과도응답 실험결과
Fig. 7. Simulation results with transient response of the undershoot range.

그림 7에서 볼 수 있듯이, $ACT^{[1]}$ 과 $ACT^{[2]}$ 신호가 일정한 시간동안 반복적으로 발생하며, 이때 활성화신호가 high인 구간에서 해당하는 에러신호($ERROR^{[1\sim 2]}$)가 “Selected Error”신호로 선택되는 것을 알 수 있다. (A) 구간에서는 $ERROR^{[1]}$ 이 선택되어 이를 통해 디지털 컨트롤 블록과 전류셀에 의해 DPWM발생기의 코어 커패시터를 충전시킨다. 따라서 공급되는 전류량에 해당하는 기울기를 가진 램프신호(ramp signal of the DPWM generator 1)가 발생하여 DPWM 신호를 생성한다. 그림 7에서 나타나듯이 (B)구간에서도 $ERROR^{[1]}$ 은 high상태이다. 이는 V_{out1} 이 기준전압보다 낮음을 의미한다. 하지만 (B)구간에서는 회로그룹₂가 Active-Mode동작 중 이므로 회로그룹₁은 레지스터에 저장된 15비트 데이터를 통해 전류셀의 전류를 일정 값으로 유지시키고, 전류보정회로에서 발생하는 추가적인 보정 전류로 커패시터를 충전시켜 출력전압을 안정화시킨다. 그림 7의 (C)영역은 일정한 스위칭 주파수(10MHz) 유지를 위해 Adaptive-On Mode 회로에서 발생하는 short-pulse 신호를 나타낸다.

그림 8은 제안된 SMPS의 활성화신호 상태와 부하전류 과도 상태에 따른 8가지의 동작 상황(Case(1)~(8))과 각 상황에서의 SMPS 출력 전압변화에 대한 도식을 보여준다. 그림 8의 (a)는 회로그룹₁이 Active-Mode 및 Inactive-Mode에서 동작할 때 부하 전류의 급격한 증가 또는 감소에 대한 4가지 상황을 나타내며, (b)는 활

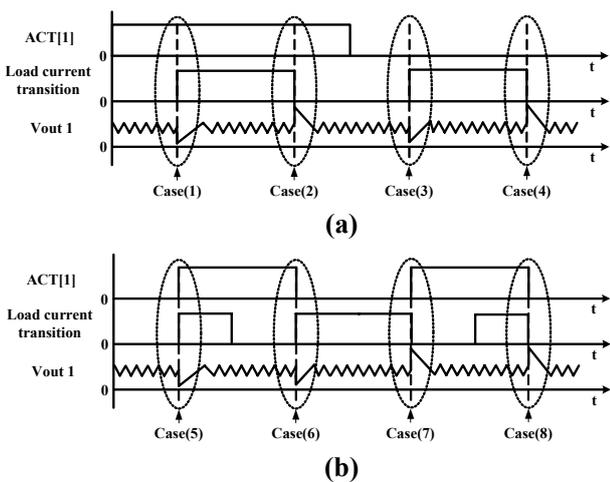


그림 8. 활성화 신호 및 부하전류 과도 상태에 따른 SMPS의 8가지 동작상황 도식

Fig. 8. 8 case of operation conditions according to activation signal and load current transition.

성화신호 $ACT^{[1]}$ 과 부하 전류가 동시에 변하는 경우에 대한 4가지 상황을 보여준다.

그림 8의 각 상황에 대한 과도응답 실험결과는 표 1에 요약되어 있다. 그림 8 및 표 1의 case(1)과 case(2)는 각각 Active-Mode 동작 상태에서 부하 전류가 급격히 상승하는 상황과 감소하는 상황이다. 반대로 case(3)과 case(4)는 Inactive-Mode 동작에서 부하 전류가 급격히 상승하는 상황과 감소하는 상황이다. II장에 기술한 바와 같이, case(1)과 case(2)의 경우 SMPS의 출력 전압 V_{out1} 은 디지털 컨트롤 블록의 제어에 의해서만 결정된다. case(3)과 case(4)의 경우는 디지털 컨트롤 블록에 의해 결정된 일정한 전류와 DPWM 발생기의 전류보정회로에 의해 보충되는 추가적인 전류에 의해 SMPS 출력전압이 결정된다. case(2) 및 case(4)와 같은 급격한 부하 전류의 감소는 SMPS 출력전압의 오버슈트를 발생시킨다. 오버 슈트의 크기를 줄여 안정적인 출력전압을 얻기 위해서는 DPWM 발생기에 공급되는 전류를 줄여 출력전압을 트래킹 해야만 한다. case(2)의 경우 디지털 컨트롤 블록의 제어에 의해 출력전압을 신

표 1. SMPS 동작 상황에 따른 과도응답 실험결과 요약

Table 1. Summary of transient simulation result according to 8 case of operation conditions.

Case	(1)	(2)	(3)	(4)
Operation Mode	Active	Active	Inactive	Inactive
Load current transition	Low ↓ High	High ↓ Low	Low ↓ High	High ↓ Low
Output voltage variation	Undershoot	Overshoot	Undershoot	Overshoot
Peak voltage	17.4mV	8.9mV	19.4mV	10mV
Case	(5)	(6)	(7)	(8)
Operation Mode	Inactive ↓ Active	Active ↓ Inactive	Inactive ↓ Active	Active ↓ Inactive
Load current transition	Low ↓ High	Low ↓ High	High ↓ Low	High ↓ Low
Output voltage variation	Undershoot	Undershoot	Overshoot	Overshoot
Peak voltage	18.4mV	19.6mV	9.3mV	9.3mV

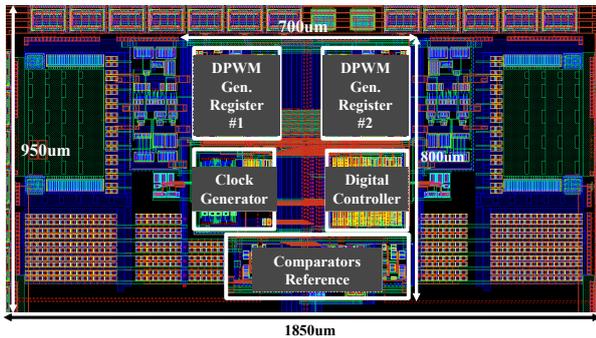


그림 9. 제안된 다중출력 SMPS의 레이아웃 (2-출력 구성)
Fig. 9. Layout of the proposed multi-output SMPS.
(2-outputs configuration)

속히 트래킹 하는 것이 가능하지만, case(4)의 경우는 부하 전류의 급격한 감소에 의한 출력전압 변화를 트래킹 할 수 없기 때문에 가장 큰 오버 슈트 발생할 수 있는 worst case이다. 그러나 표 1에서 볼 수 있듯이 worst case가 발생하여도 오버 슈트 전압 증가량은 case(2)에 비해 단지 1.1mV에 불과하다. case(6)의 경우, Active-Mode 동작에서 Inactive-Mode로의 변화가 부하 전류 증가와 동시에 일어나기 때문에 case(3)과는 달리 보정전류가 출력전압을 트래킹 할 만큼의 충분한 시간을 가지지 못한다. 따라서 case(6)의 상황에서 가장 큰 언더 슈트 발생한다.

그림 9는 제안된 SMPS의 레이아웃을 보여준다. 그림 9의 SMPS는 2개의 출력이 가능한 형태로 구성되어 있으며 이때, 코어 회로는 $700\mu\text{m} \times 800\mu\text{m}$ 의 작은 면적으로 구현이 가능함을 보여준다.

IV. 결 론

본 논문에서는 Pseudo Relaxation Oscillating 기반의 DPWM 발생기를 이용한 다중출력 SMPS가 제안되었다. 제안된 SMPS는 기존의 상용화된 다중출력용 SMPS와 달리 큰 면적을 차지하는 디지털 컨트롤 블록을 다수의 DPWM 발생기가 공유하여 사용한다. 디지털 컨트롤 블록의 공유는 회로의 동작시간 분배 기법을 통해 이루어진다. 또한 동작시간 분배 기법과 동시에 전류보정기법을 통해 DPWM 발생기의 실시간 제어가 가능하며 이를 통해 안정된 출력전압을 얻는 것이 가능하다. 제안된 회로를 2개 출력이 가능하도록 구성하여 100MHz의 동작 주파수와 10MHz 스위칭 주파수로 동

작시킬 시 최대 4.9mA의 전류를 소모하며, 부하에 최대 1A까지 전원공급이 가능하다. 이때, 하나의 출력전압에 대한 최대 리플 전압은 11mV, 오버/언더 슈트 전압은 각각 10mV, 19.6mV 이다. 제안된 다중출력 SMPS는 다중전원 시스템의 전원공급은 물론, 동적 전압 조절 지원을 위한 초소형, 고효율 전원 공급 장치 시스템 등에 적절하게 사용될 수 있다.

참 고 문 헌

- [1] F. Kurokawa, and H. Matsuo, "A new Multiple-Output Hybrid Power Supply," IEEE Transactions on Power Electronics, vol.3, no.4, pp. 412-419, Oct. 1988.
- [2] Linear Technology, DataSheet of LTC3547, 2006.
- [3] Analog Devices, DataSheet of ADP2116, 2012.
- [4] Linear Technology, DataSheet of LTC3541-2, 2006.
- [5] Gabriel Alfonso Rincon-Mora. ANALOG IC DESIGN with LOW-DROPOUT REGULATORS McGraw-hill, 2009.
- [6] Yong-Seong Roh, Jung-Chul Gong, Changsik Yoo, "Load-Independent Current Control Technique of a Single-Inductor Multiple-Output Switching DC-DC converter" IEEE Transactions Circuits and Systems II, Express Briefs, vol.59, no.1, pp. 50-54, Jan. 2012.
- [7] Christophe P. Basso. SWITCH-MODE POWER SUPPLIES: McGraw-hill, 2008.
- [8] A. P. Dancy, R. Amirtharajah, and A. P. Chandrakasan, "High efficiency multiple-output DC-DC conversion for low-voltage systems," IEEE Trans. VLSI Systems, vol.8, no.3, pp. 252-263, Jun. 2000.
- [9] 임지훈, 박영균, 위재경, 송인채, "새로운 Switched-Capacitor delay 기법의 High Resolution DPWM 발생기를 이용한 Dynamic-Response Free SMPS" 전자공학회 논문지, 제 49 권 SD편, 제1호, 12-23쪽, 2012년 1월

— 저 자 소 개 —



박 영 균(학생회원)
2011년 숭실대학교 정보통신전자공학부 학사 졸업.
2011년 숭실대학교 전자공학과 석사 과정.
<주관심분야 : VRM, DC-DC Converter, 및 Power I.C 설계>



임 지 훈(학생회원)
2004년 한림대학교 전자공학과 학사 졸업.
2008년 한림대학교 전자공학과 석사 졸업.
2008년 숭실대학교 전자공학과 박사 과정.
<주관심분야 : VRM, Gate Driver 및 Power I.C 설계>



위 재 경(정회원)-교신저자
1998년 연세대학교 물리학과 학사 졸업.
1990년 서울대학교 물리학과 석사 졸업.
1998년 서울대학교 전자공학과 박사 졸업.
1990년~2002년 하이닉스 메모리 연구소 근무
2002년~2004년 한림대학교 정보통신공학부 조교수
2004년~2007년 숭실대학교 정보통신전자공학부 조교수
2008년~현재 숭실대학교 정보통신전자공학부 부교수
<주관심분야 : System-in-Package 설계 및 고속 SoC, high speed I/O interface, DLL/PLL, Mixed Mode 설계>



이 용 근(정회원)
1991년 Materials Engineering, Iowa State Univ 졸업.
1993년 Materials Science Columbia Univ 졸업 (공학석사).
1996년 Materials Engineering, RPI, Troy(공학박사) 졸업.
2006년~2007년 Assistant Professor, School of Applied Science, Nanyang Technological University, SINGAPORE,
2006년~2007년 Principal E, SAMSUNG Electronics LCD Business
2007년~현재 서울과학기술대학교 NID 기술융합 대학원 교수.



송 인 채(정회원)
1981년 서울대학교 전자공학과 학사 졸업.
1984년 U.C.L.A Electrical Engineering 석사 졸업.
1991년 U.C.L.A Electrical Engineering 박사 졸업.
1985년~1992년 Hughes Aircraft Company, Staff Engineer
1992년~현재 숭실대학교 정보통신전자공학부 교수
<주관심분야 : 반도체 소자 Modeling, 집적회로 설계>