

논문 2013-50-1-16

TSV 기반 3D IC Pre/Post Bond 테스트를 위한 IEEE 1500 래퍼 설계기술

(IEEE 1500 Wrapper Design Technique for Pre/Post Bond Testing of
TSV based 3D IC)

오 정 섭*, 정 지 훈**, 박 성 주***

(Jungsub Oh, Jihun Jung, and Sungju Park)

요 약

칩 적층기술의 발달로 TSV(Through Silicon Via) 기반 3D IC가 개발되었다. 3D IC의 높은 신뢰성과 수율을 얻기 위해서는 pre-bond 와 post-bond 수준에서 다양한 TSV 테스트가 필수적이다. 본 논문에서는 pre-bond 다이의 TSV 연결부에서 발생하는 미세한 고장과 post-bond 적층된 3D IC의 TSV 연결선에서 발생하는 다양한 고장을 테스트할 수 있는 설계기술을 소개한다. IEEE 1500 표준 기반의 래퍼셀을 보완하여 TSV 기반 3D IC pre-bond 및 post-bond의 at speed test를 통하여 known-good-die와 무결점의 3D IC를 제작하고자 한다.

Abstract

TSV based 3D ICs have been widely developed with new problems at die and IC levels. It is imperative to test at post-bond as well as pre-bond to achieve high reliability and yield. This paper introduces a new testable design technique which not only test microscopic defects at TSV input/output contact at a die but also test interconnect defects at a stacked IC. IEEE 1500 wrapper cells are augmented and through at-speed tests for pre-bond die and post-bond IC, known-good-die and defect free 3D IC can be massively manufactured+.

Keywords : TSV, at speed test, TSV timing defect, pad test, IEEE Std. 1500

I. 서 론

무어의 법칙에 따라 지속적으로 칩의 집적도를 높이는 노력은 계속되고 있지만 칩 면적당 집적도만을 높이는

기에는 한계에 부딪치고 있다. 이러한 한계를 극복하기 위해 TSV(Through Silicon Via)가 제안되었다.^[1~3] TSV란 패키지 되지 않은 다이를 쌓아올린 3D 집적 기술의 한 예이다. TSV는 회로의 집적도뿐 아니라 동작 속도, 전력소모, 제조비용, 발열 등의 문제점을 한꺼번에 해결할 수 있기 때문에 많은 연구가 활발히 진행되고 있다. 또한 NAND 플래시 메모리 분야에서는 삼성 전자, 하이닉스, 및 도시바 등도 TSV 기술을 이용한 3D 셀 개발이 활발히 진행되고 있다.

하지만 이러한 TSV를 이용한 3D 집적 기술은 기존의 방식과는 다르게 신뢰성 제고를 위한 고도의 테스트 기술 개발이 필요하다. 특히 pre-bond 다이의 무결점

* 정회원, LIG 넥스원
(LIG Nex1)

** 학생회원, *** 정회원, 한양대학교 컴퓨터공학과
(Department of Computer Science & Engineering,
Hanyang University)

※ 이 논문은 지식경제부 및 한양대학교 IDEC 플랫폼 센터와 2012년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임. [No. 2010-0026822]

접수일자: 2012년8월9일, 수정완료일: 2012년12월27일

테스트 및 post-bond 3D IC에서 다이간의 연결선 고장 테스트를^[4] 모두 수행할 수 있는 래퍼 테스트 기술 개발이 반드시 필요하다.^[5~9]

3D IC의 TSV에서는 지연고장 테스트를 통해서만 검출 가능한 결함이 상당 수 존재함을 알 수 있다.^[10~11] 최근 IEEE 1500 래퍼셀을 활용하여 지연고장을 테스트할 수 있는 at speed test 기술에 대하여 많은 연구가 진행되고 있다.^[12~14] 본 논문에서는 IEEE 1500 코아용으로 개발된 at speed test 기술을 TSV 테스트의 pre-bond와 post-bond 테스트에 효과적으로 활용하는 테스트 설계기술을 개발하고자 한다.

II. 본 론

1. 패드 및 TSV 연결부위의 균열

랩에서 생산된 다이는 pre-bond 테스트를 위해 각 패드에는 그림 1과 같은 probe tip들과의 접촉이 발생한다^[11]. 각 probe tip의 접촉시 누르는 힘에 의해 접촉된 패드들은 그림 2와 같이 probe mark가 생기며 균열이 발생한다. Probing 횟수가 많아짐에 따라 접촉 횟수가 많아지고 균열의 크기도 더욱 커진다. TSV를 사용한 3D IC에서도 각 TSV의 연결부위에서도 패드와 마찬가지로 probe tip들과 접촉에 의해 균열이 발생한다. 또한, TSV 생성을 위해 via를 뚫는 과정에서 균열이 발생하며 이러한 다양한 원인에 의한 균열들은 신호의 지연

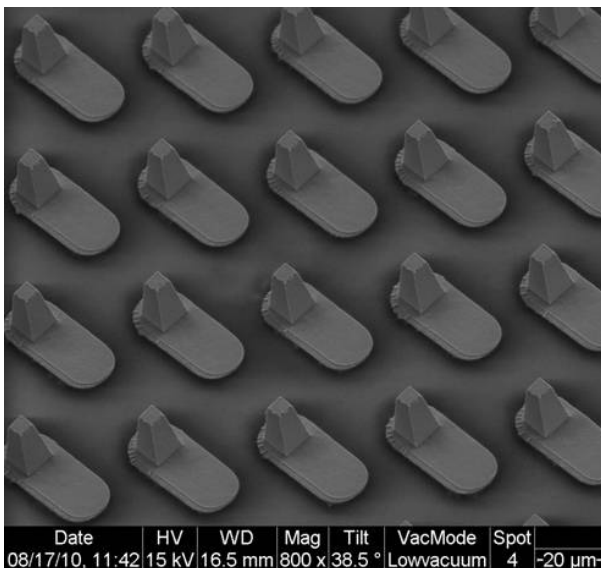


그림 1. Probe tip의 배열
Fig 1. Probe tip array.

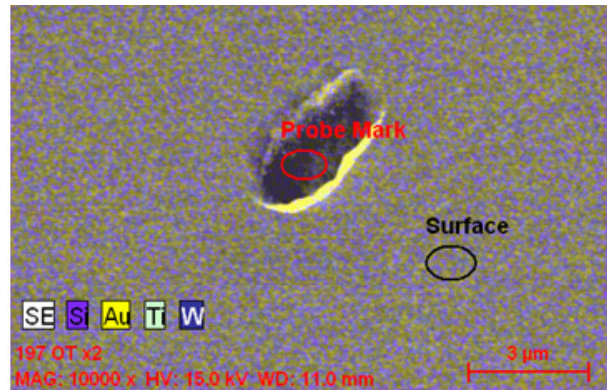


그림 2. Probe tip에 의한 probe mark
Fig 2. Probe mark.

현상으로 나타나 전체 시스템의 오류의 원인이 될 수 있다.^[10]

2. KGD 검증을 위한 TSV 테스트

Pre-bond 다이의 KGD(known-good-die) 검증은 3D stacked IC를 제작하는데 필수적인 과정이다. I/O 래퍼의 지연고장 테스트를 통하여 pre-bond 다이의 TSV 접합부 고장을 검출할 수 있다. I/O wrapper 테스트는 bidirectional I/O 단에 대하여 수행할 수 있는데 표 1에서 보는 바와 같이 IEEE 2002 벤치마크 코아의 I/O 구성은 상당부가 단방향 I/O로 구성되어 있다.

본 논문에서는 IEEE 1500 래퍼셀을 활용하여 TSV 단방향 I/O 래퍼 테스트를 할 수 있는 설계기술을 소개한다.

표 1. ITC'02 SOC 테스트 벤치마크

Table 1. Some general characteristics of the ITC'02 SOC Test Benchmarks.

SOC	Number of				
	Modules	Levels	ΣI/Os	ΣSFFs	ΣTest Patterns
u266	10	2	376	1040	5148569
d281	9	2	2931	882	8818
d695	11	2	1845	6384	881
h953	9	2	929	4657	110
g1023	15	2	3707	1546	2349
f2126	5	2	1597	13996	962
q12710	5	2	13167	12991	4612
p22081	29	3	4283	24723	24890
p34392	20	3	2057	20948	66349
p93791	33	3	6943	89973	22987
t512505	31	2	8663	68051	10479
a586710	8	3	3755	37656	10850894

3. 지연고장 테스트를 위한 IEEE 1500 래퍼셀

래퍼셀에서 지연고장 테스트를 위해서는 0->1 혹은 1->0 의 연속적인 두 패턴을 시스템 클럭에 맞추어서 래퍼셀에서 인가할 수 있어야 한다. 일반적인 래퍼셀은 0 혹은 1의 하나의 값만 저장하고 인가하는데 두 패턴을 인가할 수 있도록 IEEE 1500에서 Transfer 기능으로 제안되었다.^[15] 제안된 래퍼셀의 버블 다이어그램은 그림 3과 같다. SCT(Shift, Capture, Transfer) 플립플롭과 ST(Shift, Transfer) 플립플롭에 두 개의 독립적인 데이터를 저장할 수 있고, 두 플립플롭 사이에 데이터를 교환할 수 있는 전용 경로를 가지고 있어서 Transfer(XFER)가 가능하다. CTI에서 입력된 Shift 데이터는 ST 플립플롭에 저장되며 ST 플립플롭에 저장되어 있던 데이터는 SCT 플립플롭에 저장하며 Shift 동작을 하고, CFI 포트로 입력된 데이터를 캡처하여 SCT 플립플롭에 저장하여 Capture 동작을 한다.

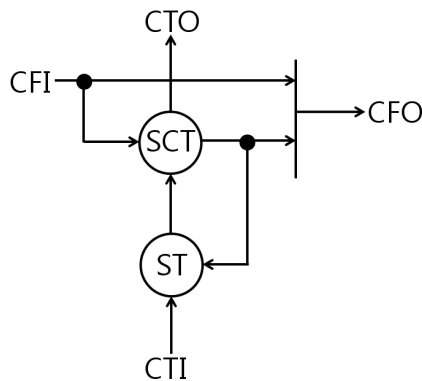


그림 3. IEEE 1500 WS_SD2_CIO 셀 버블도
Fig 3. Bubble diagram of WS_SD2_CIO cell.

Transfer 동작은 SCT 플립플롭에 있던 데이터가 전용 경로를 통해 ST 플립플롭에 저장되며 SCT 플립플롭에는 ST 플립플롭에 있던 데이터가 저장된다. Transfer 동작과 Capture 동작이 동시에 발생이 가능한데 이 경우 SCT 플립플롭에는 CFI 포트로 입력된 값이 저장 된다. 지연고장 테스트에서 drive 셀은 Transfer 동작을 하고, receive 셀은 Transfer + Capture 동작을 통해 두 패턴 입력 및 캡처를 가능하게 한다.

4. Pre/Post-bond TSV 테스트를 위한 IEEE 1500 래퍼셀

4.1. 양방향 TSV 테스트

IEEE 1500의 WS_SD2_CIO 셀을 이용하여 양방향 TSV에 대한 래퍼셀을 구성함으로써 [10]에서와 같은 I/O 래퍼 테스트를 수행할 수 있다. 양방향 TSV의 경우 포트로 drive와 receive가 모두 가능하기 때문에 별도의 수정 없이 패드 테스트가 가능하다.

4.2 단방향 TSV 테스트

단방향 입력 혹은 출력단에 연결된 TSV를 다이 수준에서 테스트하려면 래퍼셀의 내부에서 0->1 패턴 혹은 1->0 패턴을 TSV에 인가하고 인가된 값이 다시 래퍼셀 내부로 Capture 한 다음 외부로 Shift 되어야 한다. 따라서 입력단과 출력단의 셀들이 구조적 차이가 생기며, IEEE 1500의 WS_SD2_CIO 셀 사용이 불가능하다. TSV 패드 테스트를 위해 래퍼셀을 그림 4, 5와 같이 수정하였다. 기본적으로 입력셀에서는 패드로부터 입력된 값이 receive는 가능하지만 패드까지 drive는 불가능 하다. 마찬가지로 출력셀에서는 패드까지의 drive는 가능하지만 패드에서의 값을 receive는 불가능하다. 따라서 추가된 경로는 입력셀에서 패드까지의 drive를 가능하게 하고, 출력셀에서 패드에서의 값을 receive를 할 수 있도록 하였다. At speed test를 위한 두 가지 값을 인가 할 수 있도록 기존의 Transfer 기능을 사용 한다.

그림 4, 5에서 CFI, CFO는 정상 입출력 포트이며, CTI, CTO는 테스트 패턴이 인가되는 Shift 포트 이다. SHIFT 신호가 high가 되면 Dff_1의 입력값은 CTI이

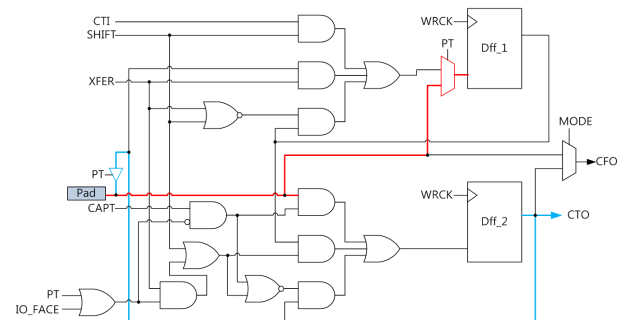


그림 4. 단방향 패드 테스트를 위한 입력셀
Fig. 4. Input wrapper cell for pad test.

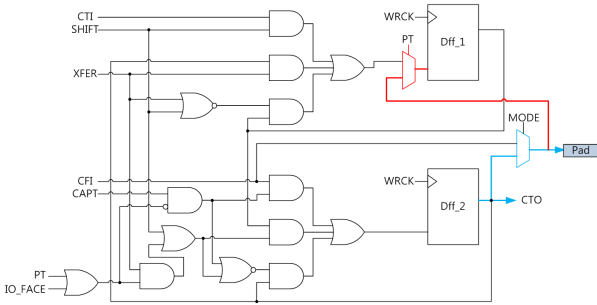


그림 5. 단방향 패드 테스트를 위한 출력셀
Fig. 5. Output wrapper cell for pad test.

되고, Dff_2의 입력값은 Dff_1의 출력값이 된다. Dff_2의 출력값은 CTO 포트로 연결되어 CTI에서 CTO까지의 Shift 경로가 활성화 된다. CAPT 신호가 high가 되면 CFI 포트의 값이 Dff_2의 입력으로 연결되어 Dff_2에 저장 된다. XFER 신호가 high가 될 경우, 각 플립프롭의 입력값은 IO_FACE에 따라 서로의 출력값으로 연결 되어 데이터를 교환하거나 Dff_2 플립프롭이 CFI 값을 캡처 한다. PT(pad test) 신호에 의해 입력셀 혹은 출력셀 모두 Dff_2의 데이터가 패드까지 인가되고, 그 값을 Dff_1에 저장하는 패드 테스트 동작을 하는데 입력셀과 출력셀의 구조적인 차이에 의해 동작 형태가 다르다. 모든 동작은 WRCK 로 동기화 된다.

5. TSV 연결 테스트

그림 6은 스캔 및 경계스캔 체인을 통한 post-bond 3D IC 테스트설계 구조를 보여준다. 기존 2D 기반의 회로에서 스캔테스트를 하는 것과 마찬가지로 내부 회

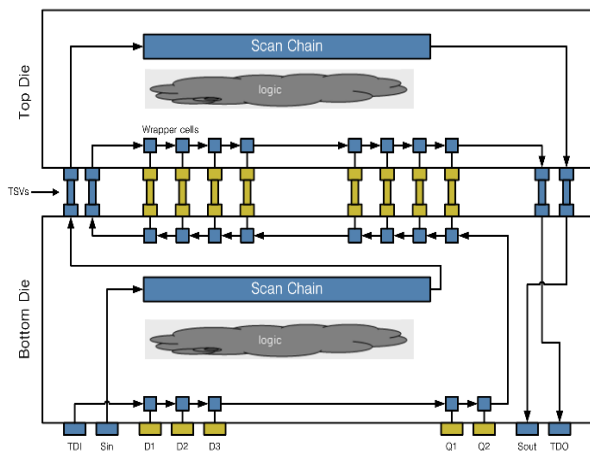


그림 6. 3D DFT 구조의 예시
Fig. 6. Example for 3D DFT.

로의 테스트를 위해서는 bottom 다이의 Sin에서 bottom과 top 다이 내부의 스캔체인을 거쳐 bottom 다이의 Sout으로 테스트패턴을 인가한다. 반면 다이를 연결하는 TSV 테스트를 위해서는 다이의 각 입출력단에 연계되어 있는 경계스캔 체인을 통하여 테스트패턴을 인가하고 관측한다. IEEE 1149.1과 IEEE 1500 경계스캔 테스트는 PCB 내에서 각 칩 간의 연결과 칩 내부의 각 코어 간에 연결을 테스트하기 위한 기술이다. TSV 기반 3D IC에서의 경계스캔 테스트는 bottom 다이의 TDI를 통해서 입력이 들어가 각 다이의 입출력에 연결되어 있는 래퍼셀을 경유하여 TDO로 그 출력이 나와 입출력이 제대로 연결 되었는지를 테스트하게 된다.

III. 실험

1. 제안하는 Pad Test 동작

그림 7은 제안하는 래퍼셀의 pad test 동작시 파형을 보여준다. At speed test를 수행하기 위해 테스트 클락(TCK)로 동작하던 래퍼클락(WRCK)은 2개의 클락이 시스템 클락(SCK)이 인가된다. 패드 테스트를 하기 위한 테스트 패턴이 테스트 입력포트(TI)로 시프트 동작으로 인가되고, 2개의 시스템 클락이 인가되어 패드 테스트를 위한 at speed test 가 수행 된다. 테스트 출력

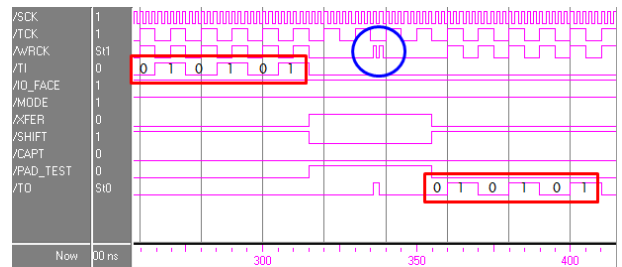


그림 7. 제안하는 pad test 동작 파형
Fig. 7. Wave form for proposed pad test.

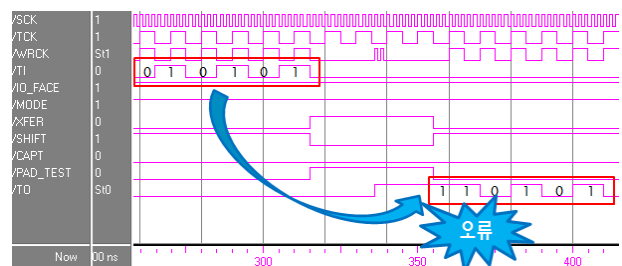


그림 8. 제안하는 pad test 오류동작 파형
Fig. 8. Error wave form for proposed pad test.

포트(TO)로 패드 테스트 결과값을 출력하여 패드의 이상 유무를 확인할 수 있다. 그림 7에서와 같이 패드 테스트를 2개의 클락을 사용 할 경우 입력된 테스트 패턴과 테스트 결과값이 동일하게 나타난다. 그림 8의 파형은 패드 결합이 발생하여 패드에서의 지연이 늘어난 경우를 보여주고 있다. 입력된 테스트 패턴과 출력된 테스트 결과값에서 차이점을 보이며 해당 패드의 위치까지 확인이 가능하다.

2. 래퍼셀의 면적 비교

표 2는 기존의 래퍼셀과 제안하는 래퍼셀의 입출력에 따른 면적 증가 및 at speed test 가능 여부를 보여주고 있다. 입력셀의 경우 16.8%의 면적 증가를 보였고, 출력셀의 경우 16.1%의 면적이 증가됨을 알 수 있다. 하지만 전체 래퍼셀의 면적 증가가 아닌 패드에 물려있는 래퍼셀에서만 면적 증가가 이루어 진다. 또한 양방향 패드인 경우 또한 기존의 래퍼셀을 그대로 사용한다면 전체적인 오버헤드는 줄어들 것이다. 또한 제안하는 래퍼셀을 사용하여 패드의 신뢰성을 보장한다면 pre-bond/post-bond 테스트에서 더욱 높은 수율을 기대할 수 있다. 패드 테스트의 경우 stacking의 어떠한 과정에서라도 수행이 가능하므로 단계적으로 적층시키는 3D IC에서는 그 효과가 매우 크다.

이와 같이 본 논문에서는 입출력 패드 및 TSV의 패드에서 at speed test를 통한 pad test가 가능한 구조를 설계하였고, 이로 인해 pre-bond/post-bond 테스트를 통한 높은 신뢰성과 수율 보장 등의 효율성 높은 설계를 구현하였다.

표 2. 기존 래퍼셀과 제안하는 래퍼셀의 면적 비교
Table 2. Compare previous wrapper cell with proposed wrapper cell.

(단위 : NAND)

	기존의 래퍼셀	제안하는 래퍼셀	
		입력셀	출력셀
면적	31.0	36.2	36.0
사용 가능한 테스트 종류	TSV의 연결 테스트	TSV의 연결 테스트 입출력/TSV 패드의 at speed test (Pre/Post-bond 테스트를 통한 높은 수율 / 신뢰성 보장)	

IV. 결 론

데이터의 고속 통신을 위한 wide I/O 사용과 칩의 적층 기술이 적용된 TSV기반 3D IC의 사용이 빈번해짐에 따라 현재까지 고려하지 않아도 될 문제점이 생기게 되었다. 이러한 문제점 중 하나가 패드 결합이다. 이 같은 문제를 해결할 수 있는 입출력 패드 및 TSV 연결 부위의 pad test는 높은 신뢰성과 수율을 위해 반드시 필요하다. 본 논문에서는 IEEE 1500 표준 래퍼셀의 수정 및 활용을 통해서 pre-bond / post-bond 테스트에서 pad test가 가능한 테스트 기술을 새롭게 제안하였다. TSV의 at speed test가 가능함은 물론, 각 패드의 결합에 의한 지연을 검출하며, pre-bond / post-bond 테스트를 통한 수율 향상으로 제작 단가를 낮추는 효율성 높은 설계를 구현하였다. 이로 인해 빠른 클락 에서도 안정적으로 동작하는지를 확인하는 TSV의 지연고장 테스트 방법 및 높은 수율과 신뢰성을 보장 받을 수 있는 3D IC 테스트 방법을 구현할 수 있었다.

참 고 문 헌

- [1] Robert S. P., "Three-Dimensional Integrated Circuits and the Future of System-on-Chip Designs," Proceedings of the IEEE, vol.94, no.6, pp.1214-1224, June 2006.
- [2] W. Rhett D., John W., Stephen M., Jian X., Hao H., Christopher M., Ambarish M. S., Michael S., and Paul D. F., "Demystifying 3D ICs: the pros and cons of going vertical," Design & Test of Computers, IEEE , vol.22, no.6, pp. 498 - 510, Nov.-Dec. 2005.
- [3] Philip G., Christopher B., and Peter R., "Handbook of 3D Integration: Technology and Application of 3D Integrated Circuits Volume 1 & 2," published by WILEY-VCH Verlag GmbH & Co. KGaA, Weinheim, 2008, ISBN: 978-3-527-32034-9
- [4] Hsien-Hsin S. L., and Krishnendu C., "Test Challenges for 3D Integrated Circuits," Design & Test of Computers, IEEE, vol.26, no.5, pp.26-35, Sept.-Oct. 2009.
- [5] Erik J. M., and Yervant Z., "Testing 3D chips containing through-silicon vias," International Test Conference (ITC) 2009, pp.1-11, Nov. 2009.
- [6] Erik J. M., "Testing TSV based three

- dimensional stacked ICs,” Design, Automation & Test in Europe Conference & Exhibition (DATE) 2010, pp.1689-1694, March 2010.
- [7] Erik J. M., Jouke V., and Mario K., “A structured and scalable test access architecture for TSV-based 3D stacked ICs,” VLSI Test Symposium (VTS) 2010, pp.269-274, April 2010.
- [8] 김화영, 오정섭, 박성주, “Redundancy TSV 연결 테스트를 위한 래퍼셀 설계,” 대한전자공학회, 전자공학회논문지-SD, 제48권 SD편 제8호, page(s): 18-24, 2011년 8월
- [9] 나현석, 김두환, 조경록, “3-D 구조에서 TSV의 전달 지연 분석,” 대한전자공학회, 대한전자공학회 2010년 하계종합학술대회, page(s): 569-572, 2010년 6월
- [10] Pamela G. and Francis W., “Delay test of chip I/Os using lssd boundary scan,” International Test Conference (ITC), pp.83-90, 1998.
- [11] Ken S., Peter H., Mike J., Reed G. and Eric S., “Evaluation of TSV and Micro-Bump Probing for Wide I/O Testing,” International Test Conference (ITC) 2011, pp.1-10, 2011.
- [12] Po-Lin C., Jhih-Wei L., and Tsin-Yuan C., “IEEE Standard 1500 Compatible Delay Test Framework,” IEEE Transaction on Very Large Scale Integration (VLSI) System, Vol. 17, No. 8, August 2009.
- [13] Qiang X., and Nicola N., “DFT Infrastructure for Broadside Two-Pattern Test of Core-Based SOCs,” IEEE Transactions on Computers, Vol. 55, No. 4, April 2006.
- [14] Chih-Yen L., Chen-Hsing W., Kuo-Liang C., Jing-Reng H., Chih-Wea W., Shin-Moe W., and Cheng-Wen W., “STEAC: A Platform for Automatic SOC Test Integration,” IEEE Transactions on Very Large Scale Integration (VLSI) System, Vol. 15, No. 4, April 2007.
- [15] “IEEE Standard Testability Method for Embedded Core-based Integrated Circuits,” IEEE Std 1500-2005, pp.1-117, 2012.

 저 자 소 개



오 정 섭(정회원)

2010년 한양대학교 컴퓨터공학과 학사 졸업.

2012년 한양대학교 컴퓨터공학과 석사 졸업.

2013년~현재 LIG 넥스원 근무.

<주관심분야 : SoC 설계 및 테스트, TSV 테스트>



박 성 주(정회원)-교신저자

1983년 한양대학교 전자공학과 학사 졸업.

1983년~1986년 금성사 소프트웨어 개발 연구원.

1992년 Univ. of Massachusetts 전기/컴퓨터공학과 박사 졸업.

1992년~1994년 IBM Microelectronics 연구스텝.
1994년~현재 한양대학교 컴퓨터공학과 정교수.

<주관심분야 : 테스트 합성, Built-In Self Test, Scan Design, ATPG, ASIC 설계, 고속 신호처리 시스템 설계, 그래프 이론>



정 지 훈(학생회원)

2010년 한양대학교 컴퓨터공학과 학사 졸업.

2010년~현재 한양대학교 컴퓨터공학과 석박통합과정 재학.

<주관심분야 : SoC 설계, Design for Testability, TSV 테스트, 메모리 테스트, 메모리 ECC>