

## 표면전류분석을 이용한 전착도막의 표면 균질성 평가

양원석<sup>†</sup> · 이창용<sup>1</sup> · 정유동<sup>1</sup> · 문만빈<sup>1</sup> · 황운석<sup>1</sup>인하대학교 신소재공학부, 인천시 남구 용현동 253, 현대제철 응용기술개발팀  
(2013년 11월 19일 접수, 2013년 12월 19일 수정, 2013년 12월 20일 채택)

## Steel Surface Uniformity Assessment Method for Electrocoating by Applying Low Current and Voltage

Wonseog Yang<sup>†</sup>, Changyong Lee<sup>1</sup>, Yudong Jung<sup>1</sup>, Manbeen Moon<sup>1</sup>, and Woonsuk Hwang

School of Materials Science and Engineering, Inha University 253, Yonghyundong, Namgu, Incheon, 402-751, Korea

<sup>1</sup>Hyundai-Steel R&D Center, 167-32 Kodae-ri, Songak-eup, Dangjin-si, Chungnam, 343-711, Korea

(Received November 19, 2013; Revised December 19, 2013; Accepted December 20, 2013)

When the automotive body enters an electrocoating tank while applying an electric current, its steel surface is exposed to a very low induced current. Consequently, surface defects of coating may arise if the steel surface has lack of electric uniformity due to local defects such as local oxide. In this study, we investigated the preceding assessment methods to evaluate steel susceptibility of the low induced current during electrocoating before mass production. Prior to general electrocoating, we applied low constant voltage such as 3V or low constant current densities such as 0.35mA/cm<sup>2</sup> and 0.50mA/cm<sup>2</sup>. In result, we confirmed that such methods were efficient for assessing steel susceptibility of low induce current during electrocoating.

**Keywords :** cataphoretic electrocoat, coating defect, surface defect analysis, current analysis, contact angle

## 1. 서 론

용설염에 의한 차량 부식을 일차적으로 억제하는 역할로 사용되는 전착도장은, 다양한 강재들로 이루어진 차체를 전착 욕조에 침지시킨 후, 금속 표면위에 전기화학적으로 고분자 물질을 고착시켜, 건조로에서 블록이소시아네이트의 가교화 반응을 통해 방청성이 우수한 도막을 형성시키는 공정이다.<sup>1-2)</sup> 전착도장은 방청성을 최우선으로 하지만, 강재의 표면조도를 65~80% 개선하여 중상도 도장 품질의 향상에도 기여하고 있다. 최근 자동차 외관품질의 중요성이 증가함에 따라, 강재 표면관리도 강화되는 추세이다. 도장 표면불량은 하나의 인자에 의한 영향이 아니라, 강재의 표면 상태, 부품의 구조적 특성, 도장공정 특성 등 다양한 요인의 복합적인 결과에 의해 나타난다. 특히, 차량경량화를 위해 Si Mn 등 합금량이 증가된 고강력 강판이 적용될 때, 강재 표면의 Si, Mn의 산화물로 인해 인산염 형성불량 혹은 강재 표면의 전기적 불균일로 인하여 국부적인 전착도장 불량이

나타날 수 있다.<sup>3)</sup> 따라서 철강사도 자동차용 강재 개발시 자동차사들과의 긴밀한 협력 하에 도장성을 중요하게 검토하고 있다. 전착도장 공정에서는 균일한 품질확보를 위해, 일정한 주기마다 전착 속도료를 채취하여, 사전에 선정된 특성치 항목들의 변동사항을 지속적으로 관리하고 있다.

전착도막 형성은 국부적 전기장의 세기, 전류와 전압 분포, 부품 및 차체의 구조적 영향 등에 많은 영향을 받는다. 하지만, 소규모로 진행되는 시료 평가의 경우, 양산라인과 실험실과의 공정환경 차이로 인하여 도장 강재와 전처리에 영향을 주는 중요한 인자들에 대한 세밀하고 정확한 평가가 어려운 실정이다.

Fig. 1과 같은 양산라인의 도장 전압 변화에서 알 수 있듯이, 음극과 양극 사이의 간격이 증가할수록, 차체(body in white, BIW)에 미치는 실제 전압은 인가전압보다 훨씬 감소된다.<sup>4)</sup> 이는 전착도료가 500~1000Ωcm(1000~2000uS/cm) 정도의 비저항을 가지고 있기 때문이며, 격막(양극)에서 강재 표면까지의 거리와 구조적인 영향에 의해, 차체에 적용되는 전압은 외판의 경우 적용전압보다 30~70V 낮다.

전착도장시 차체가 전착욕조에 입조될 때, 입조되는 차체

<sup>†</sup> Corresponding author: wsyang@hyundai-steel.com

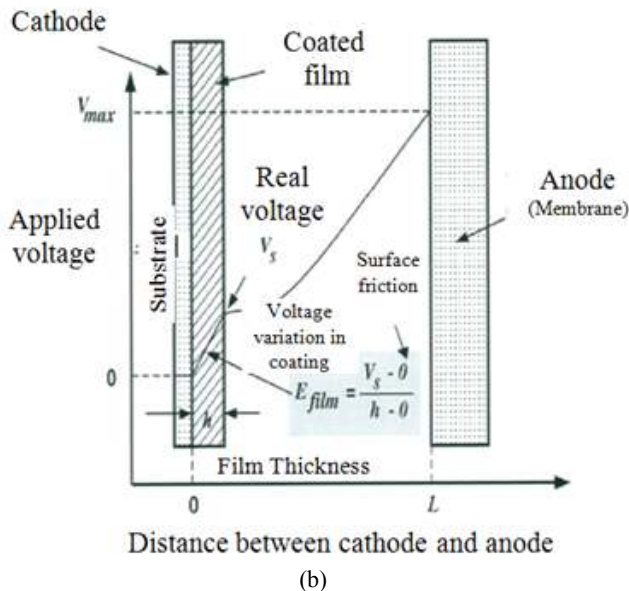
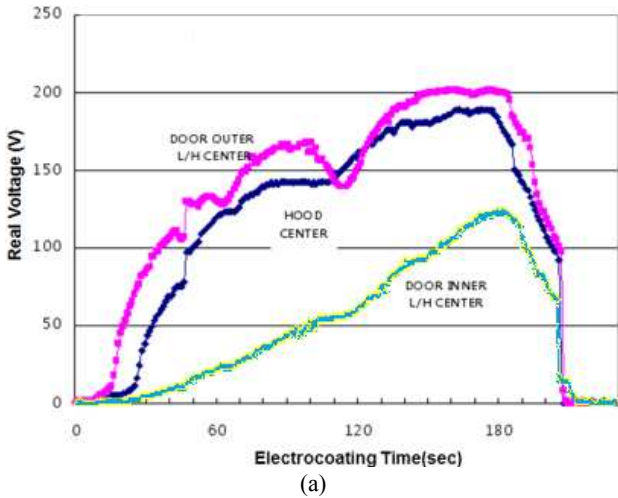


Fig. 1. Voltage change during electrocoating. (a) on the automotive line (door/ hood), (b) Schematic applied voltage variation according to distance from anode<sup>4)</sup>

가 제어장치(limit switch)에 도달될 때까지는 전압이 인가되지 않는다. 그러나, 이미 입조되는 차체 앞쪽에 3~4대가 도장되고 있어, 욕조내 도료에는 미세한 전류가 흐른다. 이때문에, 강재에 대한 도료의 저전류 민감성도 중요하게 고려되고 있다. 초기 저전압상태에서 노출시간의 증가는 도장품질(줄무늬 발생등)에 해로운 영향을 미칠 수 있고, 이러한 결과를 역이용할 경우 도장 전 강재 상태에서의 표면 평가가 가능할 것이라고 판단된다. 이에 본 연구에서는 종래 실험실 전착특성 평가법과 다르게, 일정한 낮은 전압을 인가한 후, 일반적인 전착도장을 실시하여 초기 저전압상태가 도장품질에 미치는 영향을 평가하였고, 이와 같은 도장법이 강재 표면의 건전성을 평가하는 방법으로 적용될 수 있는지 확인하였다.

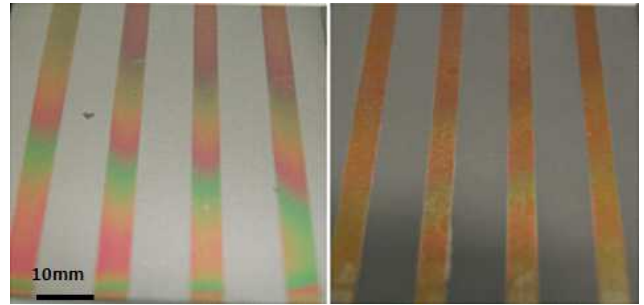


Fig. 2. Sputtered Si specimens for electrocoating.

## 2. 실험 방법

본 연구에서 강재 표면의 전기적 불균일성을 평가하기 위하여, 정전류와 정전압, 두 가지 방법을 사용하였다.

### 2.1 도료와 시험편의 준비

정전류 도장시험에서는 두께 0.8mm x 폭 70mm x 길이 150mm 크기의 합금화용융아연도금강판(Galvaneel steel, GA)을 사용하였다. 이 시험편들을 자동차 차체 양산도장라인에서 Door에 부착하여, 탈지-표면조정-인산아연처리 순으로 전처리를 실시한 이후, 폭 40mm x 길이 100mm 크기로 전처리면을 노출시키고 나머지는 절연테이프로 은폐(masking)하였다.

정전압 도장시험에서는 인위적으로 표면의 저항을 변화시키기 위해서, Fig. 2와 같이 두께 0.8mm x 폭 70mm x 길이 150mm 크기의 냉간압연강판(SPCC)에, 1cm 간격으로 폭 5mm의 99.99% 실리콘을 진공 증착시켰다. 실리콘증착은 삼원진공의 Radio frequency magnetron sputtering system을 이용하였으며, 이때 sputter 내부압력, 파워, 증착시간은 각각  $4.1 \times 10^{-2}$  torr, 250W, 2시간30분이었다. 증착된 시험편을 실험실에서 탈지-표면조정-인산아연처리 순으로 전처리한 후, 폭 50mm x 길이 80mm 크기만 남기고 모두 절연테이프로 은폐하였다. 도료는 양산 라인에서 사용하고 있는 간사이페인트(주)의 NT-100(도료 A)과 NT-200(도료 B)를 사용하였다.

### 2.2 전착도장 및 전기적 특성평가

정전류 시험에서는 TAKASAGO CCP500-1의 정류기를 사용하여, 양극/음극의 비율을 1/2, 도료 온도 28℃, 극간거리 15cm로 하였다. 도료 A, B에서  $0.35 \text{ mA/cm}^2$ 와  $0.5 \text{ mA/cm}^2$ 의 전류 밀도를 인가하여 시간에 따른 전압변화를 측정하였다. 이때 전압변화 기록은 HIOKI8835 memory hirecoder로 측정하였으며, 250V에 도달하는 시간의 차이와 그래프 형태를 평가하였다.

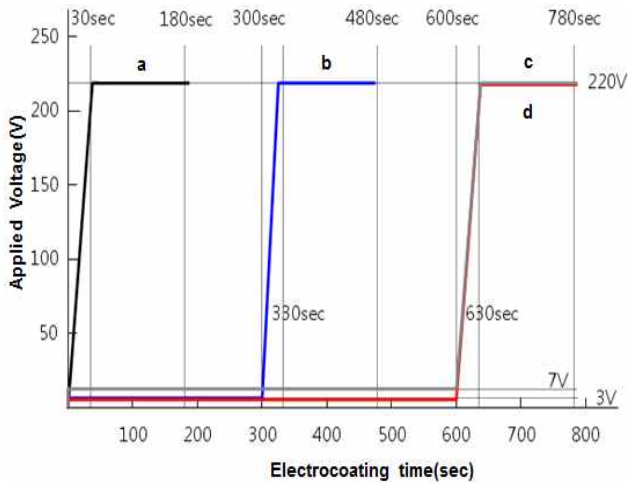


Fig. 3. Applied voltage condition for electrocoating.

정전압 시험에서는 TAKASAGO EC-02 정류기를 사용하여 Fig. 3과 같은 조건으로 전압을 인가하였다. 전착도장은 전착도료 B를 사용하였고, 양극/음극비를 1/2, 욕도료 온도  $28.5 \pm 0.5^\circ\text{C}$ , 극간거리 15cm에서 실시하였다. 이때, Fig. 3의 정전압을 인가하면서 시간에 따른 전류치를 측정하였으며, 전류곡선을 관찰하였다.

### 2.3 외관 결함평가

줄무늬와 얼룩 등 외관결함은 광학현미경과 주사전자현미경(SEM)으로 도장면과 단면을 관찰하였다.

### 2.4 표면 조도 및 접촉각

SEO사의 P300을 이용하여 강제와 도막의 접촉각을 측정하였으며, Mitutoyo의 Surftest SJ-301로 Cut off 0.8mm

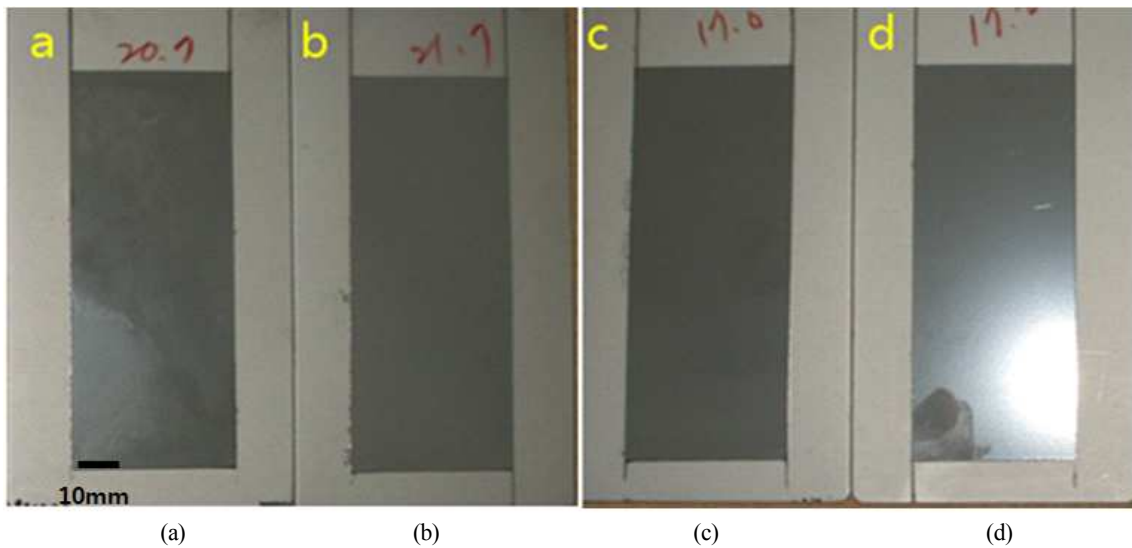


Fig. 4. Coatings appearance by applying constant current density. (a) A,  $0.35\text{mA}/\text{cm}^2$ , (b) B,  $0.35\text{mA}/\text{cm}^2$ , (c) A,  $0.50\text{mA}/\text{cm}^2$ , (a) B,  $0.50\text{mA}/\text{cm}^2$

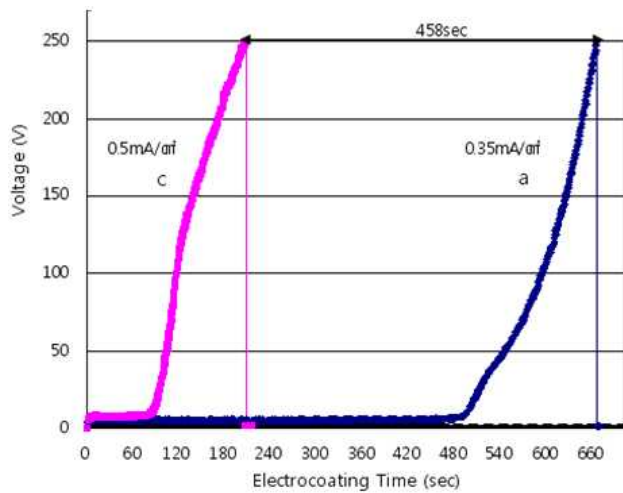


Fig. 5. Voltage change by applying constant current(A).

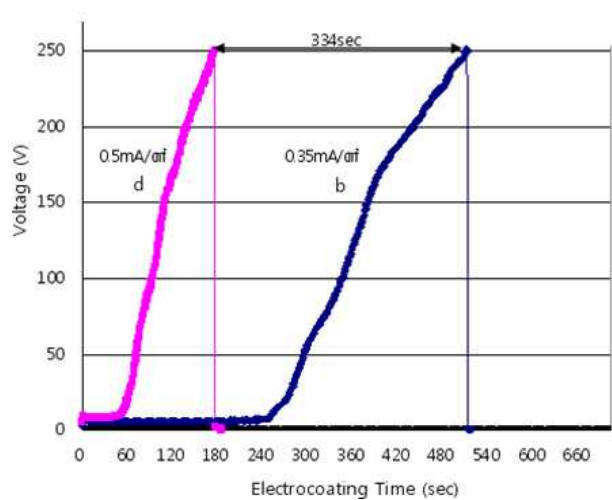


Fig. 6. Voltage change by applying constant current(B).

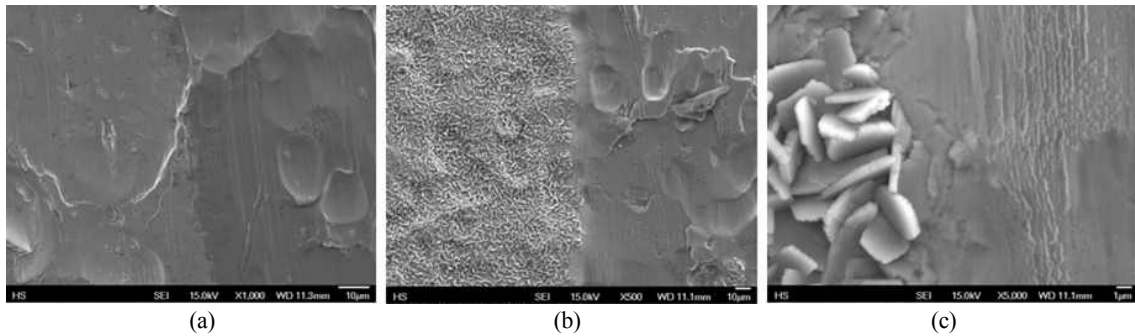


Fig. 7. SEM images of bare steel and phosphated steel. (a) bare steel(x1K), (b) phosphated steel(x0.5K), (c) phosphated steel(x5K)

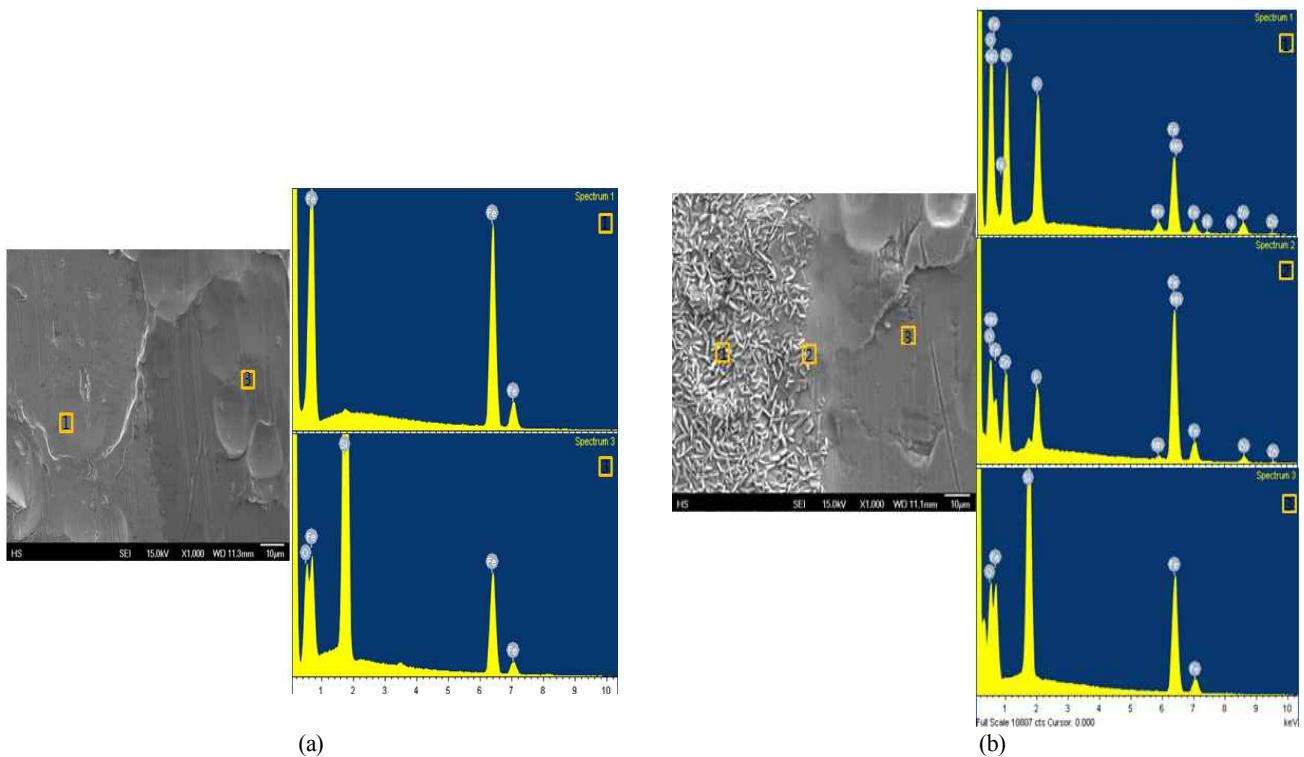


Fig. 8. SEM-EDX results on the bare steel and phosphated steel. (a) bare steel, (b) phosphated steel

에서 시험관들의 표면조도(Roughness average, Ra)를 측정하였다.

### 3. 결과 및 고찰

#### 3.1 정전류 도장특성

도료 A와 B에서 인산아연 처리된 용융아연도금 시험편을 음극으로 하여 각각 0.35mA/cm<sup>2</sup>와 0.50mA/cm<sup>2</sup>의 정전류를 인가하면서, 전압이 250V에 도달할 때까지 시간에 따른 전압 변화를 관찰하고, 그 결과를 Fig. 4~6에 나타내었다. Fig. 4는 정전류 도장시험후, 전착도막의 외관을 나타낸 것이다. 시험편을 도료 A에서 전류밀도를 0.35mA/cm<sup>2</sup>로 도장된 a 시험편에서는 얼룩이 나타나고 있다. 반면 도료 A의 0.5mA/cm<sup>2</sup>

와 도료 B의 0.35mA/cm<sup>2</sup>, 0.5mA/cm<sup>2</sup> 인가전류에서는 어떠한 얼룩도 나타나지 않았다. Fig. 5와 Fig. 6은 도료 A와 B에서 GA 강판을 이용하여, 정전류 전착도장시간에 따른 전압변화를 각각 나타낸 것이다. Fig. 5에서 0.35mA/cm<sup>2</sup>와 0.50mA/cm<sup>2</sup>로 도장할 때, 두 정전류값에서 250V에 도달되는 시간은 458sec로, Fig. 6의 도료 B에서의 334sec보다 매우 길게 나타났다. 본 결과는, 정전류 인가조건 0.35mA/cm<sup>2</sup>와 0.50mA/cm<sup>2</sup>의 250V 도달 시간차와 전압변화 개시 시간이 긴 도료일수록 GA 강판의 얼룩들이 쉽게 발생한다는 것을 보여주고 있다. 또한, 전착도막에서 발생하는 얼룩들은 상대적으로 저전류영역에서 발생되고, 이는 도료의 종류마다 다르다는 것을 알 수 있다. 전착도막을 형성하기 위해서는 일정전류밀도(최소 석출전류밀도)이상의 전기분해환경이 구성되어 충분

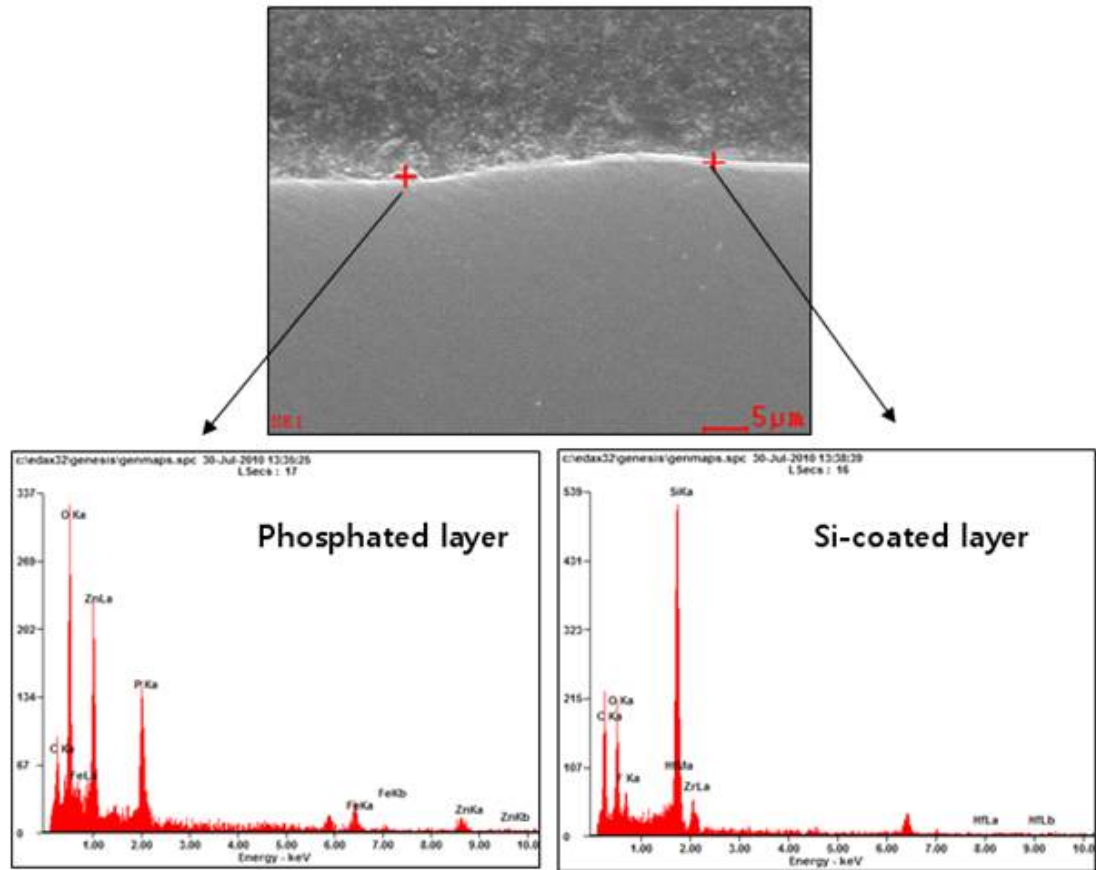


Fig. 9. SEM-EDX of cross-section of Si coated and phosphated steel.

한 수산화 이온(OH<sup>-</sup>)이 형성되어야 도막이 형성이 시작되지만, 이는 도료마다 차이가 있다. 최소 석출전류밀도 이하에서는 전기분해가 일어나고 국부적으로는 도막이 형성된다 하더라도 도료내 용제와 산에 의해 재용해되므로 실제 도막은 형성되지 않는다. 그러나, 국부적으로 소재 표면의 전기적 상태가 매우 불균일하거나, 저전류밀도에서 전류 분배성이 약한 도료일 경우, 또한 전착도장공정에서 차체 입조부터 전착도장이 개시되는 시점까지의 시간이 길수록, 얼룩이 쉽게 발생될 수 있다고 간주할 수 있다.

또한 본 실험은 정전류 인가실험으로, 실험실에서 강제 변화에 따른 도료의 저전류에서의 민감성을 확인하고 전착도장라인의 초기 과정을 모사할 수 있는 실험방법으로 사용할 수 있다고 생각된다.

### 3.2 정전압 도장특성

정전류를 인가하는 전착도장 시험법은 저전류 조건에서 도료에 따른 소재의 전기적 민감성을 확인할 수 있다. 이와 유사하게 정전압을 인가하는 전착도장 시험법으로도 강제 표면의 불균일성을 확인할 수 있다고 판단된다. 많은 전착도장 시험기들이 전류보다는 전압을 제어하도록 설정되어 있

고, 도장라인에서도 전압의 제어를 통하여 규정 도막두께를 얻는다. 그러므로, 정전압으로 도장라인의 특성을 모사하는 방법을 개발하는 것은 매우 필요하다. 그러나, 임의 시험편에서, 미세한 정전압을 인가하여 강제표면의 불균일성을 확인하는 것이 어렵고 최소임계전류치도 확인하기 어려우므로, 본 실험에서는 소재 표면의 전기적 특성이 차이가 발생하도록 사전에 인산염처리를 하지 않은 시험편에 99.99% 실리콘으로 증착시킨 시험편(Fig. 2)에 도장시험을 행하였다. Fig. 7(a)는 인산염 미처리 시험편에 실리콘 증착코팅을 실시한 것을 나타낸 것이다. 중앙부를 경계로 좌측이 테이프 은폐를 통해 실리콘 증착코팅이 되지 않은 곳이고 우측이 실리콘 코팅이 실시된 것이다.

Fig. 7(b) (c)는 실험실에서 인산염 처리된 시험편의 image이다. Fig. 7의 표면 관찰과 Fig. 8과 Fig. 9의 EDX 결과로 실리콘 코팅되지 않은 곳은 인산염 피막이 잘 형성되었으나, Si 코팅층위에는 전혀 인산염이 형성되지 않았다는 것을 알 수 있다.

Fig. 2(b)와 같이 인산염 처리된 시험편을 도료 B에 침지한 후, (a) 저전류 미인가 (b) 3V-300sec, (c) 7V-600sec, (d) 3V-600sec의 조건으로 정전압을 인가하고, 30sec동

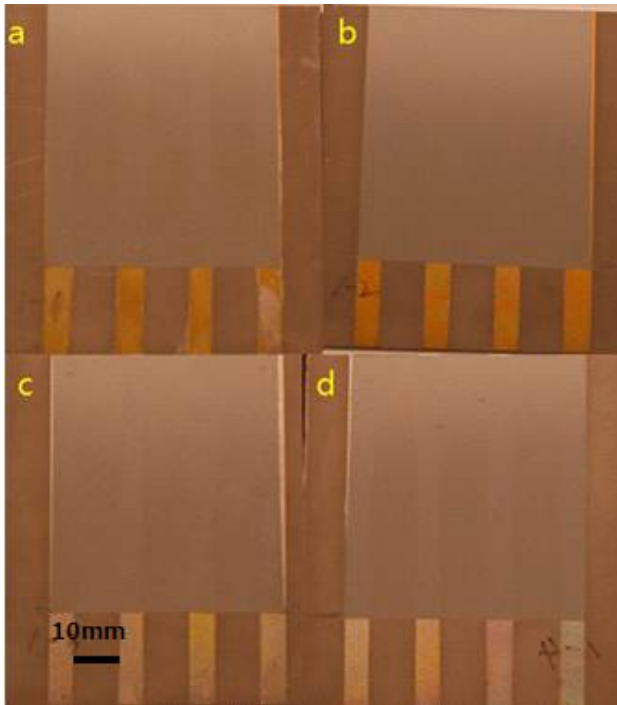


Fig. 10. Coatings appearance of electrocoated sample.

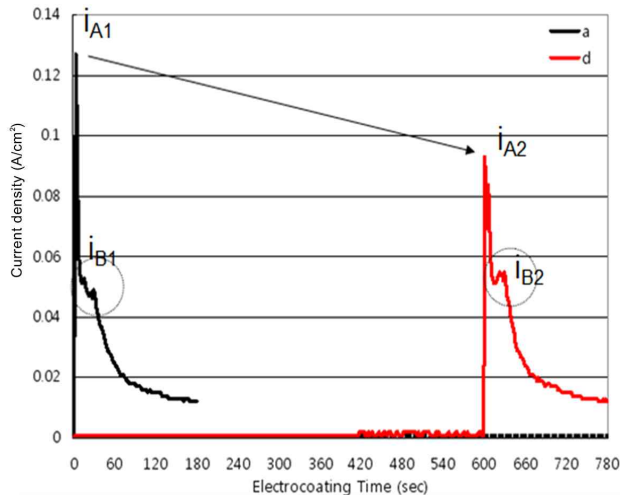


Fig. 11. Current density change by applying constant voltage.

안 규정전압까지 일정하게 상승(Soft start)시킨 후, 150sec 동안 유지하면서 시간에 따른 전류변화를 측정하였다. 또한, 전착 도장 후  $2\mu\text{S}/\text{cm}$ 이하의 이온교환수로 세척하고 건조한 후, 외관을 확인하였다. Fig. 10의 결과에서 보여지듯이 실리콘 증착된 곳의 도장면과 실리콘 미처리 도막면의 줄무늬가 (d)시험편으로 갈수록 심하게 보이고 있다. (c)와 (d)의 시험편을 살펴보면, 7V를 인가한 쪽보다 3V를 인가한 시험편의 도장면위에 줄무늬가 명확하며 실리콘 증착면의 결함도 관찰되고 있다. Fig. 11은 Fig. 13(a)와 (d)를 정전압 전착도장하

면서, 측정된 도장시간에 따른 전류치 변화의 결과이다. 220V정전압을 인가하기 전, 3V-600sec동안 저전압을 인가한 (d)는 저전류를 인가하지 않고 220V로 전압을 즉시 인가한 (a) 보다 1차 최대 전류치는 127mA 에서 93mA 로 매우 낮아진다. 또한, 30sec동안 일정하게 220V동안 전압을 상승시킨 이후에 나타나는 2차 최대 전류치도 (a) 48mA에서는 매우 작은 반면, (d) 55mA에서는 뚜렷하게 확인되고 있다. 1차 최대전류치와 2차 최대전류치의 비를 계산하면, (a)에서는 0.378이나, (d)에서는 0.591로 높게 나타나고 있다. Sato<sup>5)</sup>는 냉간압연강판, 합금화용융아연강판, 전기아연도금강판등을 비교하여 2차/1차 최대전류치 비가 낮을수록 Crater 같은 도료의 결함은 작아진다고 보고하였다. 전착도료는 양이온으로 대전된 미셀(Micelle)이어서 전도성을 가지고 있지만, 전착도막은 그 미셀이 전기화학적으로 수소이온을 배출하고 절연피막으로 바뀐 것이어서 저항이 매우 높다. 또한, 강재의 표면은 인산염 처리가 되어도 매우 거칠고 기공이 많다. 정전압 도장시험은 정전류 도장시험의 경우와 같이, 최소전류밀도 이상의 전류가 인가될 때, 국부적인 전기적 불연속면에서 부도체인 도막이 미세하게 축적되어 표면저항이 상승되므로, 저전압에서 장시간 도장 시험을 실시하면 1차 최대전류치가 낮아진다. 실험실에서 저전압 인가과정을 실시한 후, 일반적인 전착실험을 실시하면 표면의 전기적 불연속면들을 확인할 수 있다고 판단된다. 30초간 등전압상승 후에 2차 전압이 상승하는 이유에 대해, Vatisas<sup>6)</sup>등은 전기응석-혼합 메커니즘으로 설명하였다. 전착도막이 국부적으로 균일도막으로 형성되지 않고, 불균일 석출로 인해 초기 도막생성시 결함들이 많다. 이 결함부들에서 전류집중이 나타나, 다시 전류치가 상승된다고 판단된다.

### 3. 결론

소재표면의 전기적 불균일로 인해, 양산도장라인에서 도막 얼룩이나 줄무늬, Crater등 표면품질결함을 사전에 실험실에서 확인하는 방법으로 정전류법 및 정전압 시험법을 행하여 다음과 같은 결론을 얻었다.

- (1) 0.35mA/cm<sup>2</sup>와 0.50mA/cm<sup>2</sup>의 정전류로 인가된 도장실험에서 250V 도달 시간차와 전압변화 개시시간이 긴 도료일수록 GA 강판의 얼룩들이 쉽게 발생하였다.
- (2) 저전압인가 정전압 도장시험에서, 인위적으로 실리콘 증착을 통하여, 표면을 전기적으로 불균일하게 만든 후, 3V 와 7V 의 저전압을 일정시간 인가하여 일반적 도장 시험을 실시했을 때, 3V 에서 오랜시간 노출될수록 표면의 전기적 불균일성을 극대화되는 결과를 얻었다.
- (3) 정전압도장시험에서 1, 2차 최대전류치 형태를 분석함으로써 정전류법과 같이 강재의 불균일성을 예측하는 것이 가능하다는 결과를 얻었다.

- (4) 일반적인 도장시험을 행하기 전에, 3V 정도의 낮은 정전압을 인가하거나, 0.35mA/cm<sup>2</sup>와 0.50mA/cm<sup>2</sup> 정전류를 인가하며 규정전압도달 시간을 측정하는 방법은, 양산 전 실험실에서 강제 불균일성을 선형 평가하는 방법으로 사용이 가능하다고 판단된다.

### 사 사

본 연구는 인하대학교의 지원에 의해 수행되었으며, 이에 감사드립니다.

### References

1. G. Fettis, *Automotive Paint and Coatings*, p.28 VCH (1995).
2. E. Almeida, I. Alves, C. Brites, L. Fedrizzi, *Prog. Org. Coat.* **46**, 8 (2003).
3. H. S. Park, *POSCO Research*, **12**, 96 (2007).
4. K. Ellwood and J. L. Tardiff, *Development of a Full Vehicle Electrocoat Paint Simulation Tool*, SAE2007-01-0468 (2007).
5. N. Sato, S. Tanaka, *ISIJ* **72**, 852 (1986)
6. N. Vatisstas, N. Marcetic, *Prog. Org. Coat.* **38**, 127 (2000).