

DC/DC 컨버터의 파라미터 변화를 고려한 구간분석법 기반 제어기 설계

Interval-based Controller Design Considering Parameter Variations for DC/DC Converters

최 성 진*
(Sungjin Choi¹)

¹School of Electrical Engineering, University of Ulsan

Abstract: By performing interval analysis on the system transfer function, we propose an improved method of control loop design for a DC/DC converter. In conventional design methods, the effect of system parameter change due to the specified range of operating conditions and production tolerances in power components should be checked a posteriori, because this may result in a transfer function shift and performance degradation. In the proposed method, a possible parameter change is considered a priori in the design step in order that the desired crossover frequency and sufficient phase margin can be achieved even in the worst case condition. As an illustrative example, a buck dc/dc converter is designed by two different methods and performance comparisons are performed to verify the feasibility of the proposed scheme.

Keywords: interval analysis, interval arithmetic, control loop design, dc/dc converter

1. 서론

모바일 컴퓨팅 기술 및 디지털 응용기기의 발달에 따라서, 직류 전압을 원하는 직류 전압으로 변환시켜 공급해주는 DC/DC 컨버터가 다양한 응용범위에 사용되고 있다. 특히 전원이 불안정하면 전체 시스템의 성능에 나쁜 영향을 주기 때문에 고가의 시스템일수록 고품질, 고신뢰성의 DC/DC 컨버터 설계가 필요하다. DC/DC 컨버터의 설계목표는, 주어진 설계 사양서에 명기된 입력전압범위 및 부하전류(혹은 부하저항 또는 부하전력)의 범위에서 동작할 때 항상 출력전압을 일정하게 유지하되 출력전압의 리플(ripple)은 크지 않아야 하고, 급격한 출력 부하전류 변화에도 출력전압을 일정하게 유지 되도록 제어하여 안정도를 충분히 확보하는 것이다. 일반적으로 DC/DC 컨버터의 설계는 주로 주파수영역에서 이루어지고, 설계사양서도 제어대역폭(control loop bandwidth) 또는 크로스오버 주파수(crossover frequency)와 위상여유(phase margin) 등 주파수 영역의 성능을 요구하고 있다[1,2].

그림 1은 본 논문에 사용할 전압제어 Buck 컨버터의 구조이며, 표 1은 설계 사양서이다. 정상상태를 만족하도록 인덕터와 캐패시터 등 파워소자의 값을 먼저 설계하고, 파워단에 대해 동적 특성을 만족하는 제어기 설계를 진행하는 것이 통상적인 DC/DC 컨버터의 설계과정인데, 특히 제어기 설계에 있어서는 문헌[3,4]와 같이 주파수 해석에서의 소신호 해석에 기반하여 제어 보상을 설계하는 것이 일반적이다.

이러한 기존 설계방법에서는 두 가지 문제점이 있는데, 첫

째는 소신호 등가모델의 한계로 인해 입력전압과 부하전류의 조건이 변하면 컨버터의 전달함수 자체가 변하기 때문에 시스템의 안정도가 깨지거나 동적인 특성이 나빠져서 설계 사양을 벗어날 수 있다는 것이다. 이 문제를 해결하기 위해서 문헌[3]에서는 어느 하나의 동작조건에 조합에서 제어기 설계를 마친 후에 동작조건을 변화시키면서 성능을 살펴보는 방식을 사용하고 있다.

두 번째 문제는 파워소자의 부품값 공차를 고려하지 못한다는 것인데, 파워소자의 공차는 제조공정에서 생기는 산포(distribution)나 사용연한에 따른 경년변화(aging) 뿐만 아니라 온도로 인한 드리프트(drift)현상에도 원인이 있기 때문에 이를 설계 단계에서 미리 고려할 필요가 있다.

구체적으로 온도에 의한 드리프트 현상의 예를 들면 분말 자성코어 및 페라이트코어로 제작된 공극형(gapped) 인덕터의 경우는 섭씨 25도 대비 120도까지의 인덕턴스 변화율은 그림 2(a)와 같이 약 -5%이다[5]. 또한, 출력단에 쓰이는 파워

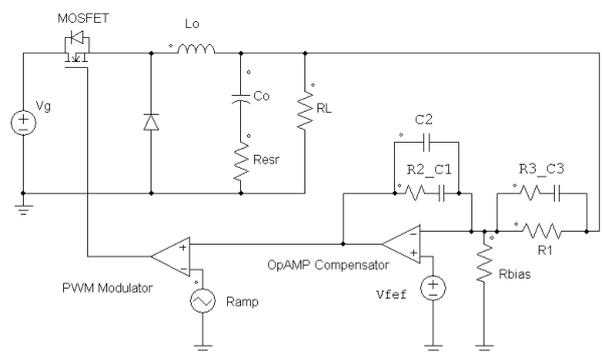


그림 1. 전압제어형 Buck 컨버터 구조.
Fig. 1. Voltage-mode buck converter.

* 책임저자(Corresponding Author)
Manuscript received April 12, 2013 / revised August 19, 2013 / accepted September 2, 2013
최성진: 울산대학교 전기공학부(sjchoi@ulsan.ac.kr)
※ 이 논문은 2013 제 28회 ICROS 학술대회에 초안이 발표되었음.
※ 본 연구는 2011년 울산대학교 연구비에 의하여 연구되었음.

표 1. 컨버터 설계사양서의 예.

Table 1. Design specification for a buck dc/dc converter.

항목	값	항목	값
입력전압범위(V_G)	10~20V	출력부하범위(R_L)	0.5~5Ω
출력전압(V_O)	0.5~5Ω	출력리플($\Delta V_O/V_O$)	≤2%
인덕터전류리플(ΔI_L)	≤1A	스위칭주파수(f_{sw})	100kHz
제어루프대역폭(f_c)	≥5kHz	위상여유(PM)	≥45°

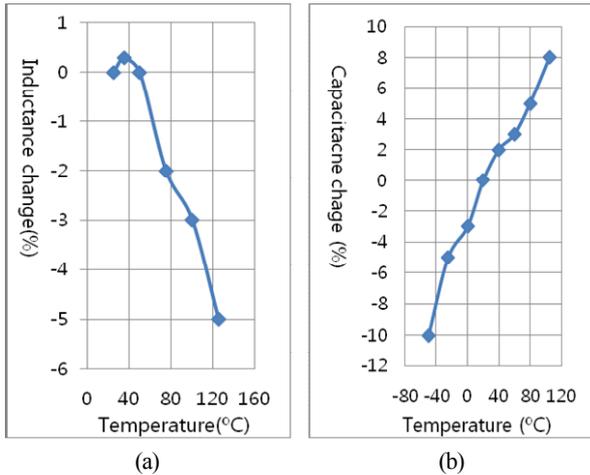


그림 2. 동작온도에 따른 파워소자값 변화.

Fig. 2. Power component value variations according to operating temperature changes.

용 전해캐패시터에 대한 제조사의 데이터를 살펴보면 캐패시턴스값의 변화는 그림 2(b)와 같이 -50도에서 105도까지의 온도변화에 따라 -10%부터 +8%까지 변한다[6].

이러한 문제를 해결하기 위해서는 공차설계(tolerance design)의 개념을 적용해야 한다[7]. 공차설계 기법을 DC/DC 컨버터의 제어기 설계에 적용한 연구로는 제어기 구성부품의 공차를 고려한 문헌[8]이 있지만, 이러한 제어신호용 부품의 경우 파워 부품에 비해 부품가격이 비싸지 않으므로 고정밀 부품으로 대체가 가능하고, 제어기 자체의 동작온도조건은 양호한 편이기 때문에 공차설계를 통해 얻는 실질적인 잇점이 크지 않다고 할 수 있다. 또한 문헌[3,4]에서 채택한 바의 기존 DC/DC 컨버터의 제어기 설계방법은 동작점을 하나의 조건에서 가정하여 설계 한 뒤에 동작점 변화에 따른 안정도 변화를 점검하는 방법으로서 시행착오가 필요한 접근법이며, 또한 부품공차에 대한 영향을 설계 단계에서 체계적으로 고려할 수도 없었다.

따라서 본 논문에서는 컨버터의 설계과정에서 입력전압범위와 출력전류범위와 같은 동작점 조건뿐만 아니라, 예상되는 범위내에서 파워부품의 특성변화 범위까지 미리 고려하는 새로운 설계방식을 제안하고자 한다. 이는 구간분석법(interval analysis)을 통해서 가능하였는데, 본 논문에서는 회로의 구동조건변화 및 파워단소자 공차를 고려할 때 구간분석법을 적용할 것이며, 제안된 방법이 컨버터의 파워단 및 제어기 설계에 사용할 수 있음을 검증할 것이다.

논문은 다음과 같이 구성되어 있다. 먼저 II 장에서 구간변수 및 구간함수의 정의에 대해 간략히 살펴본다. III 장에서는

파워단 설계를 위한 설계식을 도출하고, 이를 토대로 IV 장에서 구간분석법을 이용한 제어기 설계방법을 제안한다. V 장에서는 제안된 방법에 따른 시스템 설계의 예를 들어서 그 성능을 검증하여 VI 장에서 결론을 도출한다.

II. 구간변수 및 구간함수의 정의

본 논문에서 사용할 구간변수(interval variable)는 일정범위 범위에서 닫힌 실수의 집합으로서 다음과 같이 정의한다.

$$X' = [a, b] = \{x | a \leq x \leq b, x \in R\} \quad (1)$$

이때, 만일 $f(x)$ 가 실수 x 에서 정의되고 실수값을 가지는 실수함수이면, 구간변수에서 정의되고 구간값을 가지는 구간함수(interval function)를 마찬가지로 다음과 같이 정의할 수 있다.

$$f' = f(X') \quad (2)$$

본 논문에서는 구간변수 및 구간함수는 윗첨자 I를 붙여서 실수변수 및 실수함수와 구분하도록 한다.

III. 구간분석을 이용한 파워단 설계방법

본 절에서는 먼저 대표적인 DC/DC 컨버터인 Buck 컨버터의 동작분석을 통해 파워단 설계를 위해 필요한 구간변수들을 정의하고, 설계식을 도출한다. 그림 1의 Buck 컨버터는 MOSFET 스위치가 ON일때 인덕터 전류가 증가하고, 스위치가 OFF일때의 인덕터전류는 감소하는데, 이러한 PWM 듀티(duty) 제어를 통해 스위치 개폐를 반복하여 정상상태를 유지한다. 이때 인덕터에 흐르는 평균전류는 부하전류와 동일하다. 인덕터 전류가 완전히 0으로 떨어지지 않는 연속전류모드(CCM: Continuous Conduction Mode)에서만 동작하도록 설계한다고 가정하면, 입력전압을 V_G , 출력전압을 V_O , 동작주파수를 f_{sw} , 스위치 ON 구간의 듀티를 D , 출력 인덕터값을 L 이라고 할 때, 인덕터 전류의 증가량은 식 (3)와 같이 주어지고, 인덕터 전류감소량은 식 (4)와 같다.

$$\Delta I_{L,INC} = \frac{(V_G - V_O)D}{L \cdot f_{sw}} \quad (3)$$

$$\Delta I_{L,DEC} = \frac{-V_O(1-D)}{L \cdot f_{sw}} \quad (4)$$

시스템이 정상상태를 유지하는 조건에서는 인덕터에 자속균형(magnetic flux balance)이 항상 성립해야 하고, 인덕터의 최대 리플전압은 전류의 증가량 또는 감소량과 같으므로, 식 (5)가 항상 성립하며, 다시 식 (3), (4), (5)를 이용하면 식 (6)을 얻는다.

$$\Delta I_L = \Delta I_{L,INC} = -\Delta I_{L,DEC} \quad (5)$$

$$D = \frac{V_O}{V_G} \quad (6)$$

여기서 식 (4)와 (5)를 이용하고 식 (6)에 의해서 종속변수 D 를 소거하면, 인덕터의 최대 전류리플을 제한하는 조건(7)을 얻는다. 이 조건은 인덕터의 자속포화현상을 막기 위해서는 반드시 필요하다.

$$\Delta I_L = \frac{V_O}{L \cdot f_{sw}} \left(1 - \frac{V_O}{V_G} \right) \leq \Delta I_{L,max} \quad (7)$$

한편, 컨버터는 연속전류모드에서만 동작하므로 스위치 OFF시 인덕터의 전류는 항상 0 이상이 되어야 하고, 따라서 (8)의 조건이 성립한다.

$$I_O = \frac{V_O}{R_L} \geq \frac{-\Delta I_{L,DEC}}{2} \quad (8)$$

여기서 입력전압범위와 출력부하조건의 범위는 서로 종속되지 않는 독립변수이므로 다음과 같이 독립 구간변수로 각각 정의한다.

$$V_G' = [V_{G,min}, V_{G,max}] \quad R_L' = [R_{L,min}, R_{L,max}] \quad (9)$$

이러한 구간변수 정의와 식 (7) 및 (8)로부터 다음과 같은 인덕터의 설계식을 얻을 수 있다. 즉, 구간변수 (9)가 정의되면 식 (10)과 (11)을 모두 만족하도록 출력 인덕터값(L_O)를 설계해야 한다.

$$L \geq \frac{R_L'}{2f_{sw}} \left(1 - \frac{V_O}{V_G'} \right) \quad (10)$$

$$L \geq \frac{V_O}{f_{sw} \Delta I_{L,max}} \left(1 - \frac{V_O}{V_G'} \right) \quad (11)$$

한편, 출력전압리플 또한 중요한 성능 파라미터인데, 이 값은 출력 캐패시턴스 값에 의한 저역 통과 필터링의 정도뿐만 아니라, 캐패시터 소자가 가지고 있는 ESR 저항값에 매우 큰 영향을 받는다[3]. ESR값과 캐패시터 값의 곱은 캐패시터의 내부 손실(loss tangent)과 관계가 있으며, 이를 τ_c 라고 정의하면 캐패시터 제풀라인업이 정해지면 거의 일정한 값을 가지며, 본 논문에서는 10×10^6 값을 가정하기로 한다.

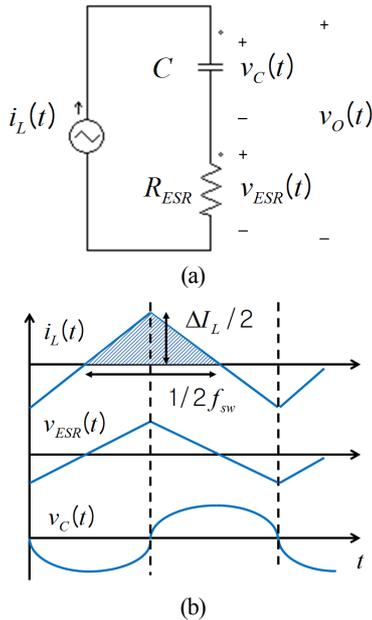


그림 3. 캐패시터 등가회로모델을 통한 출력전압리플의 계산.
Fig. 3. Output ripple voltage calculation using equivalent circuit.

출력전압리플을 예측하기 위해서 그림 3(a)와 같이 ESR을 포함한 출력 캐패시터의 등가모델을 가정하자. 등가모델에서의 입력 전류원은 출력 캐패시터에 유입되는 인덕터 전류의 AC성분을 나타내는데 그림 3(b)와 같이 삼각파모양을 가지고 있다. 이때 최대 캐패시터 전압 리플은 식 (12)에 의해 반주기 동안의 인덕터 전류의 면적에 비례하는데, 캐패시터 양단전압과 ESR저항 양단 전압은 위상차 90도를 가지므로 식 (13)와 같이 근사할 수 있기 때문에, 주어진 최대 출력전압리플을 만족하는 출력 캐패시턴스 값(C_O)은 식 (14)의 조건을 통해 얻어진다.

$$v_C(t) = \frac{1}{C} \int i_L(t) dt \quad (12)$$

$$\Delta V_{O,max} \approx \sqrt{(\Delta I_{L,max} \cdot R_{ESR})^2 + \left(\frac{1}{C} \cdot \frac{1}{2} \cdot \frac{\Delta I_{L,max}}{2} \cdot \frac{1}{2f_{sw}} \right)^2} \quad (13)$$

$$C \geq \frac{\Delta I_{L,max}}{\Delta V_{O,max}} \sqrt{(\tau_c)^2 + \left(\frac{1}{8f_{sw}} \right)^2} \quad (14)$$

IV. 구간분석법에 의한 아날로그 제어기 설계방법

본 절에서는 앞절에서 설계한 파워단을 기반으로 하는 제어기 설계방법을 설명한다. 이때, 일단 설계된 출력인덕터 L_O 와 캐패시터 C_O 의 값도 공차를 가질 수 있으므로 이를 포함하여 (15)와 같이 구간변수를 추가 정의한다. 즉, 구간변수 (9)를 포함하여 구간변수는 모두 4개가 정의된다.

$$L_O' = [L_{O,min}, L_{O,max}] \quad C_O' = [C_{O,min}, C_{O,max}] \quad (15)$$

출력 전압제어를 사용하는 CCM 모드 Buck 컨버터의 소신호 모델링 및 전달 함수는 문헌[4]에서 수행한 결과물을 참고하였는데, 그 제어블럭도를 그림 4에 도시하면서 각 전달 함수들을 구간변수에서 정의되는 구간함수로 바꿔서 표시하였다. 그림에서 d 는 듀티의 소신호 성분, V_{ref} 는 지령치가 되는 기준전압, v_g 와 i_{Load} 는 시스템의 외란 성분으로서 각각 입력전압과 부하전류의 소신호 성분으로 정의한다면, $Z_{out}(s)$ 는 출력 임피던스(output impedance)를 나타내는 전달함수이고, $G_{vg}(s)$ 는 입력전압 변화에 대한 출력전압의 전달함수(audio susceptibility)를 표현한다. 여기서 듀티에 대한 출력전압의 전달함수(duty-to-output transfer function)를 구간함수로 표현하면

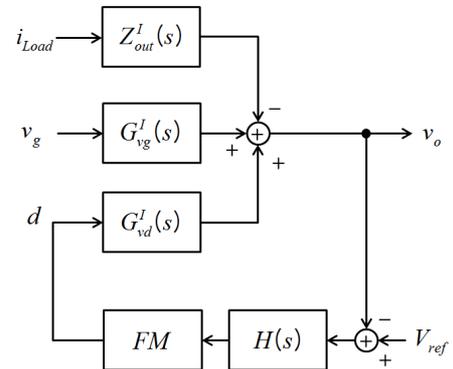


그림 4. 제어블럭도.
Fig. 4. Control block diagram.

식 (16)과 같은데,

$$G_{vd}^I(s) = \frac{V_m^I (1 + \tau_c s)}{1 + \frac{s}{\omega_o^I Q_o^I} + \left(\frac{s}{\omega_o^I}\right)^2} \quad (16)$$

$$\omega_o^I = 1/\sqrt{L_o^I C_o^I}, \quad Q_o^I = R_l^I \sqrt{C_o^I/L_o^I} \quad (17)$$

이때, 제어보상기 전달함수 H(s)와 PWM 모듈레이터 이득을 나타내는 상수항 FM을 함께 고려하면, 루프이득(loop gain)은 식 (18)과 같이 구간함수로서 정의될 수 있다.

$$T^I(s) = FM \cdot H(s) \cdot G_{vd}^I \quad (18)$$

이제, 식 (9), (15)에 의해 정의되는 구간변수에 따른 구간함수 T^I(s)의 Bode 선도를 도시하면, 주파수영역에서 이득과 위상이 일정한 범위를 가지는 구간으로 나타나게 된다. 최종적으로, T^I(s)의 이득 및 위상 하한치 및 상한치를 기준으로 제어보상기 H(s)를 설계하도록 한다.

그런데 T^I(s)의 Bode 선도만 가지고는 정확한 영점 및 극점의 위치를 알기가 어렵기 때문에, 그래프 형태로 제어기를 설계할 수 있는 체계적인 제어루프 설계방법이 필요하다. 따라서, 문헌[9]에서 제안된 k-factor 방법을 사용하여 제어기를 설계하도록 한다. DC/DC 컨버터에서는 그림 5과 같은 세가지 타입의 아날로그 제어기가 보편적인데, 각각은 그림 6과 같은 영점 및 극점 위치를 가진다. 본 논문에서는 가장 위상보상 성능이 우수한 Type III를 채택하기로 한다. k-factor방법

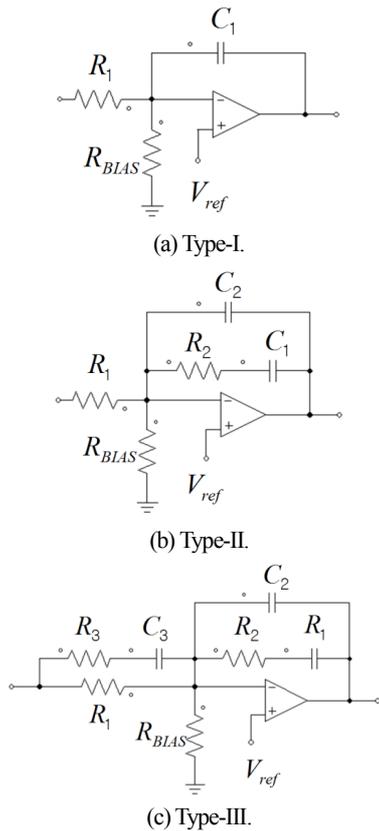


그림 5. 아날로그 제어기.
Fig. 5. Analog controllers.

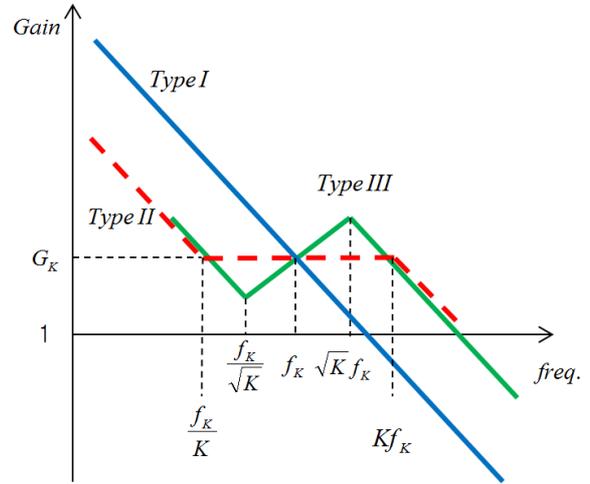


그림 6. K-factor 방법에 의한 제어보상기 보대선도.
Fig. 6. Compensator gain asymptotes in k-factor method.

에서의 Type III 제어기는 f_K/\sqrt{K} 에서 이중영점을, $f_K\sqrt{K}$ 에서 이중극점을 가지는데, 이 경우 두 개의 영점-극점 쌍으로 인해 주파수 f_K 점에서 추가적으로 얻을 수 있는 위상증가분(phase boost)은 식 (19)에 의해 주어지므로,

$$PH_K = 2 \tan^{-1} \sqrt{K} - 2 \tan^{-1} (1/\sqrt{K}) \quad (19)$$

따라서 목표로 하는 제어대역폭 f_K 점에서 원하는 이득증가분(gain boost)을 G_K 라고 하고, 원하는 위상증가분을 PH_K 라고 할 때, 식 (20)에 의해 K값을 구한 다음에 그림 5의 보상기를 구성하는 회로상수는 영점과 극점의 위치관계에 의해 식 (21)-(26)에 의해 모두 구할 수 있다. 여기서 R_{BLAS} 는 설계자가 자유롭게 정할 수 있는 임의의 값이다.

$$K = \tan^2 \left(\frac{PH_K}{4} + 45^\circ \right) \quad (20)$$

$$R_1 = R_{BLAS} \left(\frac{V_o}{V_{ref}} - 1 \right) \quad (21)$$

$$C_1 = C_2 (K - 1) \quad (22)$$

$$C_2 = \frac{1}{2\pi f_K G_K R_1} \quad (23)$$

$$C_3 = \frac{1}{2\pi f_K \sqrt{K} R_3} \quad (24)$$

$$R_2 = \frac{\sqrt{K}}{2\pi f_K C_1} \quad (25)$$

$$R_3 = \frac{R_1}{K - 1} \quad (26)$$

V. 설계구현 및 시뮬레이션 비교 검증

본 절에서는 그림 1에 도시한 Buck 컨버터의 실제 설계사례를 통해 제안한 방식을 검증하도록 한다. 먼저 제안된 방법을 사용하여 설계를 진행하고, 기존 방법을 통한 제어루프 설계를 진행한 뒤, 이의 성능을 상호 비교함으로써 본 연구의 우수성을 보이고자 한다.

구간연산을 구현함에 있어서 파워단 설계단계에서는 구간 변수를 지원하는 MATLAB Toolbox인 INTLAB [10]을 사용하였으며, 제어기 설계에서는 복소 함수의 위상계산 오차를 줄이기 위해 M-file을 추가 작성하여 구현하였다. 먼저, 표 1의 사양서로부터 입력전압 및 부하저항에 대한 구간변수를 다음과 같이 정의한다.

$$V'_o = [10, 20] \quad R'_L = [0.5, 5] \quad (27)$$

이에 따라 식 (10), (11), (14)에 의해 파워단 설계를 수행하였으며, $L_o = 47\mu\text{H}$, $C_o = 560\mu\text{F}$ 를 정격값(nominal value)으로 선정하였다. 이제, 설계된 인덕터 및 캐패시터 값을 기반으로, 그림 2(a), (b)의 공차데이터를 고려하여 구간변수를 각각 $\pm 10\%$ 공차를 두면 파워소자에 대한 구간변수를 정의할 수 있다.

$$L'_o = [42.3 \times 10^{-6}, 51.7 \times 10^{-6}] \quad (28)$$

$$C'_o = [504 \times 10^{-6}, 616 \times 10^{-6}] \quad (29)$$

정의된 네 가지 구간변수에 대해 식 (18)를 사용하여 루프이득 $T(s)$ 의 하한치 및 상한치를 계산하였다. 이때 PWM 모듈레이션 상수항 FM은 1로 두었다. $T(s)$ 의 하한치를 기준으로, 최소 제어대역폭 조건에 의해 $f_k = 5\text{kHz}$ 라고 할 때, 필요한 이득증가분은 $G_k = 9.4\text{dB}$ 이고, 필요한 위상증가분은 $PH_k = 117^\circ$ 로 계산되어, 식 (20)을 통하여 $K = 12.6$ 을 얻었으며, $V_{ref} = 2.5\text{V}$, $R_{BIAS} = 10\text{k}\Omega$ 를 선정하였을 때, 식 (21)-(26)에 의해 나머지 제어기 구성 회로소자는 $R_1 = 10.0\text{k}\Omega$, $R_2 = 9.04\text{k}\Omega$, $R_3 = 864\Omega$, $C_1 = 12.5\text{nF}$, $C_2 = 1.08\text{nF}$, $C_3 = 10.4\text{nF}$ 을 얻을 수 있었다. 시뮬레이션 비교 검증의 편의상 제어기의 소자값은 상용값을 사용하지 않았다. 최종적으로 설계된 루프이득 $T(s)$ 는 그림 7과 같으며, 구간함수로 표현된 상한 및 하한범위 전구간에 대해 살펴볼 때 제어대역폭은 5kHz 이상, 위상마진은 45도를 확보하여 설계 요구치를 만족함을 알 수 있다.

이제 동일한 전력단을 가정하고, 문헌[3,4]에 제시된 기존 방법에 따라 제어루프를 설계하도록 하자. 기존 설계방식에서는 동작점이 최대부하와 최소입력일 때의 전달함수를 기반으로 설계한다. 마찬가지로 Type III 제어기를 사용한다고

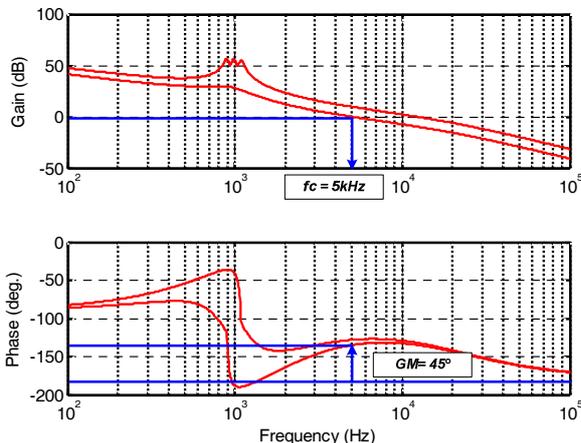


그림 7. 제안 방법으로 설계된 컨버터의 루프이득 $T(s)$.
Fig. 7. Loop-gain with the proposed interval design method.

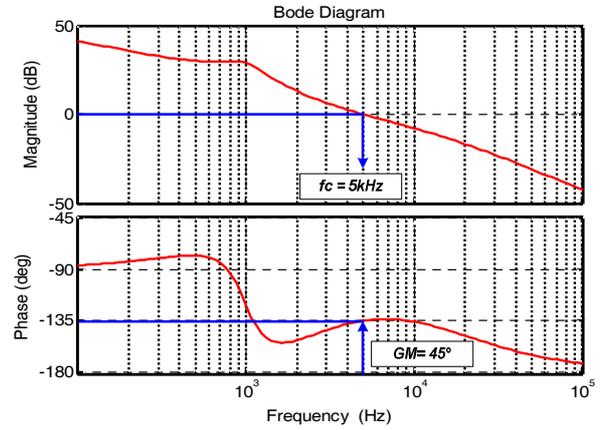


그림 8. 기존 방법으로 설계된 컨버터의 루프이득 $T(s)$.

Fig. 8. Loop-gain with the conventional nominal design method.

가정하고 K-factor방법을 적용하면 필요한 이득증가분은 $G_k = 7.6\text{dB}$ 이고, 필요한 위상증가분은 $PH_k = 111^\circ$ 로 계산되어, 식 (20)을 통하여 $K = 10.4$ 를 얻었으며, $V_{ref} = 2.5\text{V}$, $R_{BIAS} = 10\text{k}\Omega$ 를 선정하였을 때, 식 (21)-(26)에 의해 나머지 제어기 구성 회로소자는 $R_1 = 10.0\text{k}\Omega$, $R_2 = 8.24\text{k}\Omega$, $R_3 = 1.06\text{k}\Omega$, $C_1 = 12.4\text{nF}$, $C_2 = 1.33\text{nF}$, $C_3 = 9.26\text{nF}$ 을 얻을 수 있었다. 최종적으로 설계된 루프이득 $T(s)$ 는 그림 8과 같으며, 제어대역폭은 5kHz 이상, 위상마진은 45도를 확보하여 설계 요구치를 만족함을 알 수 있다.

그림 9에서는 동작조건과 파워부품값이 변화하여 시스템의 파라미터 변화가 있을 때 차단주파수와 위상여유 성능을 비교한 결과이다. 그래프에 사용한 파라미터 조건은 $V_{in} = 10\text{V}$, $R_L = 0.5\Omega$, $L_o = 51.7\mu\text{H}$, $C_o = 616\mu\text{F}$ 이며, 제안하는 설계방법은 파라미터 변화를 미리 고려하여 설계되었으므로, 제어대역폭과 위상이 설계요구치를 만족하는 반면, 기존 설계방법에 따르면 제어대역폭이 4.4kHz로 감소하고, 특히 위상여유는 10도 가까이 감소함을 알 수 있다. 좀더 자세한 비교를 위하여 제안된 방법에서 고려하였던 모든 파라미터의 최대

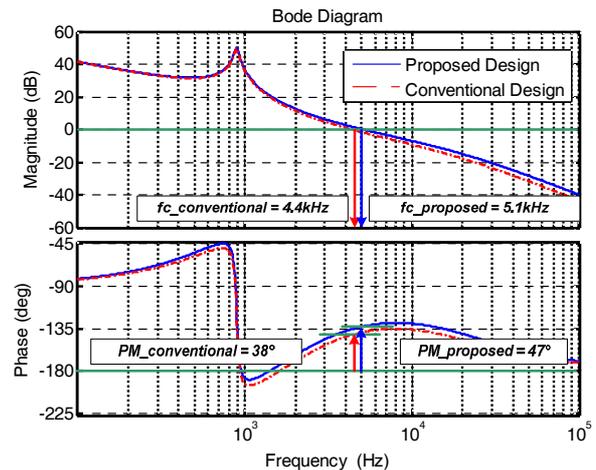


그림 9. 파라미터변화가 있을 때 제어대역폭과 위상여유비교.
Fig. 9. Performance comparison between the proposed and the conventional method in crossover frequency and phase margin.

표 2. 파라미터변화 조합에 따른 성능 비교 데이터.

Table 2. Performance comparisons according to parameter changes.

No.	Vin (V)	RL (Ω)	L _o (uH)	C _o (uF)	fc (kHz)		PM(°)	
					기존 방식	제안 방식	기존 방식	제안 방식
1	10	0.5	42.3	504	5.86	6.96	45	51
2	10	0.5	42.3	616	5.08	6.04	47	54
3	10	0.5	51.7	504	5.00	5.89	44	51
4	10	0.5	51.7	616	4.35	5.10	44	53
5	10	5	42.3	504	5.88	6.97	40	46
6	10	5	42.3	616	5.11	6.05	41	49
7	10	5	51.7	504	5.03	5.92	38	46
8	10	5	51.7	616	4.36	5.11	38	47
9	20	0.5	42.3	504	9.86	11.9	42	46
10	20	0.5	42.3	616	8.79	10.7	48	52
11	20	0.5	51.7	504	8.47	10.2	44	48
12	20	0.5	51.7	616	7.48	9.09	48	54
13	20	5	42.3	504	9.87	11.9	39	43
14	20	5	42.3	616	8.81	10.8	45	50
15	20	5	51.7	504	8.50	10.2	40	45
16	20	5	51.7	616	7.48	9.11	45	51

최소 변화에 해당하는 경우의 수인 2⁴=16 가지의 경우에 대해 제어대역폭과 위상여유의 비교 값을 표 2에 정리하였다. 표 2를 통해 판단해 볼 때, 제안하는 방법이 기존 설계방법에 의해 얻어진 성능보다 모든 경우에 있어 우월하였다. 특히 기존 방법의 경우 4, 8번 조건에 대해서는 제어대역폭을 만족하지 못하였고, 3~9번과 13, 15번의 경우는 위상여유가 부족하였다. 다만, 제안한 방법으로 설계한 경우에도 15번의 경우 위상여유가 43도로 2도가량 부족하였으나, 이는 K값의 근사 계산에서 생긴 오차로 설계단계에서 보정될 수 있는 값이다.

이번에는 제안된 보상기 설계가 적용되었을 때의 회로 동작 파형을 살펴보기로 하자. 그림 10은 본 논문에서 제안된 방식으로 설계된 Buck 컨버터의 회로 동작 시뮬레이션 파형이

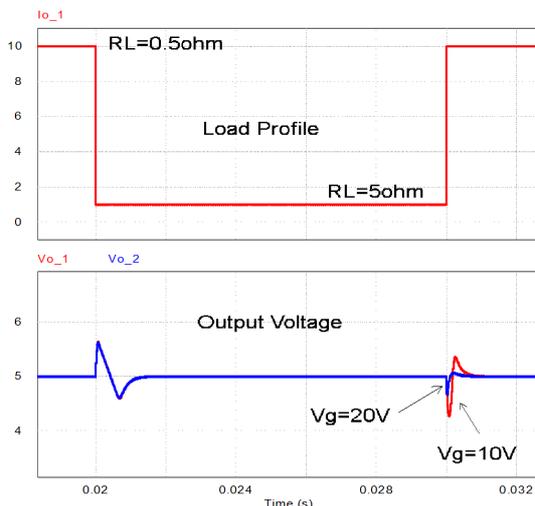


그림 10. 컨버터의 회로 시뮬레이션 결과.

Fig. 10. Circuit simulation results for the prototype dc/dc converter.

다. 여기서 L_o와 C_o값은 모두 정격값인 47 uF과 560 uF을 가 정하였다. 시뮬레이션 툴은 PSIM을 사용하였으며, 입력전압이 10V와 20V의 양극단 값을 가지는 각각의 경우에 대해 출력부하저항이 0.5Ω→5Ω Step 및 5Ω→0.5Ω Step변화를 가질 때에도 출력전압이 안정적인 동작을 나타낸다. 이 경우 회로 출력 파형으로부터 제어루프 대역폭(fc)을 바로 확인하기는 어려우나, 이를 유추해 보기 위해서 문헌[3]에서 제안한 근사적인 방법인 식 (30)을 사용하였다.

$$\Delta V_o \approx \frac{\Delta I_o}{2\pi f_c C_o} \tag{30}$$

회로 파형과 식 (30)을 통해서 제어루프의 대역폭을 근사적으로 계산해보면 부하저항 0.5Ω에서 5Ω으로 변하는 부하 조건에서 입력전압 조건 10V와 20V일 때 모두 약 5 kHz 이었으며, 부하저항 5Ω에서 0.5Ω으로 변하는 부하동작조건에서는 입력전압 10V일 때는 약 5kHz, 20V일 때는 약 11 kHz의 대역폭을 가짐을 확인할 수 있었다.

VI. 결론

본 논문에서는 구간분석법을 활용하는 DC/DC 컨버터의 파워단 및 제어기의 설계방식을 제안하였다. 제안된 설계 방식은 아날로그 제어기 설계시에 구동조건 범위 및 파워 소자 공차를 구간변수로 정의하고, 루프이득 구간함수 T^l(s)의 보 데선도를 통해 제어 보상기 설계를 수행하는 방법이다. 제안된 방식에 따라 50W급 전압제어형 Buck DC/DC 컨버터를 설계하고 기존방법으로 설계된 시스템과 제어 대역폭 및 위상여유를 비교하였다. 주파수 영역해석과 회로 시뮬레이션을 통해 분석한 결과, 기존 시스템은 특정한 정격값 기반으로만 설계되기 때문에 입력전압과 부하조건 변화 및 부품소자 값 변동 등 시스템 파라미터 변화에 따라 제어대역폭 및 위상여유와 같은 동적 성능이 설계 사양을 벗어나기 쉬웠으나, 제안하는 구간분석법 기반 설계방식을 적용하면 대부분의 사양이 설계조건을 벗어나지 않기 때문에 시스템의 파라미터 변화에 강인한 설계 방법으로서 유용할 것으로 판단된다.

REFERENCES

- [1] Y. H. Lho, "Implementation of DC/DC power buck converter controlled by stable PWM," *Journal of Institute of Control, Robotics and Systems (in Korean)*, vol. 18, no. 4, pp. 371-374, Apr. 2012.
- [2] J. S. Lim, H. S. Park, and Y. I. Lee, "Invariant Set based model predictive control of a three-phase inverter system," *Journal of Institute of Control, Robotics and Systems (in Korean)*, vol. 18, no. 2, pp. 69-160, Feb. 2012.
- [3] C. P. Basso, *Switch-Mode Power Supplies: SPICE Simulations and Practical Designs*, McGraw Hill Inc., 2008.
- [4] H. Choi, "Practical feedback loop design considerations for switched mode power supplies," Fairchild Semiconductor Power Seminar, 2011.
- [5] Magnetics, "Using magnetic cores at high temperatures," Magnetics Technical note, 2001.
- [6] Nichicon, "General descriptions of aluminum electrolytic capacitors," Nichicon Technical note, 2013.
- [7] R. Spence and R. S. Sooin, *Tolerance Design of Electronic*

Circuits, Addison-Wesley Publishing Company, 1988.

- [8] M. D. L. Casale, N. Femia, P. Lamberti, and V. Mainardi, "Selection of optimal closed-loop controllers for DC-DC voltage regulators based on normal and tolerance design," *IEEE Trans. on Industrial Electronics*, vol. 51, no. 4, pp. 840-849, Aug. 2004.
- [9] H. D. Venable, "The k-Factor: a new mathematical tool for stability analysis and synthesis," *Proc. of POWERCON 10*, pp. 1-12, 1983.
- [10] S. M. Rump, "INTLAB - INTerval LABoratory," *Developments in Reliable Computing*, Kluwer Academic Publishers, pp. 77-104, 1999.
- [11] S. Choi, "Control loop design of DC/DC converter using interval analysis," *Proc. of 28th ICROS Annual Conference (in Korean)*, pp. 220-221, May 2013.



최성진

1996년 서울대학교 전기공학부(공학사).
 1998년 서울대학교 전기공학부(공학석사).
 2006년 서울대학교 전기컴퓨터공학부(공학박사).
 2011년~현재 울산대학교 전기공학부 조교수. 관심분야는 신재생 에너지 및 전력전자회로 모델링과 제어.