

# 나노미터 디지털회로의 노화효과를 보상하기 위한 새로운 적응형 회로 설계<sup>†</sup>

(Design of a new adaptive circuit to compensate for aging effects of nanometer digital circuits)

김 경 기\*  
(Kyung Ki Kim)

**요 약** 나노크기 MOSFET 공정에서 회로의 신뢰도에 영향을 미치는 음 바이어스 온도 불안정성(NBTI), 핫 캐리어 주입(HCI), 시간 의존 유전체 파손(TDDB) 등과 같은 노화 현상들에 의해서 회로 성능의 심각한 저하를 가져올 수 있다. 그러므로, 본 논문에서는 디지털회로에서 발생할 수 있는 노화를 극복할 수 있는 적응형 보상 회로를 제안하고자 한다. 제안된 보상회로는 노화에 의해 감소하는 회로 성능을 적응적으로 보상해 주기 위해서 노화 정도에 따라 파워스위치 폭을 조절할 수 있고, 순방향 바디 바이어싱 전압을 걸어줄 수 있는 파워 게이팅 구조를 사용하여 45nm의 공정기술에서 설계되었다.

**핵심주제어** : 신뢰성, 노화 현상, NBTI, PBTI, HCI, TDDB, 파워 게이팅, 순방향 바디 바이어싱 전압

**Abstract** In nanoscale MOSFET technology, aging effects such as Negative Bias Temperature Instability(NBTI), Hot carrier Injection(HCI), Time Dependent Dielectric Breakdown (TDDB) and so on which affect circuit reliability can lead to severe degradation of digital circuit performance. Therefore, this paper has proposed the adaptive compensation circuit to overcome the aging effects of digital circuits. The proposed circuit deploys a power gating structure with variable power switch width and variable forward body-biasing voltage in order to adaptively compensate for aging induced performance degradation, and has been designed in 45nm technology.

**Key Words** : Reliability, Aging effects, NBTI, PBTI, HCI, TDDB, Power gating, Forward body biasing voltage

## 1. 서 론

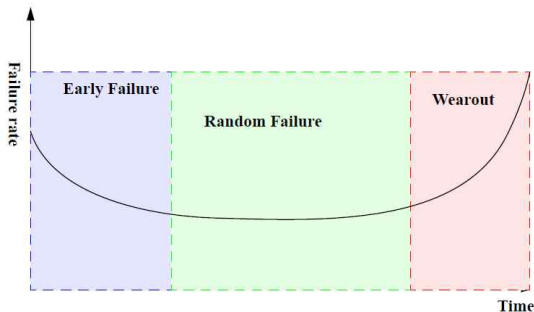
최신 디자인들의 경우 서브나노미터 트랜지스터의 내부 구조는 NBTI (negative bias temperature

instability), PBTI (positive bias temperature instability), HCI (hot carrier injection), 그리고 TDDB (time-dependent dielectric breakdown)와 같은 노화 효과들에 의해서 표준 동작 모드에서조차도 점차 변화 또는 손상을 겪게 된다 [1]-[4]. 이러한 전기적 작용은 결국 이것의 본래 고유의 특성에서 벗어난 것이다. 이 편차는 성능을 저하시킬 수 있으

<sup>†</sup> 이 논문은 2011년도 정부(교육과학기술부)의 재원으로 한국연구재단의 기초연구사업의 지원을 받아 수행된 연구임(No. 2011-0014255).

\* 대구대학교 전자전기공학부, (kkkim@daegu.ac.kr)

며 결과적으로 디지털 IC가 갑작스럽게 일부 필수 조건들을 충족시키지 못하게 될 수도 있다. 또한 이 편차는 갑자기 IC의 기능을 완전히 멈추게 할 수도 있다. 이후 이들은 고객들의 불만을 처리해야 할 뿐만 아니라 비용이 많이 들어가는 대규모의 부품 교체 프로그램을 준비해야 할 수도 있기 때문이다. 일반적으로 IC제품의 신뢰도는  $10^9$ 시간 안에 발생하는 실패율을 가지고 정의하며, 전형적인 제품의 실패율 커브는 그림 1과 같다. 이 커브를 욱조커브(bathtub curve)라하고, 세 부분 Early Failure, Random Failure, Wear-out으로 나눈다. 많은 공정의 결함이 제품의 초기에 발생한다. 그리고, 시간이 지나 random failure 영역에서는 안정화되며 가끔 임의적으로 실패가 일어난다. 일반적으로 모든 제품은 몇 년 정도의 이 영역에서 동작함을 예상해서 만들어진다. 하지만, 시간이 더 지나서 제품의 수명에 이르면 Wear-out 영역에 접어들어서 실패율이 갑자기 증가하게 된다. 따라서 고품질, 고 신뢰성 제품들을 출하하고자 고군분투하고 있는 IC 업체들에게는 IC가 제조될 당시부터 어느 정도 세월이 흐른 이후 수정 기능의 퇴화를 예측하는 것이 근본적인 관심사가 되고 있다. 이러한 특유의 신뢰성 효과들은 문턱 전압( $V_{th}$ ) 및 이동도와 같은 트랜지스터의 근본적인 상태를 변화시킨다. 실제로 공정 성능을 최대한 이용하는 어플리케이션들은 안정적이지 못하다. 이러한 변화들은 타이밍 지연, 드라이브 전류, 누설, 선형성을 비롯해 오토모티브, 바이오 의학, 군사 우주, 무선 통신이나 비디오용 IC 설계에서 나타날 수 있는 모든 요건에 영향을 미치게 될 것이다. 기본적으로 모든 산업 분야가 위협에 직면할 가능성이 있는 것이다. 물론 이 문제는 일회용 RFID 경우보다는 의료 어플리케이션에



<그림 1> IC 제품의 욱조 커브  
 <Fig 1> Bathtub curve of IC product

선에 이용되는 특수 목적(mission-critical) 디바이스 경우에 다른 엄청난 과장을 미친다.

특히, 90nm 아래에서는 MOSFET에서 미래의 22nm MOSFET를 사용한 회로에서 이런 노화의 효과들을 고려하는 것이 품질과 신뢰성을 목표로 하는 설계 과정에서 필수적인 작업이 되어 가고 있다. 뿐만 아니라, 매우 낮은 전압에서 작동하는 나노미터 디지털회로에서는 아무리 작은 변화라 할지라도 회로에 오동작을 가져올 수 있다. 그래서, 지금까지 나노미터 MOSFET 공정에서 노화현상은 공정 엔지니어의 연구 영역이었지만, 앞으로는 회로설계자도 회로 설계 시에 디바이스 노화를 고려하여 전체 시스템의 신뢰도를 높여야 한다. 따라서, 나노미터 회로에서는 노화현상을 모니터링 함과 동시에 IC의 성능을 복원시킬 수 있는 적응형 보상 시스템이 더욱더 필요하게 될 것이다.

따라서, 본 논문에서는 노화에 의해 감소하는 회로 성능을 적응적으로 보상해 주기 위해서 노화 정도에 따라 파워스위치 폭을 조절할 수 있고, 순방향 바디 바이어싱 전압을 걸어줄 수 있는 파워 게이팅 구조를 사용한 적응형 보상회로를 제안하고자 한다.

본 논문의 구성은 다음과 같다. 2장에서는 기본적인 회로의 노화현상에 대해서 설명하고, 3장에서는 본 논문에서 제안하는 보상회로 설계 방법을 보여준다. 제안된 회로의 시뮬레이션 결과는 4장에서 보여준다. 마지막으로 회로의 동작을 분석하면서 결론을 맺는다.

## 2. MOSFET 디지털 회로의 노화 현상

노화 현상을 야기하는 주요 요인에는 음 바이어스 온도 불안정성(NBTI), 양 바이어스 온도 불안정(PBTI), 핫 캐리어 주입(HCI), 그리고 시간 의존 유전체 파손(TDDB) 등이 있다.

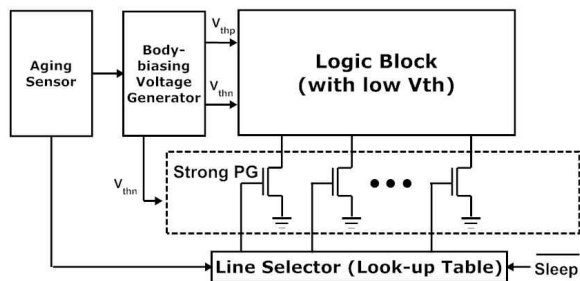
NBTI는 현재 임계 전압 변동이 신뢰성 있는 CMOS 회로 설계에 있어서 가장 큰 제한 요인으로 부상하고 있으며, P-MOSFET의 게이트에 음의 바이어스 전압이 가해질 때 발생한다. 반면 PBTI는 NBTI에 비하여 상대적으로 노화의 정도는 작지만, N-MOSFET의 게이트에 양의 바이어스 전압이 가해질 때 발생한다. HCI는 N-MOSFET 소자가 스위칭

을 할 때 발생하는 핫캐리어(Hot Carrier)에 의해서 일어난다. TDDB는 전기적인 스트레스아래에 놓인 게이트 유전체를 통해서 도전경로(Conduction Path)를 발생하여 게이트를 통해 전류가 흐르게 된다. 이런 원인들로 인하여 시간이 흐름에 따라서 MOSFET의 문턱전압이나 이동도 등이 변하게 되어서 회로의 성능이 떨어지게 된다 [1].

### 3. 제안된 적응형 보상 회로

본 장에서는 NBTI, PBTI, 또는 HCI 등의 노화 효과에 의해 증가된 문턱전압을 매개 변수로 하여 문턱전압이 증가할 때의 노화된 회로의 성능을 보상할 수 있는 방법을 제안하고자 한다. 제안하고자 하는 보상 회로는 파워 게이팅의 파워 스위치 폭과 순방향 바디 바이어싱 전압을 변화시키는 방법을 기반으로 회로 노화 현상에 의해서 발생하는 성능의 저하를 보상한다. 그림 2와 같이 CMOS 디지털 회로의 PMOS 파워 스위치(일명 헤더(header))와 NMOS 파워 스위치(일명 풋터/footer)를 붙이므로 누설 전류를 줄이는 파워 게이팅(power gating) 구조를 이용하였다. 사용될 파워 스위치를 수에 따라서, 또 가해지는 순방향 바디 바이어싱 전압에 따라서 회로의 성능을 향상될 수 있다는 것을 이용하였다.

회로의 동작 원리는 먼저 노화 모니터링 회로[5][6]에서 출력되는 디지털 신호를 사용하여 Line Selector에서 실행모드(active mode)에서 사용될 파워 스위치들의 수를 결정한다. 즉, 적당한 파워 스위치의 수를 결정한 뒤 수면 신호의 전압을 증가시킴으로서

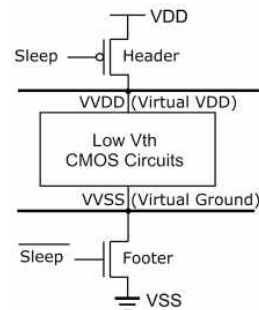


<그림 2> 제안된 회로의 연구 모형

<Fig 2> Block Diagram of the proposed circuits.

노화된 회로의 성능을 회복시키고자 하였다. 그리고, 역시 노화 모니터일 회로의 출력을 받아서 필요한 최적의 순방향 바디 바이어싱 전압을 발생시켜서 논리 회로 전체의 성능을 향상 시키고자 하였다.

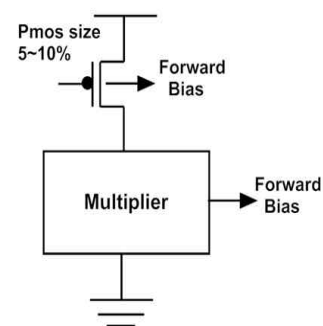
그림 3는 파워 스위치로 불리는 높은 문턱전압을 가지는 header와 footer를 가지는 전형적인 파워 게이팅(PG) 구조 이다 [7]. PG 구조에서 고려해야 할 사항으로는 파워 스위치 크기, 돌입전류(rush-current), 기상시간(wake-up time) 등이 있다. 일반적인 PG구조에서는 파워 스위치 사이즈를 전체 logic block의 N/PMOS 사이즈의 5%-10%로 한다. 돌입전류는 휴먼모드에서 동작모드로 스위치 되는 순간에 충전된 가상 레일에서 파워 스위치를 통해 흐르는 순시 전류를 말하며 기상시간은 휴먼상태의 회로가 정상적인 동작속도로 작동할 때까지의 시간이다[7].



<그림 3> 파워 게이팅 구조

<Fig 3> Power Gating Structure

그림 4는 본 논문에서 제안 하고자 하는 순방향 바디 바이어싱 방법을 보여주고 있다. 일반적인 논리



<그림 4> 순방향 바디 바이어싱

<Fig 4> Forward body biasing

회로의 문턱 전압이 회로의 현상으로 증가 한다고 가정하였을 때 순방향 바디 바이어싱 전압을 0.3V까지 순방향으로 높여주면 충분한 보상이 이루어진다는 것을 시뮬레이션 결과에서 확인하였다.

제안된 회로에서 노화 현상들을 모니터링 하는 회로는 본 연구실에서 개발한 NBTI와 HCI의 모니터링 회로를 사용하였고, 스트레스를 받는 회로와 스트레스를 받지 않는 회로의 문턱전압을 각각 측정하여 변화된 문턱전압을 디지털 값으로 변환하여 노화의 정도를 이진 값으로 나타내어 준다. 이렇게 구해진 이진 값을 사용해서 파워 게이팅의 파워 스위치의 수와 순방향 바디 바이어싱 전압을 결정할 수 있다.

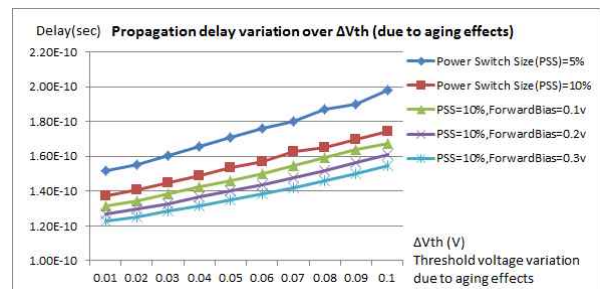
#### 4. 시뮬레이션 결과

본 장에서는 본 논문에서 제안한 보상 회로에 대한 시뮬레이션 결과를 보여준다. 제안된 적응형 보상 회로는 45nm MOSFET 공정 기술을 사용해서 설계되었고, 4x4 곱셈기 회로를 이용해서 평가되었다. 평가에 사용된 곱셈기는 파워 스위치 사이즈를 전체 곱셈기를 구성하는 PMOS 크기의 5%를 차지하는 파워 게이팅 구조에 본 논문에서 제안한 보상 회로를 추가한 회로이다. 제안된 적응형 보상 방식을 단순화하기 위해서 노화 센서에서의 출력에 의해서 파워 게이팅 구조의 파워 사이즈 크기를 전체 곱셈기를 구성하는 PMOS 크기를 5%에서 10%로 변화시키는 동시에 순방향 바디 바이어싱 전압을 0V에서 0.3V까지 변화를 주도하도록 하였다. 그리고, 회로 노화에 의해 증가되는 문턱전압은 0.01V의 간격으로 0V에서 0.1V까지 증가하도록 시뮬레이션을 하였다.

그림 5는 회로의 노화에 따른 문턱전압 변화에 따른 파워 게이팅 구조에서 사용한 곱셈기 회로의 전파 지연의 증가를 보여주고 있다. 파워 스위치 사이즈 전체 PMOS 사이즈를 10%로 증가시키고, 바디 바이어싱 전압을 0.2-0.3V로 순방향으로 가해주면 파워 스위치 사이즈가 5%일 때의 증가되는 지연을 평균적으로 20%-25%정도 보상해 줄 수 있음을 보여주고 있다.

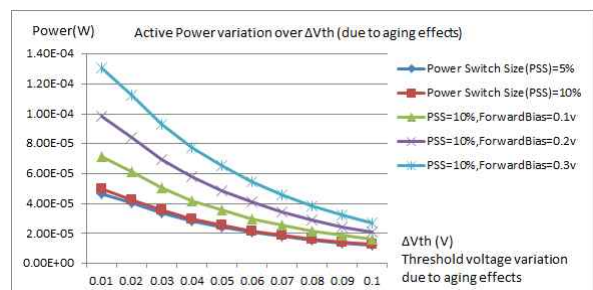
그림 6은 제안된 회로의 동적 파워에 대한 측정결과를 보여주고 있다. 그림 5에서의 증가하는 전파 지연과는 반대로 노화에 의해서 증가하는 문턱 전압으

로 인해서 동작모드에서 동적 전력은 줄어들고 있다. 하지만, 증가되는 지연을 보상하기 위해서 파워 스위치의 크기를 증가하고, 순방향 바디 바이어싱 전압을 걸어주게 되면 상대적으로 큰 동적 전력을 소모하게 된다. 이런 전력 소모는 문턱 전압이 증가하게 되면서 그 크기가 줄어들게 되고, 문턱 전압이 0.07V 이상에서는 모든 보상 방법에서 최초의 전력량 이하가 됨으로써 제안된 보상 회로에 의한 전력 증가는 무시될 수 있다.



<그림 5> 노화에 의한 문턱전압의 변화에 따른 전파 지연의 변화 및 보상

<Fig 5> Increased delay compensation and Propagation delay variation over increased  $\Delta V_{th}$  due to aging effects



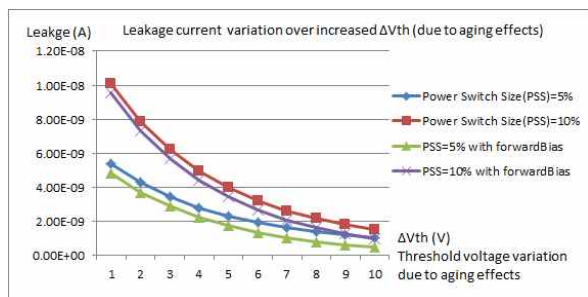
<그림 6> 노화에 의한 문턱전압의 변화에 따른 동적 전력의 변화

<Fig 6> Active power variation over increased  $\Delta V_{th}$  due to aging effects

그림 7은 누설 전력에 대한 해석을 보여주고 있다. 동적 전력과 같이 누설 전력도 문턱 전압이 증가됨에 따라서 점차적으로 감소하며, 보상 회로에 의한 영향도 동적 전력의 경우와 거의 일치하므로 제안된 보상 회로에 의한 누설 전력 증가도 또한 무시될 수 있다.

마지막으로 파워 게이팅 구조에서 가장 중요한 설계 요소인 기상시간(wake-up time)과 돌입전류(rush-current)에 대한 시뮬레이션 결과를 보여주고자 한다. 일반적으로 파워 게이팅 구조에서 기상시간이 길수록 돌입전류는 적게 흐르게 되며 반대로 기상시간이 짧으면 돌입전류는 상대적으로 많이 흐르게 된다. 칩 설계에서 돌입전류는 전체 방전 전류의 10%미만을 요구하며, 기상시간은 2, 3번의 클럭 사이클보다 작은 시간을 요구한다[7].

그림 8에서와 같이 기상시간은 노화에 의해서 증가하는 문턱전압에 의해서 증가는 하지만, 파워 스위치 크기를 증가시킴으로써 충분히 보상을 할 수 있음을 알 수 있다. 다만, 바디 바이어싱은 수면모드에서는 원래의 바디 바이어싱 전압을 유지하다가 동작모드로 바뀌면서 순방향 바이 바이어싱 전압이 가해져서 기상시간에는 크게 영향을 끼치지 않는 것으로 나타났다.



<그림 7> 노화에 의한 문턱전압의 변화에 따른 누설 전류의 변화

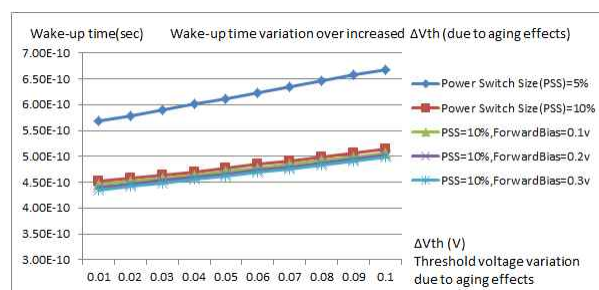
<Fig 7> Leakage current variation over increased  $\Delta V_{th}$  due to aging effects

노화에 따른 돌입전류의 변화는 그림 9에서 보이는 바와 같이 문턱전압이 증가함으로써 돌입전류는 반대로 다소 감소함을 알 수 있다. 전력의 변화에서와 마찬가지로 증가되는 지연을 보상하기 위해서 파워 스위치의 크기를 증가하고, 순방향 바디 바이어싱 전압을 걸어주게 되면 상대적으로 큰 돌입전류가 흐르게 된다. 이런 돌입전류의 증가는 문턱 전압이 증가하게 되면서 그 증가가 다소 줄어들기는 하지만, 문턱전압의 변화가 없는 경우의 돌입전류 크기까지는 회복이 되지 않는다. 따라서, 보상회로에서 추가로 돌입전류를 줄여줄 수 있는 스텝 턴 온 방식[8]이나 투

패스 파워 스위치 방법[9] 등을 적용해야 할 것이다.

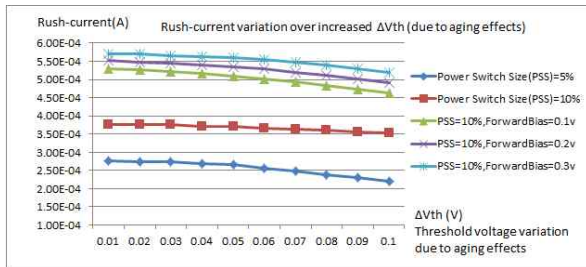
## 5. 결론

본 논문에서 NBTL, PBTL, HCI 그리고 TDDB 등의 회로 노화 현상에 해서 발생하는 심각한 성능 저하를 보상하기 위해서 파워 게이팅 구조와 순방향 바디 바이어싱 전압을 사용한 적응형 보상 회로를 제안하였다. 시뮬레이션 결과에서 제안된 회로는 노화의 정도에 따라서 파워 게이팅의 파워스위치 크기와 순방향 바디 바이어싱 전압을 조절해 줌으로써 회로의 지연 증가를 보상할 수 있음을 보여주었다. 동적 전력과 누설 전력에서의 노화에 의한 영향은 긍정적인 면으로 작용되어서 추가된 노화 회로에 의한 동적 전력과 누설 전력의 영향은 무시될 수 있었다. 파워 게이팅의 기상시간은 노화에 의해서 증가하는 문턱전압에 의해서 증가는 하지만, 파워 스위치 크기를 증가시킴으로써 충분히 보상을 할 수 보여주었고, 파워 게이팅의 돌입전류는 문턱 전압이 증가하게 되면서 다소 그 크기가 줄어들기는 하지만, 보상 회로를 사용함으로써 그 크기가 늘어남을 보여주었으나 돌입전류를 줄여주는 기존의 파워게이팅 방법을 사용해서 충분히 줄여줄 수 있을 것이다. 따라서 제안된 적응형 보상회로는 향후 회로의 고신뢰도를 원하는 시스템에서 노화현상을 모니터링 함과 동시에 IC의 성능을 복원할 수 있는 중요한 역할을 담당할 것으로 기대된다.



<그림 8> 노화에 의한 문턱전압의 변화에 따른 기상 시간의 변화

<Fig 8> Wake-up time variation over



<그림 9> 노화에 의한 문턱전압의 변화에 따른 돌입 전류의 변화

<Fig 9> Rush-current variation over increased  $\Delta V_{th}$  due to aging effects

## References

- [1] J. Keane , D. Persaud and C. H. Kim "An all-in-one silicon odometer for separately monitoring HCI, BTI, and TDDB", Proc. IEEE VLSI Circuits Conf., pp.108 -109 2009.
- [2] Yeon-Bo Kim, Kyung Ki Kim,"The Impact of TDDB Failure on Nanoscale CMOS Digital Circuits", Journal of the Korea Industrial Information System Society, V. 17, No. 3, pp.27-34, July 2012.
- [3] Kyung Ki Kim, "Analysis of Electromigration in Nanoscale CMOS Circuits," Journal of the Korea Industrial Information System Society, V. 18, No. 1, pp.19-24, Feb. 2013.
- [4] Kyung Ki Kim, "Minimal Leakage Pattern Generator," Journal of the Korea Industrial Information System Society, V. 16, No. 5, pp.1-8, Dec. 2011.
- [5] Kyung Ki Kim, "On-chip Aging Sensor Circuits for Reliable Nanometer MOSFET Digital Circuits" Circuits and Systems II: Express Briefs, IEEE Transactions on, vol.57, no.1, pp.798-902, Oct.2010.
- [6] Kyung Ki Kim, " Adaptive HCI-aware power gating structure" Quality Electronic Design (ISQED), 2010 11th International Symposium on, pp. 219-224, March.2010.
- [7] Kyung Ki Kim, "Ultra-Voltage Power Gating

Structure Using Low Threshold Voltage" Circuits and Systems (ISCAS), Proceedings of 2010 IEEE International Symposium on, vol.56, no.1, pp.926-930, Dec.2009.

- [8] S. Kim, S. Kosonocky, D. Knebel, "Understanding and minimizing ground bounce during mode transition of power gating structures", IEEE ISLPED, pp. 22-25, Aug. 2003.
- [9] P. Royannez, et. al., "90nm low leakage SoC design techniques for wireless applications", IEEE International Solid-State Circuits Conference, pp. 138-139, Feb. 2005.



김 경 기 (Kyung Ki Kim)

- 정회원
- 1995년 8월 영남대 전자공학과 공학사
- 1997년 8월 영남대 전자공학과 공학석사
- 2008년 1월 (미) Northeastern University 전기전자 공학과 공학박사
- 2008년 2월 ~ 2009년 1월 (미) SUN Microsystems 연구원 (Technical Staff)
- 2009년 1월 ~ 2010년 2월 (미) Illinois Institute of Technology 연구원
- 2010년 3월 ~ 현재 대구대학교 정보통신대학 전자 전기공학부 조교수
- 관심분야 : SoC 설계, Microprocessor, High performance and low power design methodology, Nanotechnology.

논문접수일 : 2013년 10월 02일  
 1차수정완료일 : 2013년 10월 25일  
 2차수정완료일 : 2013년 11월 17일  
 게재확정일 : 2013년 11월 29일