PBTI에 의한 무접합 및 반전모드 다중게이트 MOSFET의 소자 특성 저하 비교 분석

김진수* · 홍진우* · 김혜미* · 이재기** · 박종태***

Comparative Analysis of PBTI Induced Device Degradation in Junctionless and Inversion Mode Multiple-Gate MOSFET

Jin-Su Kim* · Jin-Woo Hong* · Hye-Mi Kim* · Jae-Ki Lee** · Jong-Tae Park***

본 논문은 2012년도 인천대학교 연구비 지원에 의하여 수행되었음.

요 약

본 연구에서는 다중게이트 구조인 나노 와이어 n-채널 무접합(junctionless)와 반전모드(inversion mode) 다중게이트 MOSFET(Multiple-Gate MOSFET : MuGFET)의 PBTI에 의한 소자 특성 저하를 비교 분석하였다. PBTI에 의해서 무접합 및 반전모드 소자의 문턱전압이 증가하는 것으로 관측되었으며 무접합 소자의 문턱전압 변화가 반전모드 소자보다 작음을 알 수 있었다. 그러나 소자특성 저하 비율은 반전모드 소자가 무접합 소자보다 큰 것으로 관측되었다. 특성저하 활성화 에너지는 반전모드 소자가 무접합 소자보다 큰 것을 알 수 있었다. PBTI에 의한 소자 특성 저하가 무접합 소자보다 반전모드 소자가 더 심한 것을 분석하기 위하여 3차원 소자 시뮬레이션을 수행하였다. 같은 게이트 전압에서 전자의 농도는 같으나 수직방향의 전계는 반전모드 소자가 무접합 소자보다 큰 것을 알 수 있었다.

ABSTRACT

In this paper, a comparative analysis of PBTI induced device degradation in nanowire n-channel junctionless and inversion mode Multiple-Gate MOSFET(MuGFETs) has been performed. It has been observed that the threshold voltage is increased after PBTI stress and the threshold voltage variation of junctionless device is less significant than that of inversion mode device. However the degradation rate of junctionless device is less significant than that of inversion mode device. The activation energy of the device degradation is larger in inversion mode device than junctionless device. In order to analyze the more significant PBTI induced device degradation in inversion mode device than junctionless device, 3-dimensional device simulation has been performed. The electron concentration in inversion mode device is equal to the one in junctionless device but the electric field in inversion mode device is larger than junctionless device.

키워드

무접합 다중게이트 MOSFET, 반전모드 다중게이트 MOSFET, PBTI, 소자 특성 저하

Key word

Junctionless MuGFET, Inversion mode MuGFET, PBTI, Device degradation

* 준회원 : 인천대학교 전자공학과
** 정회원 : 가천대학교 전자공학과 교수
*** 정회원 : 인천대학교 전자공학과 교수(교신저자 jtpark@incheon.ac.kr)

접수일자 : 2012. 11. 18
심사완료일자 : 2012. 11. 27

Open Access http://dx.doi.org/10.6109/jkiice.2013.17.1.151

This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(http://creativecommons.org/li-censes/by-nc/3.0/) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright Ⓒ The Korea Institute of Information and Communication Engineering.

Ⅰ. 서 론

최근에 CMOS 소자의 크기는 수십 나노미터 레벨로 축소되고 있지만 소자크기 축소로 발생하는 단채널 현상이 심각하여 새로운 구조의 소자 개발이 요구되고 있다. 있다. 나노미터 레벨의 CMOS 소자 구조로 SOI(Silicon-on-In sulator) 기술을 사용한 게이트가 여러 개인 MuGFET(Multiple-Gate MOSFET)가 차세대 집적회로의 소자로 유망할 것으로 기대된다[1-2].

MuGFET 소자는 여러 개의 게이트를 사용하므로 소자 내의 채널 포텐셜을 효과적으로 제어할 수 있게 되어 단채널 현상을 줄일 수 있게 된다. 게이트의 개수가 증가할수록 채널 포텐셜을 효과적으로 게이트가 제어할 수 있으므로 게이트 수가 많을수록 단채널 현상이 적은 소자 즉 더 작은 CMOS를 구현할 수 있다. 일반적으로 MuGFET 소자 중에서 가장 단채널 현상이 작은 소자는 GAA(Gate-All-Around) 또는 나노 와이어 구조의 소자이다. GAA나 나노 와이어 소자는 게이트가 채널 전체를 둘러싸는 구조이므로 게이트 전압이 채널 포텐셜을 가장 완벽하게 제어할 수 있게 되므로 단채널 현상을 현저히 줄일 수 있다[2].

기존의 n-채널 MOSFET는 채널과 소스 및 드레인의 불순물 농도가 다른 타입인 반전모드 소자를 사용하고 있으나 최근에 J.P. Collinge 등은 축적모드 소자를 변형하여 소스 및 드레인 접합이 없는 무접합 트랜지스터를 제안하였다. 이 무접합 소자는 소스 및 드레인 접합 부근의 불순물의 측면확산을 줄이므로 단채널 현상을 줄일 수 있으며 공정단가를 줄일 수 있다[3]. 무접합 소자는 SOI의 실리콘 박막을 10-20 ㎚ 정도로 얇게 하고 게이트와 실리콘 박막의 일함수 차이를 이용하여 실리콘 박막의 캐리어를 완전히 공핍시키게 한다. 그 결과로 게이트 전압이 0V 일 때는 소자가 OFF 상태가 되며 게이트에 문턱전압보다 큰 전압을 인가하면 실리콘 박막의 중앙부터 소스와 드레인 사이에 캐리어 층이 연결되어 전류가 흐르는 ON 상태가 된다.

일반적으로 n-채널 MOSFET에서는 PBTI (Positive Bias Temperature Instability)에 의한 소자특성 저하는 심각하지 않은 것으로 알려져 있으나 소자의 크기가 작아지면서 PBTI 현상에 의한 소자 특성 저하도 증가하는 것으로 발표되고 있다[4]. 무접합 트랜지스터는 게이트와 채널의 큰 일함수 차이를 이용하므로 반전모드와 무접합 소자의 PBTI 현상에 의한 소자 특성 저하를 측정 비교분석하는 연구가 필요하다.

본 연구에서는 multiple gate 구조인 나노 와이어 n-채널 무접합 소자와 반전모드 소자의 PBTI에 의한 소자 특성 저하를 비교 분석하였다. 측정결과를 분석하기 위해서 ATLAS를 사용하여 3차원 소자 시뮬레이션을 수행하였다.

Ⅱ. 소자제작

무접합 소자 및 반전모드 소자는 실리콘 박막의 두께가 340 ㎚이며 저항이 10-20 Ω-cm고 매몰 산화층 두께가 400 ㎚인 p-형 SOI 웨이퍼를 기판으로 이용하여 제작되었다. 산화공정으로 실리콘 박막을 10-15㎚ 로 한 후에 e-beam 리소그래피와 RIE 에칭을 이용하여 실리콘 나노와이어를 만들었다. 게이트 산화층은 건식 산화 공정을 이용하여 두께가 10 nm로 되게 성장시켰다. 무접합 소자를 만들기 위한 이온 주입을 하여 채널 농도가 약 ND=1x1019cm-3되게 하였다.

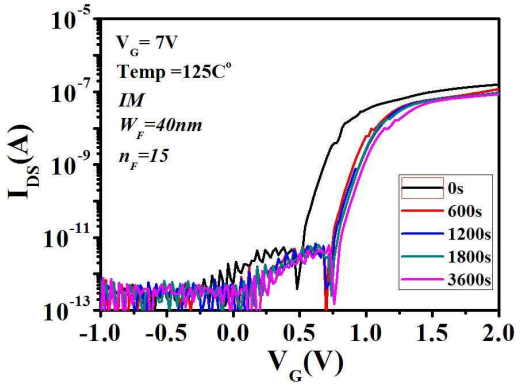
또한 n-채널 반전모드 소자는 이온주입으로 채널 농도NA=2x1018cm-3가 되게 하였다. 게이트는 LPCVD 방법으로 모든 소자에 50 ㎚ 두께의 다결정 실리콘을 증착한 후에 붕소를 이온주입 하여 P++로 도핑하였다. n-채널 반전모드 소자는 인으로 N++로 도핑하였다. n-채널 반전모드 소자는 비소를 각각 소스와 드레인 영역에 이온 주입하여 형성되었다.

산화층을 증착하고 콘택을 위한 식각 공정을 한 후에 TiW+Al 금속을 증착하여 전극을 형성하였다. 최종적으로 제작된 소자는 게이트 확장 길이가 10 ㎚인 Pi-gate 구조의 MuGFET이며 실리콘 박막 두께는 약 10 ㎚이다. 측정에 사용된 모든 소자의 게이트 길이는 1 ㎛이고 핀의 폭은 40 ㎚이다.

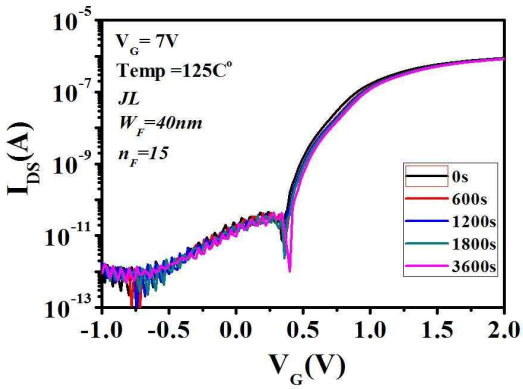
Ⅲ. 결과 및 고찰

그림1은 n-채널 반전모드 소자와 무접합 소자의 PBTI 현상으로 인한 전류-전압 특성이 저하되는 것을

나타낸 것이다. 사용된 소자의 핀 수는 15이다. PBTI 스트레스 시에는 게이트에 7V의 전압을 인가하였고 소스 및 드레인은 접지를 하였다. 인가 온도는 125 ℃ 이고 정해진 시간 동안 스트레스를 인가한 후 전류-전압을 측정하였다. 무접합 소자와 반전모드 두 소자에서 PBTI 스트레스 인가한 후에 전류-전압 특성 곡선이 양의 방향으로 움직인 것을 알 수 있다. 스트레스 시간이 증가할수록 전류-전압 특성 곡선의 이동이 심함을 알 수 있다. 이렇게 전류-전압 특성 곡선이 양의 방향으로 이동하는 것은 PBTI 스트레스 후에 소자의 문턱전압이 증가하는 것을 의미한다.



(a)

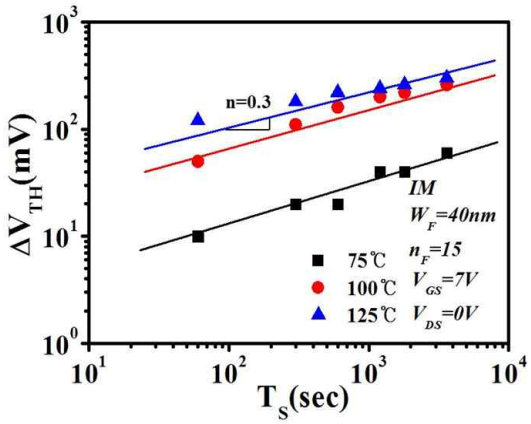


(b)

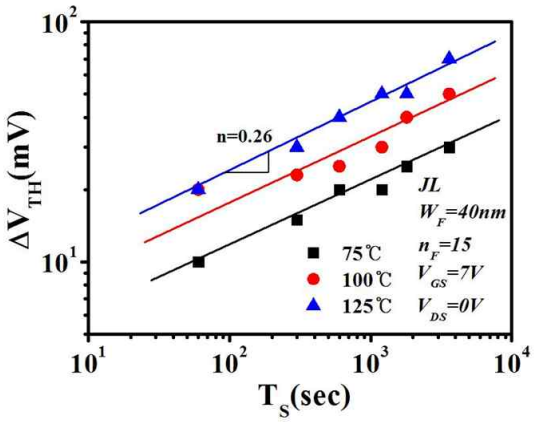
그림 1. PBTI 현상에 의한 반전모드(a) 및 무접합 소자(b)의 전류-전압 특성 곡선 변화
Fig. 1 Variation of current-voltage character- istics in inversion mode(a) and junctionless devices(b)

스트레스 후에 문턱전압이 증가하는 것은 PBTI 스트레스 인가 동안 채널의 전자가 게이트 산화층으로 주입이 되고 일부의 전자가 게이트 산화층 내에 포획이 되어 음전하로 남아있기 때문이다[4].

그림 2는 PBTI 스트레스 시간에 따른 문턱전압의 변화량을 나타낸 것이다. 스트레스 시간이 증가할수록 문턱전압의 변화량이 증가하는 것을 알 수 있다. 또한 스트레스를 인가하는 동안 가한 소자의 온도가 높을수록 문턱전압의 변화량이 큰 것을 알 수 있다.



(a)



(b)

그림 2. 스트레스 시간에 따른 반전모드(a) 및 무접합 소자(b)의 문턱전압 변화
Fig. 2 Threshold voltage variation as a function of stress time in inversion mode(a) and junctionless devices(b)

즉 고온에서 PBTI에 의한 소자 특성 저하가 심함을 알 수 있다. 그리고 그림 2로부터 반전모드 소자의 문턱전압 변화가 무접합 소자보다 훨씬 심함을 알 수 있다. 게이트 산화 공정이 같기 때문에 게이트 산화층 내에서 만들어진 결함이 같다고 가정하면 반점모드 소자가 채널 전자의 게이트 산화층으로 주입이 더 많음을 의미한다. 일반적으로 스트레스 시간과 문턱전압 변화량은 멱급수 관계이므로 그림 2로부터 문턱전압의 저하 비율을 구하면 반전모드 소자는 약 0.3 정도이며 무접합 소자는 약 0.26 정도로 반전모드 소자의 저하비율이 더 큰 것을 알 수 있다. 저하 비율은 PBTI 스트레스 동안에 주입된 전자에 의해 실리콘과 수소의 결합이 깨지면서 수소 원자나 분석의 이동 메카니즘에 의해서 결정된다[5].

PBTI 현상은 고온의 온도에 의해서 계면상태 생성이 활성화 되므로 그림 3은 PBTI 현상에 의한 활성화 에너지를 구하기 위해 온도에 따른 문턱전압의 변화량을 나타낸 것이다. 문턱전압의 변화량과 온도는 Arrhenius 법칙을 따르므로 그림의 기울기로부터 활성화 에너지를 구할 수 있다[6].

반전모드 소자의 활성화 에너지는 약 0.8 eV이며 무접합 소자의 활성화 에너지는 약 0.1 eV 정도임을 알 수 있다. 반전모드의 활성화 에너지가 더 큰 것을 알 수 있다. 즉 온도가 증가할수록 반전모드 소자의 문턱전압 변화가 심함을 나타낸 것으로 고온에서는 반전모드 소자 사용이 좋지 않음을 보여주는 것이다.

소자의 구조에 따른 PBTI 현상의 원인을 규명하기 위하여 3차원 소자 시뮬레이션을 Sila- vaco사의 ATLAS를 이용하여 수행하였다. 소자 시뮬레이션에 사용된 소자 변수로는 게이트 산화층 두께가 10 ㎚, 실리콘 박막두께는 8 nm, 핀 폭은 40 ㎚이며 게이트 길이는 1 ㎛ 이다. 핀 수는 하나로 통일 하였다. 무접합 소자의 채널농도는 $N_D=1x10^{19}$ cm^{-3} 되게 균일하게 하였고 반전모드 소자의 채널농도는 $N_A=2x10^{18}$ cm^{-3}, 소스 및 드레인 농도는 $N_D=2x10^{20}$ cm^{-3}로 하였다. 소자 시뮬레이션에 사용된 물리적인 모델은 전계에 따라 변하는 이동도 모델, 속도포화 현상을 고려한 모델, SRH 재결합 및 생성 모델, 에너지 밴드갭 narrowing 현상 모델, 충격이온화 현상 모델 등을 포함하였다.

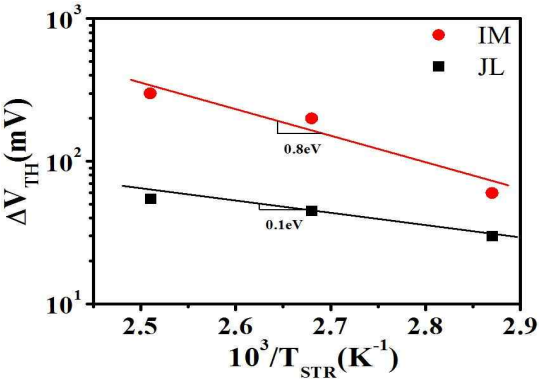
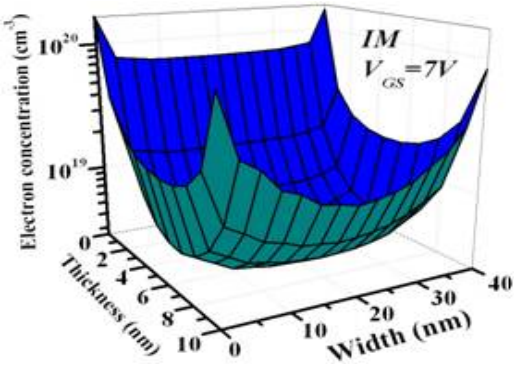


그림 3. 반전모드 및 무접합 소자에서 문턱전압 변화를 나타내는 Arrhenius도식도
Fig. 3 Arrhenius plot for threshold variation in inversion mode and junctionless devices

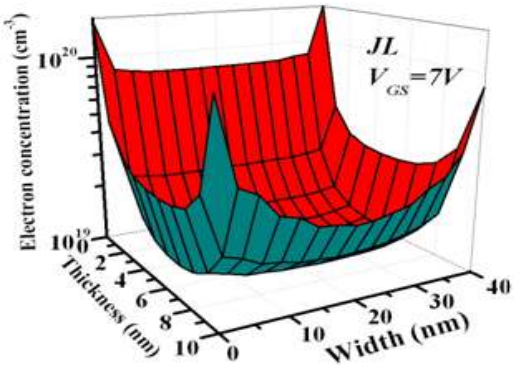
일반적으로 NBTI에 의한 계면상태 생성에 의한 문턱전압의 변화량은 채널에서 주입되는 홀의 양과 전계의 크기에 비례하므로 PBTI에 의한 문턱전압 변화량은 전자의 주입량과 전계의 크기에 비례한다[5, 7].

그림 4는 3차원 소자 시뮬레이션에 의한 반전모드 및 무접합 소자의 전자 농도 분포를 나타낸 것이다.

PBTI 스트레스 전압과 같은 게이트 전압이 7V일 때의 전자농도를 나타낸 것으로 채널의 표면 부근의 농도가 채널의 중앙보다 더 많은 것을 알 수 있다. 소자구조 특성상 평탄전압보다 낮은 게이트 전압에서는 무접합 소자의 전자농도분포는 반전모드 소자와 달리 채널 표면보다 중앙에 많이 분포하게 된다. 그 결과로 volume inversion 현상이 일어나고 단채널현상이 작게 일어나게 된다. 또한 전자의 분포가 채널표면에서 떨어진 중앙에 위치하므로 이동도가 증가하게 된다. 그러나 게이트 전압 큰 경우는 무접합 소자의 전자 농도 분포가 반전 모드 소자 의 전자 농도 분포와 같음을 알 수 있다. 이는 높은 게이트 전압에서 채널 전체가 volume inversion이 일어났음을 의미한다.



(a)

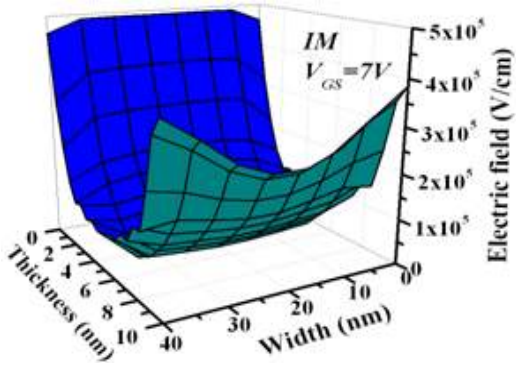


(b)

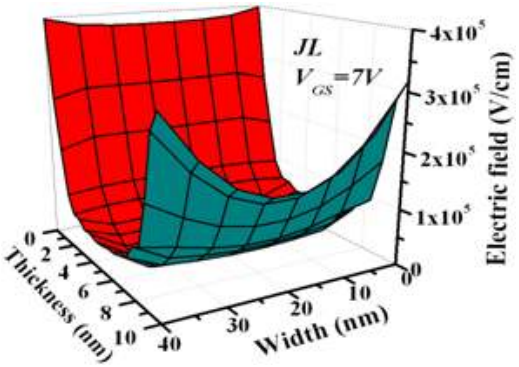
그림 4. 반전모드(a) 및 무접합 소자(b)의 전자 농도분포
Fig. 4 Electron concentration profiles in inversion mode(a) and junctionless devices(b)

그림 4의 결과로부터 전자의 농도 때문에 측정 결과와 같이 반전 모드 소자의 문턱전압 변화가 무접합 소자보다 큰 것은 아닌 것으로 판단된다.

그림 5는 반전모드 및 무접합 소자의 전계 분포를 나타낸 것이다.



(a)



(b)

그림 5. 반전모드(a) 및 무접합 소자(b)의 전계분포
Fig. 5 Electric filed profiles in inversion mode(a) and junctionless devices(b)

그림 5로부터 동일한 게이트 전압 7V에서 반전모드 소자의 표면 전계는 약 $5x10^5$ V/cm, 무접합 소자의 표면 전계는 약 $4x10^5$ V/cm 임을 알 수 있다. 채널표면에서 전자의 농도는 같지만 표면 전계는 반점모드 소자가 더 큰 것을 알 수 있다. PBTI 현상에 의한 문턱전압 변화량은 전자농도와 전계 크기에 비례하므로 측정결과 반점모드 소자의 문턱전압 변화량이 무접합 소자보다 큰 것은 시뮬레이션 결과와 같이 표면에서 전계가 큰 것에 기인된 것으로 사료된다.

Ⅳ. 결 론

PBTI 스트레스 후에 무접합 및 반전모드 소자의 문턱전압이 증가하였으며 무접합 소자의 문턱전압 변화가 반전모드 소자보다 작음을 알 수 있었다. 그러나 소자 특성 저하 비율은 반전모드 소자가 무접합 소자보다 큰 것으로 관측되었다. 특성 저하 활성화 에너지는 반전모드 소자가 무접합 소자보다 큰 것을 알 수 있었다. 3차원 소자 시뮬레이션으로부터 표면 전자농도는 반전모드 및 무접합 소자에서 같으나 표면전계가 반전모드 소자에서 더 큰 것으로 나타났다. 결국 PBTI 현상에 의한 문턱전압의 변화량이 반전모드 소자가 더 심한 것은 큰 표면전계에 기인된 것으로 사료된다.

감사의 글

본 논문은 2012년도 인천대학교 연구비 지원에 의하여 수행되었음.

참고문헌

[1] Jong Tae Park, and J. P. Colinge, "Multiple gate SOI MOSFETs :Device design guidelines," IEEE Trans. Electron Device, vol. 49, no, 12, pp. 2222-2228, 2002

[2] J. P. Colinge, "Multiple-gate SOI MOS-FETs," Solid-state Electronics, vol. 48, no. 6, pp. 897-905, 2004

[3] J. P. Colinge, C. W. Lee, A. Afzalian, N. Kelleher, B. McCarthy, and R. Murphy, "Nanowire transistors without junction," Nature Nano- technology, vol. 5, no. 3, pp. 225-229, 2010

[4] W.C. Wu, T.S. Chao, W.C. Lo, "Positive Bias temperature Instability Character- istics of Contact Etch Stop Layer Induced Local Tensile Strained HfO_2 nMOSFET," IEEE Electron Device Letter, vol. 29, pp. 1340-1343, 2008

[5] H. Kufluoglu, and M.A. Alam, "Theory of Interface trap Induced NBTI degradation for reduced cross section MOSFETs, IEEE Trans. Electron Devices, vol. 53, pp. 1120-1130, 2006

[6] B.S. Doyle, B.J. Fishbein, and K.R. Mistry, "NBTI-Enhanced hot carrier damage in p-channel MOSFET's," Tech. Digest of IEDM 1991, pp. 529-532

[7] H. Liu, and Y. Hao, "Interaction of NBTI with hot carriers in PMOSFET's for advanced CMOS technologies," in Proc. IEEE Int. Integr. Rel. Workshop Final Rep. 2005, pp. 183-186

저자소개

김진수(Jin-Su Kim)

2007년 인천대학교 전자공학과 입학
2013년 인천대학교 전자공학과 졸업 예정

홍진우(Jin-Woo Hong)

2007년 인천대학교 전자공학과 입학
2013년 인천대학교 전자공학과 졸업 예정

김혜미(Hye-Mi Kim)

2009년 인천대학교 전자공학과 입학
2013년 인천대학교 전자공학과 졸업 예정

이재기(Jae-Ki Lee)

1987년 서울산업대학교 전자공학과 학사
1990년 인천대학교 전자공학과 공학석사
2002년 인천대학교 전자공학과 공학박사
1992.2～현재 가천대학교 전자공학과 교수
※관심분야 : CMOS Reliability, SOI/MOSFET

박종태(Jong-Tae Park)

1981년 경북대학교 전자공학과 학사
1983년 연세대학교 전자공학과 공학석사
1987년 연세대학교 전자공학과 공학박사
1983.8～1985.8 금성반도체(주)연구소 연구원
1991.1～1991.12 MIT Post Doc.
2000.7～2001.8 UC Davis 방문교수
1987.3～현재 인천대학교 전자공학과 교수
※관심분야 : CMOS Reliability, Nano-scale CMOS, SOI/MOSFET, RF-CMOS