

AC PDP에서 CLHS 구동 방법에 의한 ITO Gap에 따른 방전 특성

The Characteristics of the Discharge According to ITO Gap by the CLHS Driving Method in AC PDP

신 재 화* · 최 명 규** · 김 근 수†
(Jae-Hwa Shin · Myung-Gyu Choi · Gun-Su Kim)

Abstract - In order to reduce the power consumption in international standard IEC62087, the luminance efficiency should be improved at the low discharge load rather than at the high discharge load. Thus, this paper analysed the characteristics of the discharge at the panels with ITO Gap of 65 μ m, 80 μ m, and 100 μ m in 50-inch PDP with FHD resolution. It was well known that the long gap panel improves the luminance and the luminous efficiency. However, it is very difficult to drive the panel due to high driving voltage. When the normal driving method was applied at the panel with ITO gap of 100 μ m, the phenomenon of the double peak was generated in the sustain period. We confirmed that main factor of the double peak is the self-erasing discharge. When the CLHS driving method was applied at the panel with ITO gap of 100 μ m, the self-erasing discharge was improved in the sustain period. Also, the V_S and V_A minimum voltage of the CLHS driving method decreased about 9V and 12V compared with those of the normal driving method. Moreover, when the CLHS driving method was applied to the panel with ITO gap of 100 μ m, the luminance and the luminous efficiency increased compared with those of the normal driving method. The luminance and the luminous efficiency greatly increased at the low discharge load. The less discharge load, the higher increase rate of the luminance and the luminous efficiency. Especially, the luminous efficiency at ITO gap of 100 μ m increased about 26.3% at the discharge load of 4% compared with that at ITO gap of 65 μ m.

Key Words : PDP, Long Gap, Plasma, Display, Half Sustain, CLHS

1. 서 론

PDP(Plasma Display Panel)가 LCD(Liquid Crystal Display)와 경쟁하기 위해서는 PDP의 시장은 50인치 이상의 크기에서 Full HD급의 해상도로 급격하게 전환이 되어야 한다. 그래서 고속 어드레싱, 고효율, 고화질 기술 개발이 절실한 상황이다. 또한, 미국, 유럽 등의 소비전력 규제 기준 때문에 PDP는 소비전력 감소라는 매우 어려운 문제에 처해져 있다. 효율 개선을 위해 Long Gap 기술이나 High Xe 기술들을 적용해야 하는데, 이 기술들은 구동 전압이 상승하는 단점을 가지고 있어서 이 패널을 구동하는데 매우 어려운 점이 있다[1-2]. 현재 고효율 기술 개발이 지연으로 소비전력 기준을 만족시키기 위해 휘도를 감소시키는 방법으로 제품이 개발되고 있다. 휘도를 감소시키는 방법은 화질이 저하되는 단점을 가지고 있다. 그래서 이 방법만으로는 소비전력 측정 국제표준 기준인 IEC62087 기준을 만족시키기에 한계가 있다. 이 기준을 만족시키기 위해서는 방전효율 뿐만 아니라 무효전력도 감소시켜야 한다[3].

지금까지 Long Gap 기술에 관한 연구가 많이 진행되었다. 하지만, 이들은 구동전압이 상승하여 보조 전극이나 보조 필스를 이용해야 한다[4-6]. 하지만, 보조 전극과 보조 필스는 회로의 가격의 상승과 또 다른 무효전력이 소모되는 단점을 가지고 있다. 또한 이 연구들은 7인치 이하의 소형 패널이나 XGA급 해상도 이하에서 수행이 되어서, FHD급 해상도에 적용하기에는 불가능하다[5-6].

본 연구에서는 50인치 FHD급 해상도의 패널에서 ITO Gap에 따라 방전특성을 분석하고, Long Gap 패널에서 구동 전압이 상승되는 원인을 분석하였다. 또한, 이를 개선하기 위해 CLHS(Energy Recovery Capacitor Less Half Sustain) 구동방법을 적용하였다[3].

2. 본 론

2.1 내장된 차체 테스트

2.1.1 실험에 사용한 패널의 사양

그림 1은 본 실험에 사용된 3전극 면방전형 AC-PDP의 셀 구조이다. 상판에는 유리 기판위에 ITO 전극을 증착 하고 그 위에 Ag로 이루어진 버스 전극을 인쇄한다. ITO 전극과 버스 전극으로 이루어진 방전유지전극 위에 유전체를 인쇄하고, 유전체 보호막인 MgO를 그 위에 증착한다. 그리고 하판에는 유리 기판위에 Ag로 인쇄된 어드레스 전극을 인쇄한다. 그리고 인접 셀과의 구분을 위하여 격벽을 만든다. 그 다음 면방

* Dep. of Electrical Engineering, University of Incheon, Korea.

** Dep. of Electrical Engineering, Gachon University, Korea.

† Corresponding Author : School of Electronics & Info-Communication, Yeungjin College, Korea.

E-mail : kgs13152@hotmail.com

Received : October 19, 2012; Accepted : December 13, 2012

전에서 발생하는 진공자의선을 가시광선으로 변환하는 red, green, blue 빛의 삼원색 형광체를 각각 도포 한다.

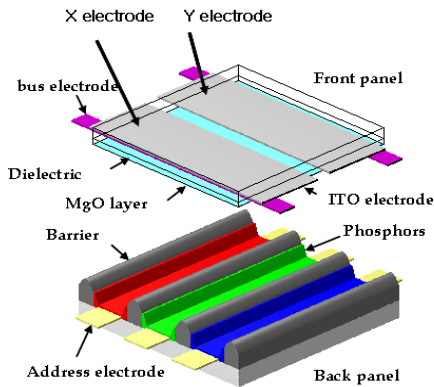


그림 1 AC-PDP의 기본 구조
Fig. 1 Basic structure of AC-PDP

본 실험에 사용한 패널은 3전극 면방전형 구조이다. 50인치 패널에서 Ne 85%, Xe 15%, 가스압력은 400 Torr로 제작하여 실험하였다. ITO Gap은 65 μ m, 80 μ m, 100 μ m인 3가지 패널을 사용하였다. 실험에 사용한 패널의 해상도는 1920×1080인 FHD급이다. 패널들의 상세한 사양은 표 1과 같다.

표 1 패널들의 사양
Table 1 The specification of panels

Parameter	Panel 1	Panel 2	Panel 3
Panel size	50 inch	50 inch	50 inch
Resolution	1920×1080	1920×1080	1920×1080
Working gas	Ne(85%)–Xe(15%)	Ne(85%)–Xe(15%)	Ne(85%)–Xe(15%)
Gas pressure	400 Torr	400 Torr	400 Torr
Barrier rib height	120 μ m	120 μ m	120 μ m
ITO width	183 μ m	175 μ m	165 μ m
ITO gap	65 μ m	80 μ m	100 μ m
Bus width	90 μ m	90 μ m	90 μ m
Dielectric thickness	22 μ m	22 μ m	22 μ m
MgO Thickness	8000 Å	8000 Å	8000 Å

2.1.2 실험 장치

그림 2는 본 실험에서 사용한 실험 장치 구성도이다. 50인치 모듈을 전원공급기와 패턴 발생기(VG-828)로 구동한 후 오실로스코프(TDS3054B)를 사용하여 전압 파형을 측정하였고, IR Detector를 오실로스코프에 연결하여 광파형을 측정하였다. 그리고 휘도는 휘도측정계(CA100+)로 측정하였다. 또한, PC에서 구동 파형을 변경하여 여러 가지 파형을 발생시켜 실험을 실시하였다.

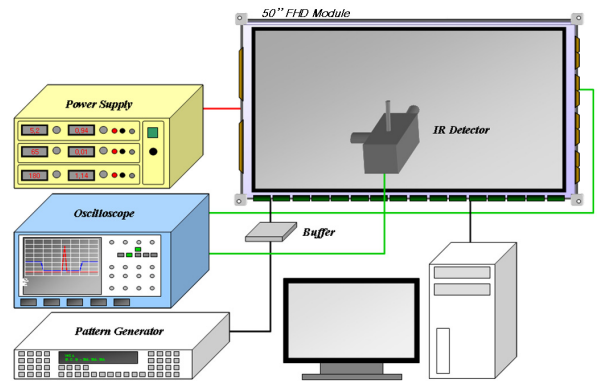
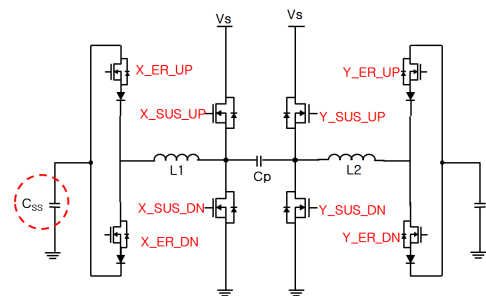


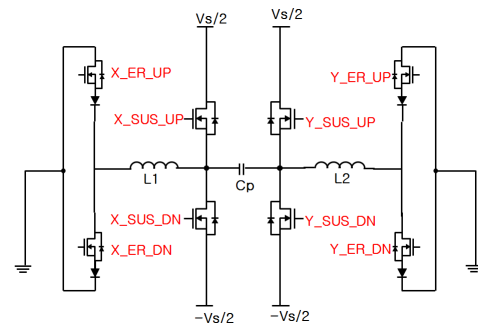
그림 2 실험 장치의 개략도
Fig. 2 Schematic diagram of system for test

2.1.3 CLHS (Energy Recovery Capacitor Less Half Sustain) 서스테인 회로

그림 3은 기존 구동방법과 CLHS 구동방법의 서스테인 회로의 개략도를 나타낸 것이다. 그림 3(a)는 기존 구동방법의 서스테인 회로 개략도이다. 그림 3(a)의 회로는 패널의 정전용량인 Cp와 회로의 L이 직렬로 연결되어 공진을 일으킨다. 이 때 직렬 LC 공진은 C_{SS}의 충전전압을 사용하고, C_{SS}에는 인가전압(V_s)의 레벨의 절반인 V_s/2가 충전 되어있다. 그림 3(b)는 CLHS (Energy Recovery Capacitor Less



(a) 기존 구동방법의 서스테인 회로의 개략도



(b) CLHS 구동방법의 서스테인 회로의 개략

그림 3 기존 구동방법과 CLHS 구동방법의 서스테인 회로의 개략도

Fig. 3 Schematic diagram of the sustain circuit in the normal driving method and the CLHS driving method.

Half Sustain) 구동방법의 서스테인 회로 개략도를 나타낸 것이다. 그림 3(b)에서 CLHS 구동방법은 GND를 기준으로 V_S 전압까지 상승하는 펄스를 인가하는 기존 구동방법과는 달리 $-V_S/2$ 전압을 기준으로 $V_S/2$ 전압까지 상승하는 펄스가 인가된다. 그림 3(a)와 비교해서 SUS_UP FET drain단에서는 V_S 전압 대신 $V_S/2$ 전압을 인가하고, SUS_DN FET의 source단에는 GND 대신 $-V_S/2$ 전압을 인가하였다. 한편 C_{SS} 는 제거하고, GND로 연결하였다. 에너지 회수회로에서 C_{SS} 의 역할은 구동전압의 중간 전압으로 유지시켜주는 것이다. CLHS 구동방법은 $V_S/2$ 와 $-V_S/2$ 로 구동하기 때문에 구동전압의 중간 전압이 0V가 된다. 그래서 C_{SS} 를 제거하고 직접 GND로 연결할 수 있다. CLHS 구동방법은 C_{SS} 를 제거하였기 때문에 서스테인 구간에서 C_{SS} 에 충전전되는 무효전력의 소모가 없어진다. 그래서 CLHS 구동방법의 무효전력이 감소하여 서스테인 수가 많은 영역에서 효율을 크게 개선할 수 있다[3].

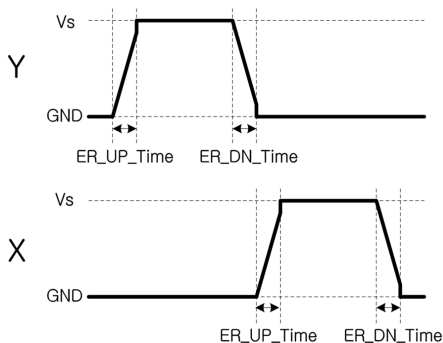
그림 4는 기존 구동방법과 CLHS 구동방법의 서스테인 파형의 상세 개략도이다. 그림 4(a)는 기존 구동방법의 서스테인 파형의 상세 개략도이다. 서스테인 펄스는 Y 전극부터 인가하고, 그 다음 X 전극에 인가하였다. Y 전극의 전압이 GND 상태에서 Y_ER_UP FET가 Turn On 되면 V_S 전압 부근까지 LC 공진에 의해서 상승한다. 그 다음 Y_SUS_UP FET를 Turn On 시켜 V_S 전압을 유지시킨다. 이때 출력과

형이 GND에서 V_S 전압까지 상승하는데 필요한 시간을 ER_UP Time이라고 한다. V_S 전압을 일정 시간 동안 유지시킨 후에 Y_ER_DN FET를 Turn On 시켜 LC 공진을 시키면서 GND 부근까지 Y 전극의 전압을 하강시킨다. 마지막으로 Y_SUS_DN FET를 Turn On 시켜서 Y 전극의 전압을 GND로 유지시킨다. 이때 출력파형이 V_S 전압에서 GND까지 하강하는데 필요한 시간을 ER_DN Time이라고 한다. X 전극의 파형은 GND 상태로 유지되다가 Y 전극에서 서스테인 펄스가 인가되고, 다시 Y 전극의 전압이 GND 상태가 되면, Y 전극과 동일한 방법으로 X 서스테인 회로를 동작시켜 파형을 발생시킨다. 그림 4(b)는 CLHS 구동방법의 서스테인 파형의 상세 개략도이다. Y 전극의 전압이 $-V_S/2$ 전압 상태에서 Y_ER_UP FET가 Turn On 되면 $V_S/2$ 전압 부근까지 전압이 LC 공진에 의해서 상승한다. 그 다음 Y_SUS_UP FET를 Turn On 시켜 Y 전극의 전압을 $V_S/2$ 로 유지시킨다. $V_S/2$ 전압을 일정 시간 유지시킨 후에 Y_ER_DN FET를 Turn On 시켜 LC 공진을 시키면서 Y 전극의 전압을 $-V_S/2$ 부근까지 하강시킨다. 마지막으로 Y_SUS_DN FET를 Turn On 시켜서 Y 전극의 전압을 $-V_S/2$ 로 유지시킨다. CLHS 구동방법의 ER_UP Time은 출력파형이 $-V_S/2$ 에서 $V_S/2$ 전압까지 상승하는데 필요한 시간으로 설정하였고, ER_DN Time은 출력파형이 $V_S/2$ 에서 $-V_S/2$ 전압까지 하강하는데 필요한 시간으로 설정하였다. X 전극의 파형은 $-V_S/2$ 상태로 유지되다가 Y 전극의 전압의 서스테인 펄스가 인가되고, 다시 Y 전극의 전압이 $-V_S/2$ 상태가 되면, Y 전극과 동일한 방법으로 X 서스테인 회로를 동작시켜 파형을 발생시킨다.

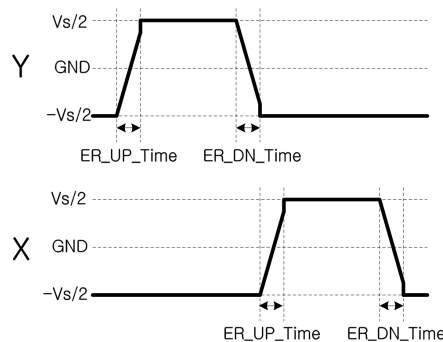
본 실험에서는 사용한 서스테인 파형은 모든 구동방법에서 동일한 파형을 사용하였다. 서스테인 파형의 ER_UP Time과 ER_DN Time은 400ns, 700ns로 설정하였고, 서스테인 펄스의 주기는 5 μ s로 사용하였다.

2.1.4 실험에 사용한 구동파형

그림 5는 실험에 사용한 기존 구동방법과 CLHS 구동방법의 A, X, Y 구동 파형의 개략도를 나타낸 것이다. 그림 5(a)는 기존 구동 방법의 A, X, Y 구동파형의 개략도이다. 그림 5(a)에서 리셋 파형은 셋업(setup) 파형이 인가되기 전에 Y 전극은 $-200V$ 까지 하강하는 셋다운(setdown) 파형과 그와 동시에 X 전극은 V_S 전압까지 상승시키는 프리리셋(pre_reset) 파형을 인가한다. 1st sub-field의 리셋 구간에서는 프리리셋 파형이 인가되고, GND에서 $V_{SC} + V_S$ 전압까지 상승하는 셋업 파형이 Y 전극에 인가된다. 그 다음 Y 전극에 셋다운 파형이 인가되고, 이 때 X 전극은 GND로 유지되며 셋다운 파형이 인가되고, 어드레스 구간 전에 V_{XB} 전압이 인가된다. 그리고 2nd sub-field 이상의 리셋 구간에서는 프리리셋 파형을 사용하지 않고, GND에서 V_S 전압까지만 상승하는 셋업 파형이 Y 전극 인가되고, 그 다음 Y 전극에 셋다운 파형이 인가된다. 셋업 파형이 인가될 때, X 전극은 GND로 유지되며 1st sub-field의 리셋 파형처럼 어드레스 구간 전에 V_{XB} 전압이 인가된다. 각 파형에 인가되는 전압은 표 2와 같다. 그림 5(b)는 CLHS 구동 방법의 A, X, Y 구동 파형의 개략도를 나타낸 것이다. CLHS 구동방



(a) 기존 구동방법의 서스테인 파형의 상세 개략도

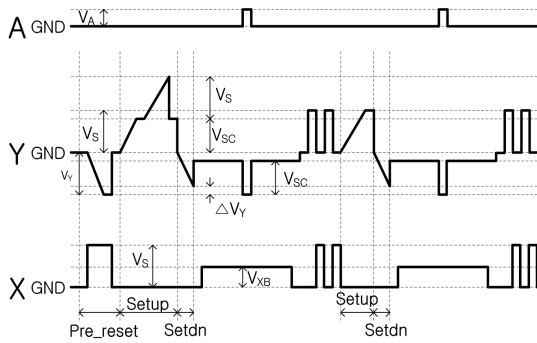


(b) CLHS 구동방법의 서스테인 파형의 상세 개략도

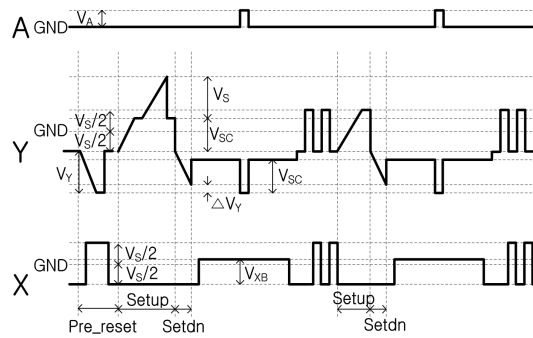
그림 4 기존 구동방법과 CLHS 구동방법에의 서스테인 파형의 상세 개략도

Fig. 4 Schematic diagram of the specific sustain waveform in the normal driving method and the CLHS driving method

법의 구동파형은 기존 구동 파형에서 구동 파형의 전압들이 각각 $V_S/2$ 만큼 감소된 것을 제외하고 거의 동일하다. 단지, 배경광의 휘도를 비슷하게 유지하기 위해서 V_Y 전압을 $-240V$ 로 설정하였다. 각 파형에 인가되는 전압은 표 2와 같다. 본 실험에서는 ADS(Address Display period Separated) 구동 방법을 사용하였고, 1 frame에는 총 9개의 sub-field를 사용하여서 계조를 표시하였다.



(a) 기존 구동방법의 A, X, Y 구동 파형의 개략도



(b) CLHS 구동방법의 A, X, Y 구동 파형의 개략도

그림 5 기존 구동방법과 CLHS 구동방법의 A, X, Y 구동 파형의 개략도

Fig. 5 Schematic diagram of the driving waveform of A, X, and Y in the normal driving method and the CLHS driving method

표 2 기존 구동방법과 CLHS 구동방법의 전압 사양

Table 2 The specification of the voltage of the driving waveform in the normal driving method and the CLHS driving method

Parameter	Normal Driving Method	CLHS Driving Method
V_A	60V	60V
V_Y	-200V	-240V
V_{Sc}	150V	150V
V_{XB}	100V	100V
ΔV_Y	15V	15V

2.2 V_S 와 V_A 의 최소 전압 비교

그림 6에서 구동 파형별 ITO Gap에 따른 V_S 와 V_A 의 최소 전압을 비교하였다. V_S 최소 전압은 Full White 패턴에서 V_A 전압을 60V로 설정하고 측정하였다. 그리고 V_A 최소 전압은 V_S 최소 전압에 6V를 더한 후에 Full White 패턴에서 측정하였다. 그림 6에서 보듯이 V_S 와 V_A 의 최소 전압은 ITO Gap이 증가함에 따라 증가한다. ITO Gap이 $65\mu m$ 와 $80\mu m$ 일 때, 기존 구동방법과 CHLS 구동방법의 V_S 와 V_A 의 최소 전압은 거의 비슷하다. 하지만, ITO Gap이 $100\mu m$ 일 때는 기존 구동방법의 V_S 와 V_A 의 최소 전압은 CLHS 구동방법에 비해서 각각 9V, 12V 만큼 크게 상승하였다. 특히, ITO Gap이 $100\mu m$ 인 패널을 기존 구동방법을 구동할 때의 V_A 최소전압이 약 58V로 나타났기 때문에 이 패널을 기존 구동방법을 구동하기에는 불가능하다. 그 이유는 각 제조회사에서 V_A 구동 전압을 60V이하로 설정하기 때문에 제품에 적용하기에는 어려운 상황이다. 그림 6의 결과에서처럼 CLHS 구동방법은 ITO Gap이 작은 패널에서는 구동 특성이 기존 구동방법과 비슷하지만, ITO Gap이 큰 $100\mu m$ 의 패널에서는 기존 구동방법에 비해서 구동 전압을 크게 감소시킬 수 있는 것을 알 수 있다.

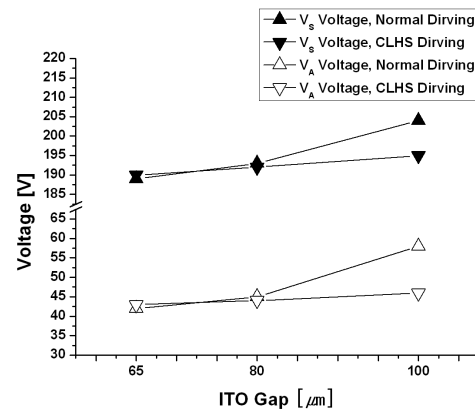


그림 6 구동파형별 ITO Gap에 따른 V_S 와 V_A 최소 전압 비교

Fig. 6 Comparison of the minimum voltage of V_S and V_A according to ITO Gap at different driving method

2.3 방전현상 비교

그림 7은 구동파형별 ITO Gap에 따라 전압파형과 광파형을 비교한 그림이다. 그림 7에서 그림 7(a), 7(b), 7(c)은 기존 구동방법으로 ITO Gap이 각각 $65\mu m$, $80\mu m$, $100\mu m$ 일 때 구동했을 경우의 전압파형과 광파형이다. 그림 7의 결과는 V_S 전압은 V_S 최소 전압에서 6V를 더한 값으로 각각 설정하였고, V_A 전압은 60V로 설정하고 측정하였다. 측정 패턴은 Discharge Load가 25%인 패턴에서 측정하였다. Discharge Load는 방전이 되는 면적과 전체 패널의 면적의 비율로 정의하였다. 패널의 정중앙을 기준으로 가로와 세로의 비율이 동일한 직사각형 패턴을 사용하였다. Discharge Load의 관한 상세 개략도를 그림 8에 나타내었다. L_H 는 패

널의 유효화면의 가로 길이이고, L_V 는 패널의 유효화면의 세로 길이이다. I_H 는 측정을 위한 패턴의 가로 길이이고, I_V 는 세로 길이이다. 그림 8에서 Discharge Load는 $(I_H/L_H) \times 100\%$ 와 $(I_V/L_V) \times 100\%$ 의 곱으로 정의하였다. 그림 7(a)와 7(b)에서는 광파형이 일반적으로 발생하고 있는 것을 볼 수 있다. 하지만, 그림 7(c)에서는 Y 전극에 펄스가 인가될 때, 광파형의 피크가 2번씩 발생하는 것을 볼 수가 있다. 그림 7(c)에서 발생하는 광파형의 2중 피크현상은 서스테인 펄스의 전압 약 50% 정도 상승하였을 때 첫 번째 광파형의 피크가 형성되었고, 서스테인 펄스의 전압이 모두 상승하였을 때, 두 번째 광파형의 피크가 형성되었다. ITO Gap 증가하면 서스테인 전극간의 면방전 전압은 상승하지만, 어드레스 전극과 서스테인 전극간의 대향방전 전압은 상승하지 않는다. ITO Gap이 증가하면 V_S 전압이 상승된다. 이에 따라 셀 내부에 많은 벽전하가 형성되고, 어드레스 전극과 서스테인 전극간의 쌓이는 벽전하의 양도 증가하게 된다. 이 벽전하들로 인해 그 다음 서스테인 방전이 발생하기 전에 어드레스 전극과 서스테인 전극간에 Self-erasing 방전이 발생하게 된다. 이 Self-erasing 방전이 그림 7(c)에서 발생하는 첫 번째 광파형의 피크로 나타나게 되는 것이다. Self-erasing 방전으로 인해 셀 내에 일부 벽전하들이 소거가 되어서 그

다음에 발생하는 서스테인 방전의 크기가 줄어들었다. 그림 7(d), 7(e), 7(f)는 CLHS 구동방법으로 ITO Gap이 각각 $65\mu\text{m}$, $80\mu\text{m}$, $100\mu\text{m}$ 인 패널을 구동했을 경우의 전압파형과 광파형이다. 그림 7(d)와 7(e)의 결과는 기존 구동방법으로 구동했을 때의 결과인 그림 7(a)와 7(b)의 결과와 비교해서 광파형의 크기들이 조금씩 다르지만 방전의 형태는 거의 비슷하다. 하지만, 그림 7(f)는 그림 7(c)의 결과와는 달리 광파형의 피크가 2번씩 발생하지 않고 1번씩 발생하였고, 광파형의 크기도 그림 7(a), 7(b), 7(c)에 비하여 매우 크게 증가하였다. CLHS 구동방법으로 구동하게 되면 서스테인 구간에서의 어드레스 전극의 전압은 서스테인 전압의 정확이 중간 레벨이 된다. 그래서 서스테인 방전이 발생할 때 어드레스 전극에 벽전하들이 거의 쌓이지 않고, 대부분의 벽전하들이 서스테인 전극사이에 쌓이게 된다. 그래서 그림 7(c)에서 발생하는 어드레스 전극과 서스테인 전극사이의 Self-erasing 방전이 발생하지 않는다. 그 결과 그림 7(f)에서 광파형의 피크가 2번 발생하지 않고, 1번만 발생하고 광파형의 크기도 증가하였다. 그림 6과 그림 7의 결과에서 ITO Gap이 $65\mu\text{m}$ 와 $80\mu\text{m}$ 일 때는 기존 구동방법과 CLHS 구동방법의 방전은 거의 비슷한 것으로 나타났다. 하지만 ITO Gap이 $100\mu\text{m}$ 일 때는 구동방법이 방전의 영향을 크게 주는 것으로 나타났다.

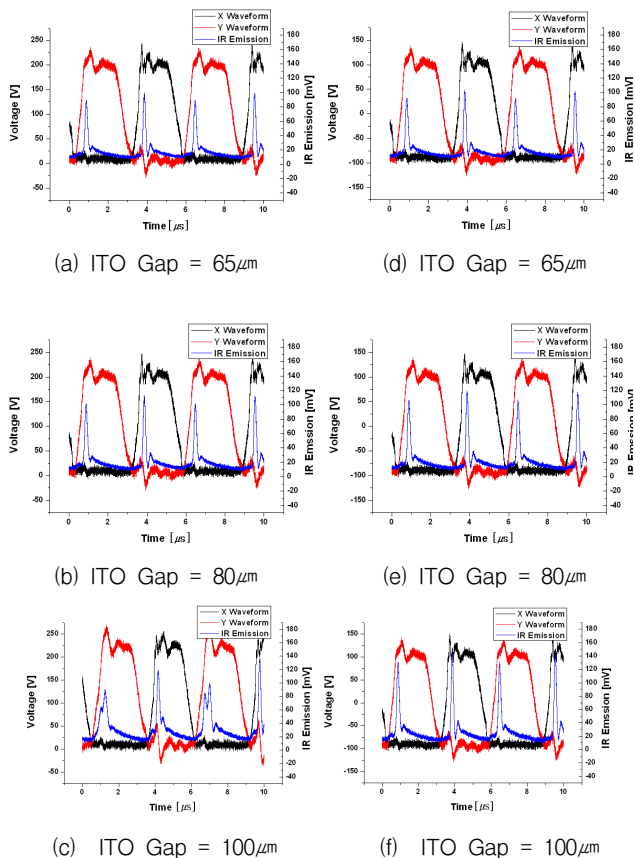


그림 7 구동파형별 ITO Gap에 따른 전압파형과 광파형 비교

Fig. 7 Comparison of voltage waveform and photo waveform according to ITO gap at different driving method. Normal Driving Method : (a), (b), and (c). CLHS Driving Method : (d), (e), and (f).

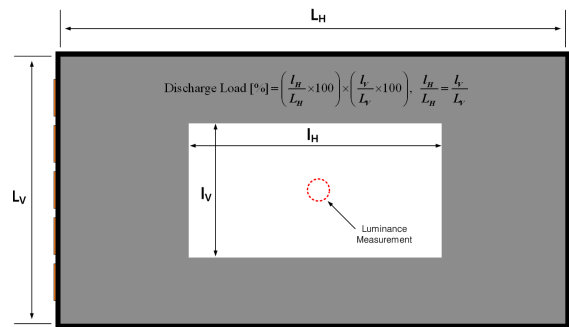


그림 8 Discharge Load의 상세 개략도
Fig. 8 Schematic diagram of discharge load

2.4 휘도 및 효율 비교

그림 6과 그림 7의 결과에서 ITO Gap이 $65\mu\text{m}$ 와 $80\mu\text{m}$ 일 때는 구동방법에 따라 서스테인 방전의 영향은 거의 없는 것으로 나타났다. ITO Gap이 $100\mu\text{m}$ 일 때는 기존 구동방법에서는 광파형의 피크가 2번 발생하면서 최소 구동전압이 상승하여 구동하기 매우 어려웠다. 그러나 CLHS 구동방법으로 최소 구동전압을 크게 낮출 있어서 ITO Gap이 $100\mu\text{m}$ 인 패널의 구동이 가능해졌다. 그래서 우리는 CLHS 구동방법을 적용하여 ITO Gap에 따른 휘도와 효율을 비교하였다.

그림 9는 CLHS 구동방법에서 Discharge Load별 ITO Gap 따른 휘도를 비교한 그래프이다. 그림 9에서 보듯이 Discharge Load가 큰 영역에서는 휘도가 거의 동일하지만, 25%보다 적은 영역에서 ITO Gap이 클수록 휘도가 크게 증가하는 것을 볼 수 있다. Discharge Load가 4% 일 때의 휘도를 비교해 보면, ITO Gap이 $100\mu\text{m}$ 인 경우일 때 휘도는 $65\mu\text{m}$ 인 경우 보다 약 133cd/m^2 상승하였다. Discharge Load

가 4% 일 때의 휘도와 25% 일 때의 휘도를 비교하면, ITO Gap이 65 μm 일 때는 53cd/m², ITO Gap이 80 μm 일 때는 75cd/m², ITO Gap이 100 μm 일 때는 153cd/m² 증가하였다. ITO Gap이 증가할수록 휘도의 Discharge Load가 작은 영역에서 증가폭은 크게 증가하였다. 일반적으로 ITO Gap이 증가하면, Discharge Path가 증가하여 패널의 휘도가 증가한다. 하지만, PDP에서는 Discharge Load가 클수록 휘도가 문제가 있다. 이것은 PDP의 문제점 중의 하나인 Load Effect 현상과 ITO Gap이 증가하여 감소된 Capacitance 때문이다. 그 원인 방전 시 각 셀에 공급되는 전류량과 관련 있다. 즉, 서스테인 전극에 따라 방전이 되는 셀들의 수가 많을수록, 방전이 발생할 때 각 셀 당 공급되는 전류량이 감소하게 되어 방전의 크기가 제한되어 휘도가 감소하게 된다. 이런 현상은 패널의 크기가 클수록, 패널의 해상도가 증가할수록 잘 나타난다. 이러한 Load Effect 때문에 ITO Gap 증가하더라도 Discharge Load가 큰 영역에서는 휘도 상승폭이 작게 나타나고, Discharge Load가 작은 영역일수록 휘도 상승폭이 크게 나타나게 된다. 또한, 본 실험에서 사용된 패널은 ITO Gap이 증가한 만큼 ITO 폭이 감소되기 때문에, ITO Gap이 증가할수록 패널의 Capacitance 성분이 더욱 감소된다. 그래서 각 셀에 충전 시키는 전류가 감소된다. 그래서 방전 시에 각 셀에 공급되는 전류량이 증가될 수 있어서 ITO Gap이 클수록 방전 시에 셀에 공급되는 전류가 증가할 수 있다.

그림 10은 CLHS 구동방법에서 Discharge Load별 ITO Gap 따른 소비전력을 비교한 그래프이다. ITO Gap이 증가할수록 휘도가 증가하였는데, 소비전력은 오히려 감소하였다.

그림 11은 CLHS 구동방법에서 Discharge Load별 ITO Gap 따른 효율을 비교한 그래프이다. 그림 11에서 보듯이 ITO Gap이 증가할수록 모든 Discharge Load에서 효율이 증가하였다. 모든 Discharge Load에서 약 0.1lm/W 씩 증가하였다. Discharge Load가 100%인 영역에서는 약 6.2% 정도의 효율이 증가하였지만, Discharge Load가 작은 영역인 25%, 16%, 9%, 4%에서는 효율 증가율이 각각 9.3%, 12.5%, 18.5%, 26.3%로 나타났다. ITO Gap이 100 μm 인 패널에 CLHS 구동방법을 적용하면 이처럼 Discharge Load가 작은 영역에서의 효율이 크게 개선되었기 때문에 IEC62087 기준의 소비전력이 크게 개선이 될 수 있다.

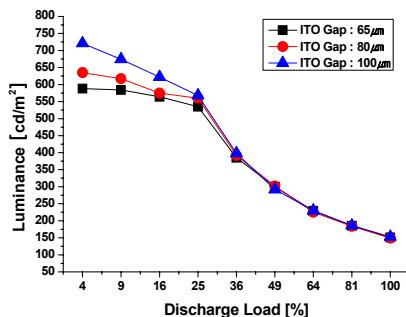


그림 9 CLHS 구동방법에서 Discharge Load별 ITO Gap에 따른 휘도 비교

Fig. 9 Comparison of the luminance according to ITO Gap as a function of discharge load in the CLHS driving method

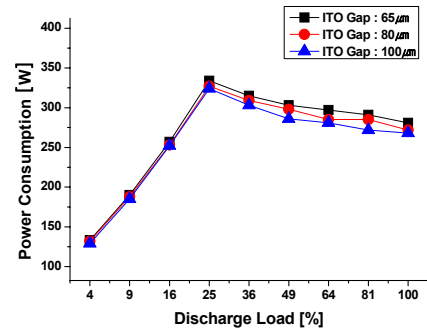


그림 10 CLHS 구동방법에서 Discharge Load별 ITO Gap에 따른 소비전력 비교

Fig. 10 Comparison of the power consumption according to ITO Gap as a function of discharge load in the CLHS driving method

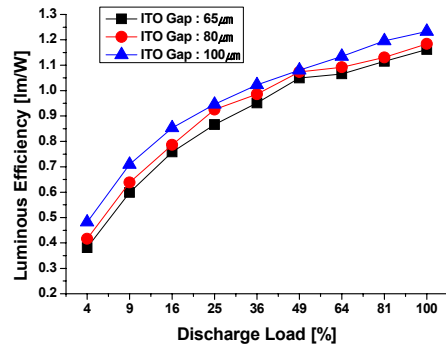


그림 11 CLHS 구동방법에서 Discharge Load별 ITO Gap에 따른 효율 비교

Fig. 11 Comparison of the luminous efficiency according to ITO Gap as a function of discharge load in the CLHS driving method

3. 결 론

본 논문에서 우리는 PDP의 소비전력을 감소시키기 위해 50인치 FHD급 패널에 Long Gap 기술을 적용하였다. 또한, Long Gap 기술의 단점 중에 하나인 구동전압이 상승하는 원인을 분석하고, 이를 개선하기 위해 CLHS 구동방법을 적용하였다. PDP에서 ITO Gap이 증가하면 일반적으로 구동전압이 상승한다. 실험결과에서 보면 기존 구동방법으로 구동하였을 때, ITO Gap이 65 μm 에서 80 μm 으로 증가하였을 때 구동전압이 조금 상승하였지만, ITO Gap이 100 μm 인 경우에는 구동전압이 크게 상승하고, Self-erasing 방전이 발생하여 광파형의 피크가 2번 발생하였다. 하지만, ITO Gap 100 μm 인 패널에 CLHS 구동방법을 적용하였을 때 V_S 와 V_A 의 최소 전압은 기존 구동방법에 비해서 각각 9V, 12V 만큼씩 크게 감소하였다. 그리고 Self-erasing 현상도 개선이 되었다.

실험결과에서 보듯이 CLHS 구동방법을 적용하면 ITO Gap이 증가함에 따라 휘도가 증가하였다. Discharge Load가 큰 영역에서는 휘도가 거의 비슷하였지만, Discharge load가 적은 영역에서 휘도 증가율이 매우 크게 나타났다.

Discharge Load가 4% 일 때, ITO Gap이 100 μ m인 경우에 65 μ m와 비교해서 휘도가 133cd/m² 상승하였다. 소비전력은 ITO Gap이 클수록 전 영역에서 감소하였다. 그 결과 ITO Gap 클수록 모든 Discharge Load에서 효율이 약 0.1lm/W 씩 증가하였다. ITO Gap은 65 μ m에서 100 μ m 증가시킬 때, Discharge load가 100%인 영역에서는 약 6.2% 정도의 효율이 증가하였지만, Discharge load가 작은 영역인 25%, 16%, 9%, 4%에서는 효율 증가율이 각각 9.3%, 12.5%, 18.5%, 26.3%로 나타났다. ITO Gap이 100 μ m인 패널에 CLHS 구동 방법을 적용하면 이처럼 Discharge load가 작은 영역에서의 효율이 크게 개선되었기 때문에 IEC62087 기준의 소비전력이 크게 개선이 될 수 있다.

감사의 글

본 연구는 인천대학교 2012년도 자체연구비 지원에 의하여 연구되었음.

참 고 문 헌

[1] Gun-Su Kim and Seok-Hyun Lee, "Temperature Dependence of Address Discharge at High Temperature in an AC-PDP", IEEE Transactions on Plasma Science, Vol. 38, No. 11, pp 3136-3142, November, 2010.

[2] Gun-Su Kim and Seok-Hyun Lee, "Analysis of Misdischarge as Aging Characteristics in an AC-PDP", IEEE Transactions on Plasma Science, Vol. 39, No. 6, pp 1-5, Jun, 2011.

[3] Jae-Hwa Shin and Gun-Su Kim, "CLHS Driving Method for Reducing Reactive Power Consumption in AC PDP", Trans. KIEE, Vol. 60, No. 3, pp 577-581, Mar, 2011.

[4] Jae Young Kim, Hyun Kim, Heung-Sik Tae, Jeong Hyun Seo and Seok-Hyun Lee, "Effect of Voltage Distribution Among Three Electrodes on Microdischarge Characteristics in AC-PDP With Long Discharge Path", IEEE Transactions on Plasma Science, Vol. 34, No. 6, pp 2579-2587, December, 2006.

[5] Tae Jun Kim, Joong Kyun Kim, and Ki-Woong Whang, "High Luminous Efficacy Characteristics of Long Gap Structure AC Plasma Display Panel With Self-Ignition Electrode", IEEE Transactions on Plasma Science, Vol. 35, No. 6, pp 1775-1780, December, 2007.

[6] Kyung Cheol Choi, Cheol Jang, and Jin Bhum Yun, "Driving Characteristics of a High-Efficacy AC PDP With an Auxiliary Electrode", IEEE Transactions on Electron Device, Vol. 55, No. 6, pp 1338-1344, June, 2008.

저 자 소 개



신재화 (申載華)

1949년 12월 4일생. 1975년 인하대 전기공학과 졸업. 2004년 동 대학원 전기공학과 졸업(공학박). 1975~2010 인천전문대학 전기과 교수, 2010년~현재 인천대 전기공학과 교수

Tel : 032-835-8431

E-mail : shinjh@incheon.ac.kr



최명규 (崔明奎)

1950년 8월 21일생. 1973년 홍익대 전기공학과 졸업. 1991년 동 대학원 전기공학과 졸업(공학박). 1980~2006 경원전문대학 전기과 교수, 2006년~현재 가천대학교 전기공학과 교수

Tel : 031-750-5707

E-mail : mkchoi@gachon.ac.kr



김근수 (金根秀)

1976년 3월 20일생. 2000년 인하대 전기공학과 졸업. 2009년 동 대학원 전기공학과 졸업(공학박). 2004년~2010년 LG전자 PDP 사업부 책임연구원, 2010년~현재 영진전문대학 전자정보통신계열 교수

Tel : 010-3304-7692

Fax : 053-940-5289

E-mail : kgs13152@hotmail.com