

# TCAD 툴을 이용한 제안된 얇은 트랜치 격리의 시뮬레이션

이용재<sup>1†</sup>

## Simulations of Proposed Shallow Trench Isolation using TCAD Tool

YongJae Lee

### ABSTRACT

In this paper, the proposed shallow trench isolation structures for high threshold voltage for very large scale and ultra high voltage integrated circuits MOSFET were simulated.

Physically based models of hot-carrier stress and dielectric enhanced field of thermal damage have been incorporated into a TCAD tool with the aim of investigating the electrical degradation in integrated devices over an extended range of stress biases and ambient temperatures.

As a simulation results, shallow trench structure were intended to be electric functions of passive, as device dimensions shrink, the electrical characteristics influence of proposed STI structures on the transistor applications become stronger the potential difference electric field and saturation threshold voltage.

**Key words** : Shallow Trench Isolation, Hot carrier, TCAD, Moat, Chemical Mechanical Polishing

### 요 약

본 논문에서는, 초고집적과 초고내압 MOSFET를 위한 높은 임계전압에서 제안한 구조의 얇은 트랜치 접합 격리 구조에 대한 시뮬레이션 하였다. 열전자 스트레스와 열 손상의 유전 강화 전계의 물리적 기본 모델들은 주위 온도와 스트레스 바이어스의 넓은 범위에 걸친 집적화된 소자들에 있어서 분석하는 전기적 목표인 TCAD 툴을 이용하였다.

시뮬레이션 결과, 얇은 트랜치 접합 격리 구조가 수동적인 전기적 기능 일지라도, 소자의 크기가 감소됨에 따라서, 초대규모 집적회로 공정의 응용에서 제안된 얇은 트랜치 격리 구조가 전기적 특성에서 전위차, 전계와 포화 임계 전압이 높게 나타났다.

**주요어** : 얇은 트랜치 격리, 열전자, 회자, 화학기계적연마,

## 1. 서 론

정보통신 융합 사회가 필요로 하는 스마트 전자의 기술에서 고속, 고내압, 고집적화의 기본적인 소자제작을 위한 관련 기술이 절실하다. 여기에 필요한 문자, 음성 및 영상의 통신화를 복합적으로 이용하고, 대화형으로 정보

를 교환하기 위해서는 더 많은 정보를 더욱 빠르게 처리할 수 있는 빠른 속도와 넓은 범위의 전압을 구동할 수 있는 집적회로에서 개별 반도체 소자가 요구되고 있다. 또 이런 소자는 시스템의 성능향상으로 이어지며, 그 핵심 부품인 트랜지스터의 초고속화, 초고집적화 및 초절전화가 요구되고 있다<sup>1,2)</sup>.

TCAD 툴은 격자 관련 국지적인 온도와 전계에 대해 파라미터 유동에 관련이 있지만 직접적인 열화를 예측할 수 없고, 관련된 모델은 불균일 격자 가열 모델이며, 실제에는 적용할 수 없다. 따라서 초고집적을 위한 소자와 소자를 격리 시키는 격리 공정 발달이 초고집적도에 중요한 관건이 되었으며, 반도체 소자크기의 축소화가 고밀도와 소자 속도를 향상시키기 위해 필요하다. 소자의 게이트

\*이 논문은 동의대학교 교내연구(2012AA166)의 결과로 수행된 연구임.

접수일(2013년 5월 24일), 심사일(2013년 9월 13일), 게재 확정일(2013년 9월 25일)

<sup>1)</sup> 동의대학교 공과대학 전자공학과

주 저 자 : 이용재

교신저자 : 이용재

E-mail; yjlee@deu.ac.kr

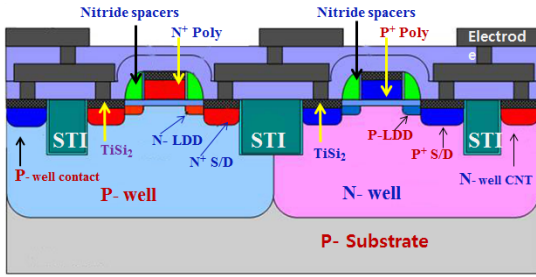


Fig. 1. The newest CMOS structure of STI and gate electrode formation

길이를 축소하면, 소스와 드레인 사이에서 발생하는 누설 전류가 증가하는 단채널 효과가 발생한다. 이를 위한 최종적으로 성능과 생산량을 좌우하는 기본적인 물리적 현상에 대한 통찰력을 제공하는 단위공정에 앞서 공정의 가능성과 소자의 특성을 미리 예측하는 시뮬레이션의 결과가 우선 요구된다<sup>3,4)</sup>.

즉 절연막의 두께를 줄여야하는 초고집적화의 MOSFET 소자를 제작할 수 있다. 소스/드레인의 얇은 접합 형성을 위해서 소자와 소자 사이의 얇은 접합 격리는 트랜지스터 사이에서 전기적 격리를 하기 때문에 쌍보형-모스 기술에서 중요한 공정 요소이다. 비록 얇은 접합 격리 구조가 수동적인 전기적 기능 일지라도, 소자의 크기가 감소됨에 따라서, 트랜지스터 특성에서 얇은 접합 격리의 영향은 크게 나타난다.

본 연구는 TCAD 툴(ATHENA, ATLAS)을 이용한 얇은 접합 격리와 트랜지스터 성능 사이에는 상호작용을 하는 두 가지 중요한 관련 인자와 구조에 대한 시뮬레이션 특성을 하고자 한다.

첫째는 얇은 접합 격리의 영향으로 소위 ‘좁은 폭 효과’라 불리는 좁은 폭의 MOS (Metal Oxide Semiconductor) 구조에서 1) 수직 모양 구조 2) 기존 곡선화 구조, 3) 제안된 회자(Moat) 곡선화 구조에 따른 각각의 얇은 트랜치 격리 구조를 실제 공정을 고려한 구조를 시뮬레이션 하고자 한다.

둘째는 이 구조에 따른 얇은 접합 격리에 의해 유기된 스트레스 때문에 얇은 트랜치 격리 공정이 활성 영역에 미치는 스트레스에 의한 실리콘의 손상이 근처의 트랜지스터 전기적 특성에 미치는 영향의 분석으로 전위 분포, 전계분포와 포화임계전압 특성을 분석하고자 한다.

셋째는 게이트 실리콘사이드 전극에서 게이트 산화막의 측면 부분에서 스트레스의 영향으로 인한 게이트 산화막

의 두께변화를 분석하고자 한다. 따라서 이런 효과들을 실제 초고집적 소자에서 전기적 영향을 주는 인자들을 완화시키고, 실제 소자 제작의 최적 공정을 정확하게 하기 위한 시뮬레이션 하고자 하며, 공정설계에서 특성에 원인이 되는 효과들을 감소시킬 수 있는 제안된 회자구조의 얇은 트랜치 격리 구조와 게이트 활성영역에서 가장자리 산화막을 개선시키고자 한다.

## 2. 격리 구조와 게이트 전극의 시뮬레이션

### 2.1 구조별 STI 시뮬레이션

TCAD 툴의 2-D 시뮬레이터를 이용하여, 제안한 얇은 트랜치 격리 구조를 3가지이며, 기존의 방법과 제안된 회자 구조에 대한 시뮬레이션으로 각각의 구조와 얇은 접합에서 크게 요구되는 전계분포와 높은 임계전압이 나타나는 구조가 되도록 설계를 하여야 실제 제작에서 격리에 대한 활성영역의 영향이 작기 때문이다. 이 시뮬레이션 연구에 대한 테스트 토대는 인텔에 의해 보고<sup>5,6)</sup> 된 전형적인 45nm 기술 세대의 고성능 트랜지스터의 성능 C-MOSFET 용도로 설계하고자 하는 전단계 공정 기술이다.

기존의 구조에서 포화 임계전압을 개선시키기 위해 얇은 트랜치 격리와 활성영역 경계부위에 기존의 1) 수직 모양 구조 2) 기존 곡선화 구조, 3) 제안된 회자 모양의 구조에 따른 각각의 얇은 트랜치 격리 구조의 공정 시뮬레이션과 각각의 구조에서 전위에 대한 전자 분포, 전계 분포를 시뮬레이션 하고자 하였다.

모스(MOS) 구조에서 기관 P형 실리콘과 실리콘사이드 전극인 게이트 단자에 0 [V]에서 2 [V] 까지 0.1 [V] 씩 증가 시켜서 인가를 하였다. 이 경우 게이트 인가 바이어스의 크기에 따라서 얇은 트랜치 격리 구조의 가장자리 영역에서 먼저 동일한 게이트 전압에 비해 얇은 산화막 두께로 인해 큰 전계가 형성이 되어 포화 임계전압 형성을 구조별로 분석한 결과가 다음 그림들이다. 격리 구조의 임계전계 즉 두께와 관련된 임계 전압이 높은 구조가 활성영역의 소자의 특성에 영향을 작게 미치는 결과를 나타내기 때문이다. 따라서 동일한 실리콘 기관농도 $10^{16}/\text{cm}^3$ 에서 임계전압 시뮬레이션 결과에서 가장자리에서의 포화 임계전압을 높이고자 제안한 회자 모양의 구조와 수직 모양의 얇은 트랜치 격리 구조, 기존 곡선화 구조에 대한 시뮬레이션 분석 결과가 다음 Fig. 2, 3이다.

Fig. 2는 일반적인 수직 구조의 얇은 트랜치 격리 구조에서 게이트 단자에 0 [V]에서 2 [V] 까지의 바이어스에 따른 전계 분석 결과에서 주요 전계 분포로 대표적인 0.1 [V],

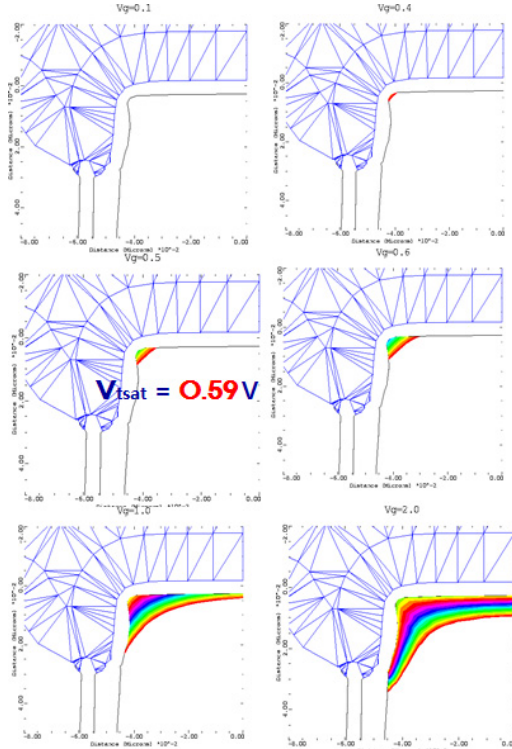


Fig. 2. Electron concentration distribution(ECD) according to gate bias in STI of vertical structure

0.4 [V], 0.5 [V], 0.6 [V], 1 [V]와 2 [V]의 결과이다. 실리콘 기반 P형 농도  $10^{16}/\text{cm}^3$ 에서 페르미 준위( $E_f$ )에서 전자가 반전된 두께와 동일한 전압인 포화 임계전압이 0.59 [V]로 나타난 빨간색으로 확연히 나타난 결과이며, 게이트 전압의 증가에 따라 반전층은 두껍게 나타나고 있으며, 반전층의 형태는 활성영역 가장자리 부분은 높게 나타나며, 활성영역 중앙 부분까지는 일정한 모양을 나타내는 결과를 나타내고 있다.

동일한 시뮬레이션 조건에서 곡선 구조가 Fig. 2의 수직 구조 보다 기존 곡선화 모양으로 인해 활성영역 가장자리 부분에는 게이트 바이아스에 다른 전자의 반전층이 두껍게 나타난 시뮬레이션 결과이다. 이 결과에서 격리 구조에서 Fig. 2의 가장자리 영역 보다 게이트 단자에 전압이 0.6 [V]에서는 반전이 거의 일어나지 않으며, 0.8 [V]에서 반전층이 형성되기 시작하여 비교적 높은 0.86 [V]에서 포화 임계전압으로 나타났으며, 활성 영역 중앙 부분에는 거의 일정한 반전 결과를 보인다.

Fig. 3은 기존의 수직 모양의 얇은 트랜치 격리 구조와 곡선화 구조 보다 개선 시키고자하는 회자 모양에 대한

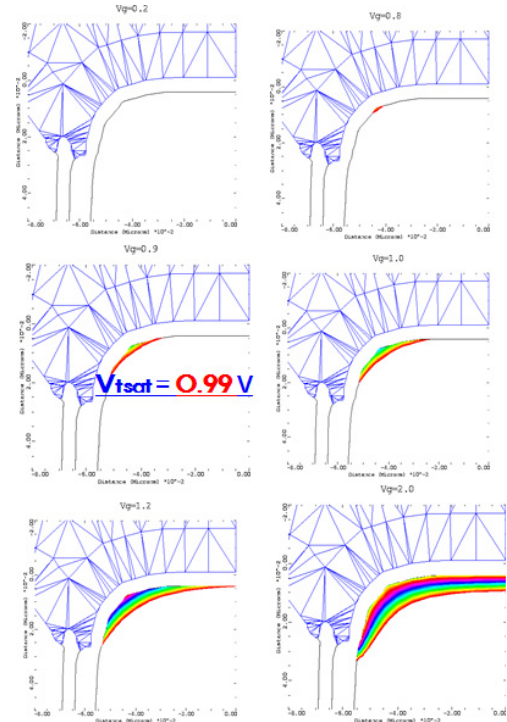


Fig. 3. ECD simulations according to gate bias in STI of proposed moat structure

시뮬레이션 결과로 게이트 단자에 바이아스를 인가한 결과 전자의 반전층이 0.6 [V] 0.8 [V]에선 거의 전자농도 분포가 나타나지 않지만, 전압이 0.9 [V]에서 약간의 전자농도 분포를 나타내며, 1 [V] 근처와 유사한 포화 임계전압이 0.99 [V]로 나타난 확실하게 개선된 포화 임계전압 특성의 결과가 나타났다.

### 2.2 제안한 회자 구조의 임계전압 시뮬레이션

전체적인 구조별 시뮬레이션 결과는 P형 기판에서 가장자리 영역의 전자 반전층의 포화 임계전압 특성의 분석 결과는 기존의 수직 모양 구조가 0.59 [V], 기존의 곡선 모양 구조는 0.86[V]로 높아졌으며, 제안한 회자 모양의 얇은 접합 격리 구조가 0.99 [V]로 가장 높은 반전층의 형성으로 나타났으며, 활성 영역 부분에서도 Fig. 2와 Fig. 3의 결과 보다 일정한 안정된 반전층이 형성된 결과를 보인다. 이는 활성영역에서의 집적회로의 트랜지스터의 동작 임계 전압(0.2 [V] 이하) 보다 훨씬 높기 때문에 활성 영역에는 비교적 얇은 산화막 격리 공정에서 주로 나타나는 스트레스에 의한 누설 전류가 주로 형성된다. 활성영역과 격리 산화막의 경계 부분의 가장자리 부분에

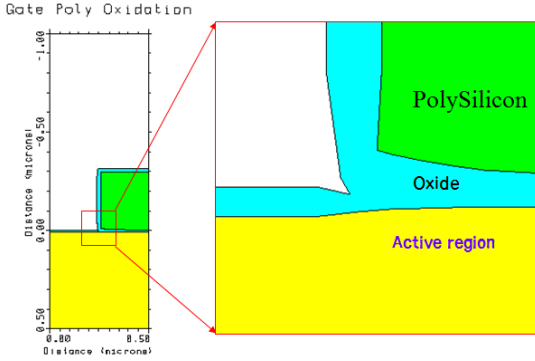


Fig. 4. Mesh structure for simulation of oxide thickness variation in gate region

서의 임계전압이 높게 형성이 되면, CMOS 제작 시에 p-채널, 혹은 n-채널 MOSFET가 거의 이 전압 값 보다 아주 낮은 활성영역의 임계전압으로 트랜지스터가 동작을 하기 때문에 거의 가장자리의 전기적 영향은 무시될 수 있는 개선된 구조의 결과로 나타났다.

### 2.3 게이트 가장자리 산화막 두께 변화

Fig. 4는 게이트 전극 형성시 게이트 활성영역의 가장자리에서 산화막의 두께가 미치는 영향을 분석하기 위한 효과적인 시뮬레이션 방법으로 매시 조건을 밀한 부분과 소한 부분으로 나타낸 그림(좌)와 게이트 가장자리의 산화막 두께가 실제 형성 과정을 구체적으로 나타낸 결과이다. 산화시 스트레스를 가장 많이 받는 부분의 영향으로 산화막 두께 결과가 다르게 나타난 결과이다.

## 3. 시뮬레이션 결과 및 고찰

본 연구에서는 개선된 시뮬레이션 결과에 따른 실제 초고집적 소자 제작을 위한 격리기술의 결과를 적용하고자 단계별 공정이다.

### 3.1 얇은 접합 격리 기술 단계 시뮬레이션

임계 전압이 개선된 결과에 대한 제안한 회자 구조의 얇은 접합 격리 구조를 제작하기 위한 공정 시뮬레이션은 TCAD 2-D 시뮬레이터를 이용하여, 제안한 얇은 트랜치 격리 구조의 시뮬레이션 연구는 최신 45nm 기술 세대의 고성능 트랜지스터의 성능 C-MOSFET 용도로 설계하고자 하는 전단계 공정 시뮬레이션 구조의 기술이다.

Fig. 5는 P-형 실리콘 기판에서 활성영역의 실리콘과

실리콘 질화막(Si<sub>3</sub>N<sub>4</sub>) 사이에 완충역할의 열산화막 80 [Å]을 건식으로 형성시키고, 화학기상증착(CVD) 방법으로 그 위에 실리콘 질화막을 1,000 [Å]을 증착을 시켜서 반응성이온 식각 장비를 이용하여 패턴 형성의 식각공정을 한 후 마스크 물질을 포토레지스터로 나머지 영역의 실리콘 질화막, 산화막, 기판 실리콘을 2,000 [Å]을 트랜치 식각을 하는 구조로 여기에서 회자 모양으로 에칭을 한다.

Fig. 6은 Fig. 5에 이은 연속 공정 단계로 측면 벽을 완충역할의 열산화막 다시 기른다. 이는 에칭 시에 스트레스가 많이 받은 부위는 산화의 속도가 빠르며, 이것이 제안한 회자 모양의 일부이다. 이를 다시 식각을 하여 제안된 구조를 제작코자 하였으며, 벽면에 다시 열산화막으로 80 [Å] 기른다. 그 옆에 화학기상증착(CVD) 방법으로 선형을 위한 실리콘 질화막 50 [Å]을 증착을 시키고, 그 위에 선형을 위한 화학기상증착(CVD) 방법으로 산화막 120 [Å]을 증착을 시킨다.

Fig. 7은 Fig. 6에 이은 공정으로 고밀도 플라즈마 산화막을 3,000 [Å] 증착시킨 후, 화학 기계적 연마(CMP : Chemical and Mechanical Polishing) 장비로 고집적 전극의 원활한 형성을 위해서 웨이퍼 윗면부터 갈아낸 후 완충 산화막과 질화막을 식각 시킨 공정 단계이다.

Fig. 8는 Fig. 7에 이은 공정 단계로 트랜지스터 활성영역에서 소자의 임계전압 조절을 위한 이온 주입 시에 직접적인 실리콘의 손상 방지를 위한 차벽 산화막 형성을 한 후 이온 주입을 시키며, 이때 이온 주입 시에 손상된 차벽 산화막을 제거 한 후, 양질의 게이트 산화막을 형성시키고, 게이트 전극용 다결정 실리콘 증착을 하여 전극을 형성한 전체 공정의 결과이다.

격리 구조의 분석 결과 트랜지스터의 제작 부분인 활성영역의 중앙 부분과 가장자리 부분에서 포화임계전압이 동일한 특성을 나타내야 하지만 실제 제작 공정상 구조적 차이, 트랜치 제작과정에서 가장자리 부분에서의 공정 스트레스 영향, 산화막의 질 등이 다르기 때문에 중앙 부분이 가장자리 영역 보다 높게 임계 전압 특성을 보였다.

### 3.2 활성영역 가장 자리에서의 스트레스 영향

활성영역의 가장자리가 높은 임계 전압 특성을 나타내야 하는데, 이는 실제 임계 전압이 낮으면, 고집적 MOSFET 소자에서 가장자리 영역에서 채널이 형성되어 원하지 않는 누설 전류-전압 특성과 신뢰성의 문제점을 야기시킬 수 있다. 따라서 얇은 트랜치 격리 구조에서 활성 영역의 가장자리의 높은 임계전압을 갖도록 격리 구조를 개선하

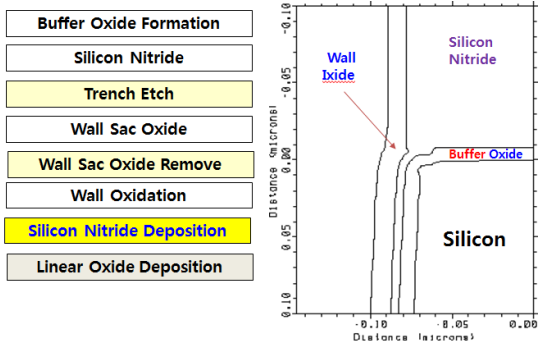


Fig. 5. Process sequences of initial steps in STI process

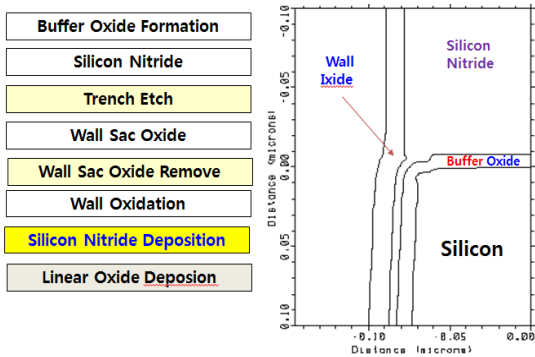


Fig. 6. Process sequences of middle steps in STI process

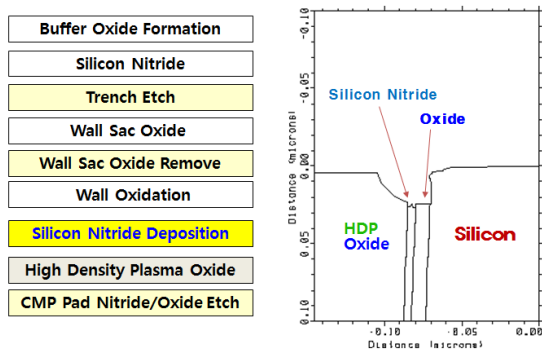


Fig. 7. Etching Process of HDP, CMP, nitride/oxide process steps in STI process

는 연구를 지속적으로 하고 있다<sup>3,5)</sup>.

Fig. 9는 실리콘 기판에서 부터 공정 동안 얇은 트랜치 격리의 공정 단계에서 활성 영역의 실리콘 기판의 부위별 스트레스의 여부를 시뮬레이션 한 결과이다. 트랜치 식각 U자 모양의 깊이 0.2 [μm] 아래 부분 모서리에서 가장 스트레스로 인한 실리콘의 손상을 가장 많이 받았지만 이

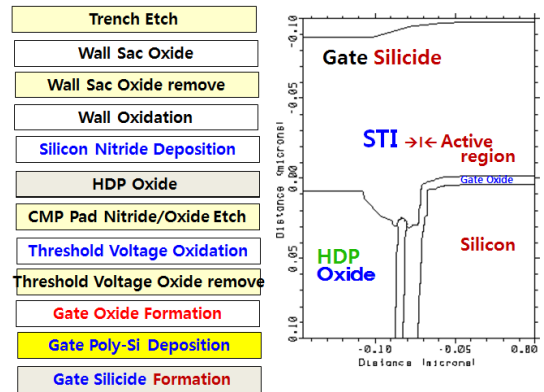


Fig. 8. Process sequences of steps in full STI process

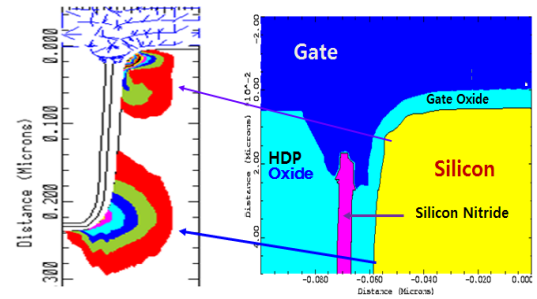


Fig. 9. Silicon damage distributions by process stress in STI results

는 집적회로에서 소자의 제작 부분의 활성영역에서 소스/드레인의 일반적인 확산 깊이 0.1 [μm] 보다 훨씬 이하로 얇기 때문에 깊은 부위의 실리콘 손상으로 소자에 미치는 문제점은 거의 없는 것으로 판단된다.

### 3.3 게이트 활성영역 가장자리의 산화막 두께 변화

전기적 특성의 영향 이외에 고집적회로의 제작 동안 실리콘-산화막 경계면은 도판트 불순물의 재분포에 영향을 미치는 것으로 잘 알려져 있다. 더욱이, 얇은 트랜치 격리로 사용할 때, 넓은 산화막 영역의 부피가 인접한 실리콘 활성화 영역에 스트레스를 인가한다. 소자의 크기가 축소됨에 따라서, 실리콘과 산화막 사이에 역학적 상호작용과 공정은 트랜지스터의 전기적 특성에 미치는 인자가 크고 피할 수 없는 영향을 준다.

또한 실리콘 공정 동안, 도판트 불순물의 이온주입은 치환 불순물로 알려진 실리콘 격자로부터 실리콘 격자와 치환을 하는 좁은 폭 효과를 고려해야 할 필요가 있으며,

활성영역의 가장자리 영역에서의 실리콘 손상 분포는 고려되어야 할 인자이다. 이를 개선하기 위한 방법이 게이트 단자에 전위를 인가할 때 포화임계전압을 높이는 방법의 개선으로 기존의 곡선화 모양의 STI 구조 보다 제안된 회자 모양의 격리 구조를 이용하면, 높은 포화 임계전압과 공정상의 스트레스로 인한 실리콘의 손상 부위가 활성영역에 영향을 감소시킴으로써 실제 응용에서는 초대규모 집적회로에 영향을 최소화 할 수 있을 것으로 판단된다<sup>5,6)</sup>.

#### 4. 결 론

수동 격리로서의 의도한 역할에도 불구하고, 얇은 트랜치 격리는 이웃의 트랜지스터의 기구학적 상태와 전기적 성능에 영향을 미치며, 시뮬레이션 동기는 진전 시킬 기술 개발과 소자의 설계 과정에서 트랜지스터의 주요 모델을 분석할 필요가 있었다.

본 연구에서 툴(ATHENA, ATLAS)을 이용한 시뮬레이션의 중요한 두 가지 결과인 좁은 폭 효과와 스트레스 관련 효과들의 특성을 제시하였다. 좁은 폭 효과에서, 얇은 트랜치 격리 구조는 포화 임계전압에서 상당한 개선의 결과가 나타났으며, 개선된 회자 모양의 얇은 트랜치 격리는 제작 공정에서의 실리콘의 공정 스트레스에 의한 손상 부위가 트랜치 격리의 밑 부분에 크며, 초고집적회로의 소자에 미치는 영향은 작은 것으로 판단된다.

또한 같은 채널 농도를 갖는 트랜지스터이라도 얇은 트랜치 격리의 구조에 따라서 포화 임계전압은 달라지며, 수직 구조 보다 기존의 곡선화 구조가 개선된 포화 임계전압이 높았으며, 여기에 제안한 회자 모양의 얇은 트랜

치 격리 구조가 가장자리 영역에서 양호한 높은 포화 임계전압 특성을 보였다. 즉 구조에서 곡선화가 잘 된 것일 수록 활성영역에서 평판과 가장자리의 전기적 특성이 비슷한 특성을 보인 결과였다.

#### References

1. Susanna Reggiani et. al., "TCAD Simulation of Hot-Carrier and Thermal Degradation in STI-LDMOS Transistors" IEEE Transactions on Electron Devices, Vol. 60, No. 2, pp. 691-698, Feb. 2013
2. V. C. Su et al., "Shallow-Trench-Isolation (STI)- Induced Mechanical-Stress-Related Kink- Effect Behaviors of 40-nm PD SOI NMOS Device" IEEE Transactions on Electron Devices, Vol. 55, No. 6, pp. 1588-1562, JUNE 2008.
3. S. Poli, S. Reggiani, et. al., "Hot-carrier stress induced degradation in multi-STI-Finger LDMOS: An experimental and numerical insight," *Solid State Electron.*, vol. 65/66, pp. 57-63, Nov./Dec. 2011.
4. Zih-Song Wang et. al., "A New Recess Method for SA-STI NAND Flash Memory" IEEE Electron Device Lett., Vol. 33, No. 6, pp. 896-898, June 2012.
5. V. C. Su et al., "Shallow-Trench-Isolation (STI)-Induced Mechanical-Stress-Related Kink- Effect Behaviors of 40-nm PD SOI NMOS Device" IEEE Transactions on Electron Devices, Vol. 55, No. 6, pp. 1588-1562, JUNE 2008.
6. Susanna Reggiani et. al. "Physics-Based Analytical Model for HCS Degradation in TI- LDMOS Transistors" IEEE Trans. on Electron Devices, Vol. 58, No. 9, pp. 3072-3080, Sep. 2011.

#### 이 용 재 (yjlee@deu.ac.kr)



1981 경북대학교 공과대학 전자공학과 학사  
 1983 연세대학교 대학원 전자공학과 공학석사  
 1986 연세대학교 대학원 전자공학과 공학박사  
 1988~현재 동의대학교 공과대학 전자공학과 교수  
 1985~1988 한국전자통신연구원 선임연구원  
 1991~1992 Texas University(at Austin), Microelectronics Center, Post doctor  
 2004~2005 Texas A&M University, Research Professor

관심분야 : 집적회로 소자 설계, 회로설계, 공정설계, 반도체 시뮬레이션