

기저대역 채널선택 필터를 위한 전압 안정화 회로

김병욱* · 김대익**

Voltage regulator for baseband channel selection filters

Byoung-Wook Kim* · Dae-Ik Kim**

요 약

기저대역 채널선택 필터는 외부의 잡음이나 공정상의 변화에 따라 각각의 통신 채널을 선택하기 위해 인가 되는 제어 전압이 변동될 수 있다. 본 논문에서는 제어 전압을 일정하게 유지시키기 위해, 전류의 흐름을 감지하여 채널선택 필터의 차단주파수가 자동으로 조정되어 필터 동작이 원활하게 유지되면서 최소 면적을 갖는 전류 비교 방식 전압 안정화 회로를 설계하였다.

ABSTRACT

Control voltage for baseband channel selection filter to select one of communication channels can be easily fluctuated according to external noise or variation of fabrication. In this paper, we design a voltage regulator with small chip area to keep control voltage constantly using current comparative method. Cut-off frequency of channel selection filter is automatically controlled by detecting current flow using the proposed voltage regulator.

키워드

Voltage Regulator, Channel Selection Filter, Current Comparator, Voltage Divider, Small Chip Area
전압 안정화 회로, 채널 선택 필터, 전류 비교기, 전압 분배기, 최소 칩 면적

1. 서론

차세대 무선 통신 시스템은 언제, 어디서나, 사용자가 요구하는 정보에 대하여 빠르고 정확한 고급 멀티미디어 서비스를 제공하기 위하여, TDMA(Time Division Multiple Access), CDMA(Code Division Multiple Access) 및 근거리 무선 통신 방식인 Bluetooth[1], DECT, WCDMA[2] 또는 IEEE 802.11a/b/g Wireless WLAN 등 여러 표준방식을 하나의 단말기를 통하여 원하는 통신 방식을 적절하게 선택할 수 있는 수신단 구조에 대한 연구가 진행되고

있다.

무선 통신 시스템의 저전압화 및 저전력화 추세에 따라 1.5V 전후의 공급 전압으로 동작하는 필터 설계에 관한 다양한 연구가 진행되고 있으며, 특히 전류모드 방식의 필터는 전원 공급단 사이의 소자 중첩을 감소시키고, 더 낮은 전압 신호 스윙을 위해 전류 피드백을 사용하여 높은 임피던스 출력 노드를 요구하지 않아 저전압 필터 설계에 유리한 장점을 가지고 있다[3,4].

최근 전류이득과 단위이득 주파수를 개선시킨 저전압 CMOS 인버터형 전류모드 적분기를 적용한 연속

* 전북테크노파크 방사선영상기술센터(bwkim@jbtp.or.kr)

** 교신저자(corresponding author) : 전남대학교 전기전자통신컴퓨터공학부(daeik@jnu.ac.kr)

접수일자 : 2013. 09. 03

심사(수정)일자 : 2013. 10. 21

게재확정일자 : 2013. 11. 15

시간 기저대역 채널선택 필터를 제안하였으며, 필터의 바이어스 전압을 선택적으로 제어하여 원하는 통신 주파수 대역으로 가변할 수 있도록 설계하였다[5].

일반적으로 주파수 특성이 변화하는 것을 조정하기 위한 회로 설계는 필터의 구조, 설계 방법, 크기 및 특성 등에 따라 다양하게 설계될 수 있다.

본 논문에서는 부가적인 회로가 추가로 필요하지 않아 칩 면적을 최소화 할 수 있고, 저전력 특성을 만족시키는 전류 비교 방식을 이용하여 각각의 통신 채널선택에 따른 제어 전압을 안정적으로 공급함으로써 주파수 특성을 유지시킬 수 있는 전압 안정화 회로를 설계한다. 2장에서는 제안한 전류 비교 방식 전압 안정화 회로를 설명하고, 3장에서는 Hspice 시뮬레이션 결과를 검토하며, 4장에서 결론을 맺는다.

II. 전류 비교 방식 전압 안정화 회로 설계

주파수 합성기는 각종 신호처리 시스템에서 주파수 및 위상 보상회로로서 널리 이용되고 있고, 주파수 변복조 회로 등에서 주파수 오차를 최소화하는데 유용하게 사용되어지고 있는 위상동기루프(PLL, Phase Lock Loop) 방식을 이용한 마스터-슬레이브 방법이 많이 이용되고 있다[6]. 그림 1은 마스터-슬레이브 필터 주파수 조정 방법에 대한 블록 다이어그램을 보여주고 있으며, 기본적으로 주회로(Main filter)의 입력에 미리 설정된 기준 신호에 의하여 일정한 출력을 생성한다. 하지만 잡음 등의 영향으로 주 회로에 이상이 발생하였을 경우, 마스터 회로 출력의 주파수 제어 회로에서 이 신호를 감지하고 주파수 제어 신호를 마스터 회로에 피드백 함으로써 원하는 주파수 특성을 유지할 수 있도록 한다.

그러나 주파수 조정기로 PLL 방식을 이용할 때는 EXOR 게이트 또는 아날로그 멀티플라이어 등이 주로 이용되고 있는 위상 검출기와 루프 필터 등 몇 개의 부가회로들로 구성되어 사용되어 다양한 활용성을 가지는 반면에 부가적인 회로가 필요하기 때문에 칩 설계시 비교적 큰 면적을 차지함으로써 단말기의 소형화, 저전력 측면에 있어서는 비효율적이다.

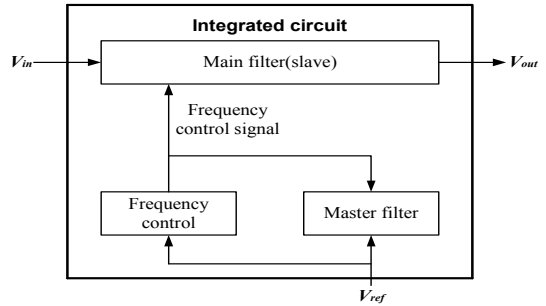


그림 1. 마스터-슬레이브 필터 주파수 조정 블록 다이어그램

Fig. 1 Block diagram of master-slave filter frequency tuning system

그림 2는 전압 안정화 회로의 블록 다이어그램을 보여주고 있다. 전류 비교 방식을 이용하는 방법은 각각의 통신 채널선택에 따라 미리 설정된 기준 전류와 적분기의 동작 전류를 비교하여 그 차이를 감지하고 피드백시켜 보상할 수 있도록 제어한다. 전압 안정화 회로의 동작은 다음과 같다.

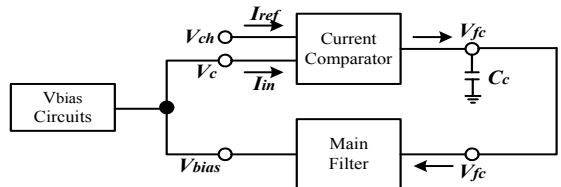


그림 2. 전류 비교 방식을 이용한 전압 안정화 블록 다이어그램

Fig. 2 Block diagram of voltage regulator using current comparative method

1) 필터는 바이어스 회로로부터 일정 전압(V_{bias})과 각각의 통신 채널별로 조정된 전압(V_c)을 공급받아 동작하게 된다.

2) 전류 비교기가 필터의 조정된 전압에 공급되는 전압을 검출하여 전류 비교기의 입력으로 각각 입력 전압(V_m)과 입력 전류(I_m)를 설정한다.

3) 전류 비교기는 검출된 입력 전류와 각각의 통신 채널에 따른 주파수 특성에 따라 미리 설정된 기준 전류(I_{ref})를 비교하여 그 차이를 출력한다.

4) 입력 전류와 기준 전류와의 값이 차이가 발생하여 전류 비교기의 출력이 발생될 경우 그 차이 값에

따라 전압을 발생시키고 이러한 차이 값을 다시 피드백 시킨다. 입력 전류와 기준 전류와의 값이 같을 경우에는 스위치 동작에 의해 원래의 바이어스 전압이 인가되도록 한다.

5) 각 통신 채널별로 충전된 초기 전압(V_c)은 피드백 되어 필터에 인가되고 기준 전류와 같은 크기가 되도록 전류 I_D 를 조정하여 필터의 주파수 특성 변화를 제한한다.

저역통과 필터의 차단주파수에 관한 일반식을 정리하면 식(1)과 같다. 여기서 g_m 은 설계된 적분기의 트랜스컨덕턴스로 이 값은 식(2)와 같이 나타낼 수 있다. 식(2)에서 I_D 는 적분기의 g_m 값을 결정하는 전류이다.

$$\omega_0 = \frac{g_m}{C} \tag{1}$$

$$g_m = \frac{\partial I_D}{\partial V} = 2\sqrt{K \cdot I_D} \tag{2}$$

위와 같은 관계식을 살펴볼 때, 적분기 회로 전체의 트랜스컨덕턴스 값을 일정하게 유지하기 위해서는 전류 I_D 값을 일정하게 유지시켜야 하는 것이 매우 중요하며, 그림 2와 같은 전압 안정화 구조는 전류 I_D 값을 자동으로 보상함으로써 g_m 값이 일정하게 유지되므로 결과적으로 각각의 통신 채널별로 제어 전압을 안정적으로 공급할 수 있다.

그림 3은 필터의 공급 전압으로부터 각각의 통신 채널별로 바이어스 전압을 얻기 위한 방법으로써 두 개의 저항만으로 구성하는 방법(a), 저항과 NMOS로 구성하는 방법(b), 그리고 CMOS로 구성하는 방법(c)을 보여주고 있다. 이러한 전압 분배기 형태들은 각각 서로 다른 장단점을 가지고 있지만 무엇보다도 저항으로 구성된 전압 분배기는 저항 소자로 인하여 칩 면적을 증가시킬 수 있다.

따라서 본 논문에서는 칩 면적을 최소화하기 위해 PMOS와 NMOS로 구성된 CMOS 형태의 전압 분배기를 활용하여 기준 전압을 얻도록 구성하였다.

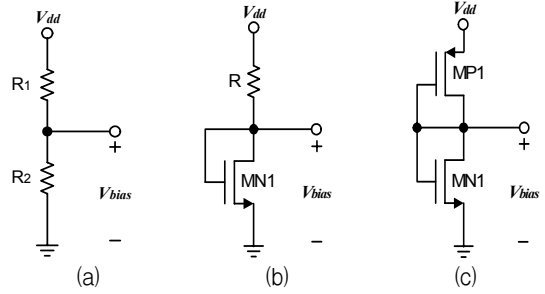


그림 3 전압 분배기의 여러 형태
Fig. 3 Types of the voltage divider

그림 3(c)의 CMOS 형태의 전압 분배기 동작을 해석하면 다음과 같다. 접지를 기준으로 하여 각 MOS의 게이트 전압과 동일한 값을 갖는 바이어스 전압(V_{bias})을 발생시킨다. 이 때 각각의 MP1과 MN1에 흐르는 I_{D1} 과 I_{D2} 가 서로 같은 값을 가지므로 식(3)과 같이 나타낼 수 있다.

$$\frac{\beta_1}{2} (V_{bias} - V_{thn})^2 = \frac{\beta_2}{2} (V_{dd} - V_{bias} - V_{thp})^2 \tag{3}$$

식(3)을 바이어스 전압과 트랜스컨덕턴스에 의한 비 β_1/β_2 에 대하여 정리하면 식(4)와 식(5)를 얻을 수 있다.

$$V_{bias} = \frac{V_{dd} - V_{thp} + \sqrt{\frac{\beta_1}{\beta_2}} \cdot V_{thn}}{\sqrt{\frac{\beta_1}{\beta_2}} + 1} \tag{4}$$

$$\frac{\beta_1}{\beta_2} = \left[\frac{V_{dd} - V_{bias} - V_{thp}}{V_{bias} - V_{thn}} \right]^2 \tag{5}$$

그림 4는 CMOS 형태의 전압 분배기를 활용하여 설계된 3-채널 전압 안정화 회로이다. 그림 4의 전압 안정화 회로 동작은 각각의 통신 채널선택 전압(V_{ch1} , V_{ch2} , V_{ch3})과 조정 전압(V_c)으로 나눌 수 있다.

첫 번째로 각각의 통신 채널선택 전압이 인가하게 되면 인가된 전압으로 인해 커패시터(C_c)에 일정 전압을 충전하게 한다. 두 번째로 전류 비교기의 기준 전류 값과 입력 전류 값의 차이가 발생하였을 경우,

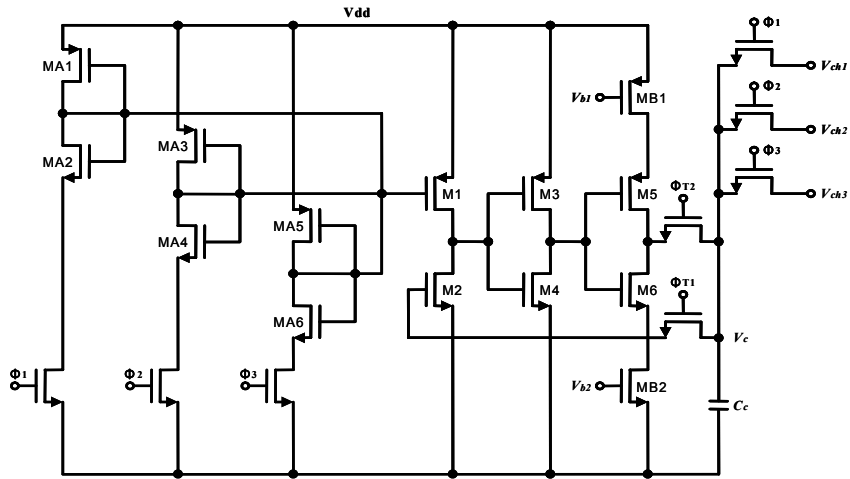


그림 4. 전류 비교 방식을 이용한 3-채널 전압 안정화 회로
 Fig. 4 3-channel voltage regulator using current comparative method

그 차이 값만큼 커패시터에 충전된 초기 전압이 다시 조정 전압으로 인가된다.

전압 안정화 회로에 대한 동작 원리를 좀 더 살펴 보면 초기에 $\Phi 1$ 동작에서 V_{ch1} 에 통신 채널1을 결정하는 DC 전압 신호가 인가되었을 경우, 이 전압이 C_c 에 저장되어 V_c 전압을 유지하게 된다. 이와 동시에 MA1과 MA2에 인가된 전압에 의하여 M1의 드레인 전류의 크기와 같은 입력 전류가 발생한다. 다음 동작인 $\Phi T1$ 동작에서 V_c 가 M2의 게이트에 인가되고 M2의 드레인 전류를 발생하는데 이는 기준 전류 값이 된다. 이 때 이미 발생되어 있는 입력 전류가 기준 전류 값과 비교된다.

마지막으로 $\Phi T2$ 동작에서 비교된 전류 값의 차이가 입력의 전압 값으로 변화되어 M3, M4 및 M5, M6을 거쳐서 초기 전압 V_c 에 인가된다. 이 경우 입력 전류가 기준 전류 값보다 큰 경우는 제어 전압이 상대적으로 낮아진 상태이므로 낮아진 만큼의 전압 크기를 보충하여 주고, 반대로 입력 전류가 기준 전류 값보다 작은 경우는 제어 전압이 기준 전압보다 높아진 상태이므로 높아진 만큼의 전압을 강하시켜주므로 항상 제어 전압의 크기를 유지할 수 있도록 동작한다.

이와 같은 방법으로 통신 채널2와 통신 채널3의 제어 전압에 따른 자동 조정 기능도 각각 $\Phi 2$ 및 $\Phi 3$ 동

작에서 수행된다.

III. 시뮬레이션 결과 및 검토

전류 비교 방식을 이용한 전압 안정화 회로의 동작을 검증하기 위해 [5]에서 설계한 채널선택 저역통과 능동 필터를 사용하였다. [5]의 채널 선택 필터의 함수는 5차 체비셰프 함수를 이용하였고, 필터 구조는 수동 복중단 제자형 회로망을 사용하였다. 전압 안정화 회로의 시뮬레이션은 각각의 통신 채널별로 제어 전압을 인가한 후, $\Phi T1$ 동작 및 1ms의 지연 시간 후 $\Phi T2$ 를 동작시켜 제어 전압을 자동으로 조정할 수 있도록 하였으며, 그 결과를 그림 5~7에 나타내었다.

시뮬레이션 결과에서 알 수 있듯이 각각의 통신 채널선택 전압이 인가된 후 필터의 전압 안정화를 위한 스위칭 동작이 이루어지면 일정 시간 후 각각의 통신 채널별로 일정 전압 및 일정 전류를 흐르게 할 수 있어 결과적으로 채널선택 필터의 안정된 동작을 유지시킬 수 있다. 표 1은 각각의 통신 채널별로 채널 선택 전압, $\Phi T2$ 동작 이후의 전압, 과도 시간, M1과 M2의 드레인 전류를 정리하였다.

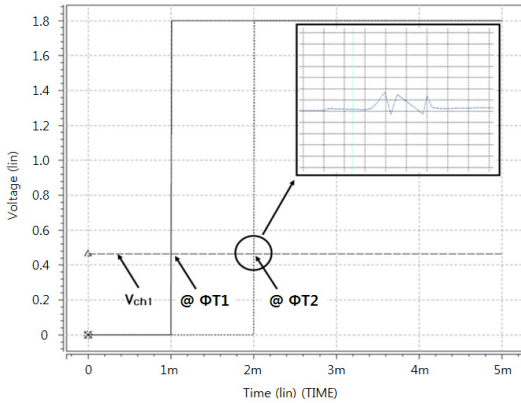


그림 5. Bluetooth 채널의 전압 안정화 특성
Fig. 5 Voltage regulated response of Bluetooth channel

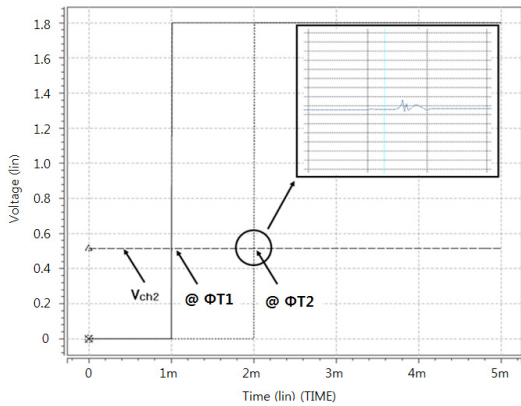


그림 6. DECT 채널의 전압 안정화 특성
Fig. 6 Voltage regulated response of DECT channel

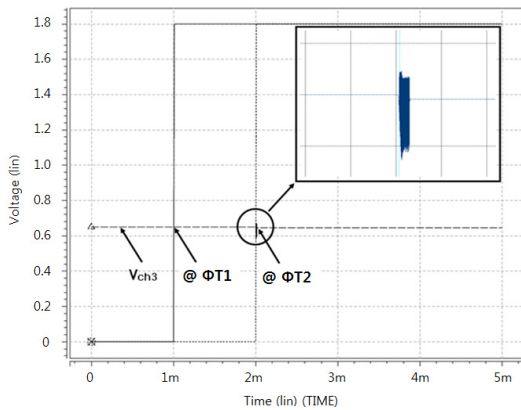


그림 7. WCDMA 채널의 전압 안정화 특성
Fig. 7 Voltage regulated response of WCDMA channel

표 1. 전압 안정화 회로 시뮬레이션 결과
Table 1. Simulation results of the voltage regulator

		Bluetooth	DECT	WCDMA
channel select voltage(V_{ch}) [V]		0.45	0.50	0.65
voltage after $\Phi T2$ operation [V]		0.46	0.51	0.65
transient time [ms]		0.012	0.013	0.015
current(I_d) [μA]	I_{d1} (M1)	0.52	1.24	5.62
	I_{d2} (M2)	0.52	1.24	5.62

V. 결론

본 논문에서는 전류모드 기저대역 채널선택 필터의 차단주파수를 결정하기 위한 제어 전압을 선택적으로 일정하게 유지시킬 수 있는 전류 비교 방식을 이용한 전압 안정화 회로를 제안하였다. 제안된 회로는 CMOS 형태의 전압 분배기를 활용하였으며, 기저대역 3-채널 선택 필터에 적용한 Hspice 시뮬레이션을 통해 제안된 전압 안정화 회로의 정상 동작을 확인할 수 있었다.

참고 문헌

- [1] Zhenghua. Song, Hyun-sik Shin, Chun-suk, Kim, "The study about the bluetooth communication", The Journal of The Korea Institute of Electronic Communication Sciences, Vol. 2, No. 3, pp. 192-196, 2007.
- [2] M. Kang, "Structure and performance analysis of a new long code MMSE detectors in a W-CDMA communication system", The Journal of The Korea Institute of Electronic Communication Sciences, Vol. 6, No. 2, pp. 163-170, 2011.
- [3] Z. Yang, T. Hinck, H. I. Cohen and A. E. Hubbard, "Current-Mode Integrator for Voltage-Controlled Low Frequency Continuous-Time Filters", Electronics Letters, Vol. 39, No. 12, pp. 883-884, 2003.
- [4] Y. S. Hwang, J. H. Lai and M. C. Chang,

“Realization of Transistor-Only High-Order Current-Mode Filters”, IEICE Trans. on Fundamentals, Vol. E88-A, No. 2, pp. 538-540, 2005.

- [5] B. Kim and D. Kim, "Linear cascode current-mode integrator", The Journal of The Korea Institute of Electronic Communication Sciences, Vol. 8, No. 10, pp. 1477-1483, 2013.
- [6] J. Jussila, "Analog Baseband Circuits for WCDMA Direct Conversion Receivers", Ph. D Dissertation, The Helsinki University of Technology, 2003.

저자 소개



김병욱(Byoung-Wook Kim)

1995년 전북대학교 전기공학과 졸업(공학사)

1997년 전북대학교 대학원 전기공학과 졸업(공학석사)

2009년 전북대학교 대학원 전기공학과 졸업(공학박사)

2009년~현재 (재)전북테크노파크 방사선영상 기술센터 선임연구원

※ 관심분야 : CMOS 이미지 센서 엑스선 영상 검출기, 무선 이동형 엑스선 영상 검출기



김대익(Dae-Ik Kim)

2002년~현재 전남대학교 전기전자통신컴퓨터공학부 교수

※ 관심분야 : VLSI 설계, 저전력 회로설계