

고주파모델링을 위한 이중게이트 FET의 열잡음 파라미터 추출과 분석

김규철*

Extraction and Analysis of Dual Gate FET Noise Parameter for High Frequency Modeling

Gue-Chol Kim*

요 약

본 논문에서는 이중게이트 FET를 고주파회로에 응용하기 위해 필요한 열잡음 파라미터를 추출하여 그 특성을 분석하였다. 이중게이트 열잡음 파라미터를 추출하기 위해 튜너를 이용해 잡음원의 임피던스를 바꿔가며 잡음특성을 측정하였으며, open과 short 더미를 이용해서 패드의 기생성분을 제거하였다. 측정결과 일반적인 캐스코드구조의 FET와 비교해서 5GHz에서 약 0.2dB의 잡음 개선효과가 있음을 확인하였으며, 시뮬레이션과 소신호 파라미터 분석을 통해 드레인 소스 및 드레인 게이트간 캐패시턴스의 감소에 의해 잡음지수가 줄어들었음을 확인하였다.

ABSTRACT

In this paper, noise parameters for high frequency modeling of dual-gate FET are extracted and analyzed. To extract thermal noise parameter of dual gate, noise characteristics are measured by changing input impedance of noise source using Tuner, and the influence of pad parasitic elements are subtracted using open and short dummy structure. Measured results indicated that the dual-gate FET is improved the noise figure by 0.2dB compared with conventional cascode structure FET at 5GHz, and it confirmed that the noise figure has dropped due to reduction of capacitances between the drain and source, gate and drain by simulation and analysis of small-signal parameters.

키워드

Low noise, MOSFET, Small-signal Model, CMOS
저잡음, MOSFET, 소신호모델, CMOS

1. 서론

최근 제조공정의 미세화에 의해 MOSFET의 동작속도가 크게 향상된 결과 종래에는 실현이 어려웠던 RF(Radio Frequency)회로를 MOSFET로 구성이 가능

하게 되었다. 그러나 고주파회로를 설계하기 위해서는 MOSFET의 고주파 응답을 재현하는 소신호 모델 또는 열잡음 모델이 필요하다[1]. MOSFET를 높은 주파수에서 동작시키면 저주파동작시에는 고려하지 않았던 몇 가지 요소를 고려해야한다. MOSFET의 게이트 단

* 교신저자(corresponding author) : 목포해양대학교 전자공학과(gckim@mmu.ac.kr)
접수일자 : 2013. 09. 05

심사(수정)일자 : 2013. 10. 21

게재확정일자 : 2013. 11. 15

자는 실리콘 산화막단자에 의해 다른 단자와 절연되어 있기 때문에 전류가 흐르지 않지만 고주파신호가 입력되는 경우는 게이트 소스간, 게이트 드레인 사이에 고주파 전류가 흐르기 때문에 게이트의 전기저항을 무시할 수 없다. 따라서 고주파 신호에 대한 게이트 및 드레인, 소스 각 단자에 존재하는 기생저항과 캐패시턴스의 영향을 무시할 수 없으며 MOSFET의 채널이 단채널이 될수록 기생소자에 의한 잡음의 영향은 더욱 증가한다[2,3,4]. 일반적으로 FET의 단채널 효과를 줄이기 위해서는 기판의 도핑 농도를 높이지만 SOI(Silicon On Insulator)형 이중 게이트 MOSFET는 기판농도를 높이지 않고도 스위칭 동작이 향상되고 누설전류가 감소되는 등 소자의 특성이 개선되어 이러한 이중게이트를 고주파 회로에 적용한 다양한 연구가 이루어지고 있다[5,6,7]. 한편 고주파회로의 성능을 나타내는 요소는 여러 가지가 있지만 회로내에 발생하는 잡음지수는 시스템 전체의 성능을 열화시키기 때문에 높은 성능의 고주파회로를 설계하기 위해서는 소자에서 발생하는 잡음의 영향을 반드시 고려해야 한다[8,9,10]. 하지만 고주파에서 MOSFET에서 발생하는 열잡음의 측정방법이 어려워 측정기술이 확립되지 않았고 이러한 이유로 정확한 열잡음 모델도 얻기 어렵다. 열잡음 측정이 어려운 이유는 측정결과로부터 측정프로브 및 측정용 패드의 영향을 정확하게 제거하기 어렵기 때문이다[11,12]. 본 논문에서는 입력 환산잡음원을 이용하여 잡음원을 모델화하고 open 및 short 터미를 이용해서 이중게이트의 정확한 잡음파라미터를 추출한다. 또한 기존의 캐스코드 FET와 특성을 비교 분석하여 이중게이트FET를 고주파회로에 적용하였을 때의 장단점을 알아본다.

II. 입력환산잡음원을 이용한 열잡음 모델링

MOSFET의 열잡음은 드레인과 소스간에 접속되어 있는 전류원으로서 다음의 식으로 나타낼 수 있다.

$$\overline{|i_d|^2} = 4kT\gamma g_{do}\Delta f \tag{1}$$

여기서 γ 은 잡음상수이며 g_{do} 은 드레인 소스간 전압이 0V인 경우의 드레인 소스간 컨덕턴스를 나타

낸다.

또한 주파수가 올라가면 게이트의 폴리실리콘저항의 영향을 무시할 수가 없다. 고주파신호에 의한 게이트 잡음전류는 다음과 같이 나타낸다.

$$\overline{|i_g|^2} = 4kT\delta \frac{\omega_0^2 C_{gs}^2}{\kappa g_{do}} g_{do}\Delta f \tag{2}$$

여기서 C_{gs} 는 게이트 소스간 캐패시턴스, κ 및 δ 는 게이트 잡음계수이며 δ 는 2γ 의 관계가 있다. 여기서 게이트 잡음전류는 드레인 잡음전류와 부분적으로 상관관계가 있다. 이 상관을 설명하기 위해서 게이트 잡음전류를 드레인 잡음전류와 상관관계가 있는 i_{gc} 와 상관관계가 없는 i_{gu} 로 분리한다. 이 상관의 정도를 상관관수 c 를 이용해서 다음과 같이 나타낸다.

$$c = \frac{\overline{i_g i_d^*}}{\sqrt{\overline{|i_g|^2} \overline{|i_d|^2}}} \tag{3}$$

이 상관계수 c 를 사용하면 i_g 는 다음과 같이 표현할 수 있다.

$$\begin{aligned} \overline{|i_g|^2} &= \overline{|i_{gc} + i_{gu}|^2} \\ &= 4kT\delta g_{gg} |c|^2 \Delta f + 4kT\delta g_{gg} |1 - c|^2 \Delta f \end{aligned} \tag{4}$$

고주파에서 MOSFET의 잡음해석을 정확히 하기 위해 입력환산잡음을 이용한다. 이 경우 입력측에 잡음저항(Rn)이나 잡음컨덕턴스(Gu)등을 직접 입력하면 바이어스나 신호전달이변할 가능성이 있다. 이것을 방지하기 위해 등가회로를 이용해 전압원과 전류원을 삽입한다.

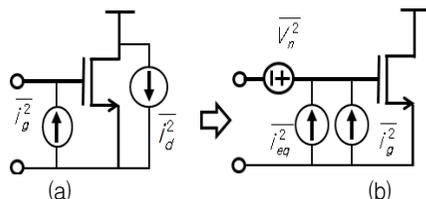


그림 1. 게이트와 드레인 잡음전류 잡음전류를 포함한 MOSFET 등가잡음모델

Fig. 1 MOSFET equivalent noise model including the drain and gate noise current

그림1 (a)는 드레인 잡음전류 $\overline{|i_d|^2}$ 와 게이트 잡음 전류 $\overline{|i_g|^2}$ 를 이용한 잡음모델이고 이것은 2개의 그림 (b)의 입력잡음원 $\overline{|v_n|^2}$ 와 i_{eq} 로 환산하는 것이 가능하다. 잡음전압 $\overline{|v_n|^2}$ 을 입력환산잡음전압으로 바꾸면 다음과 같이 표현된다.

$$\overline{|v_n|^2} = \frac{\overline{|i_d|^2}}{g_m^2} = \frac{4kT\gamma g_{do}\Delta f}{g_m^2} \quad (5)$$

고주파영역에서 입력환산잡음 전압을 이용하는 경우 입력임피던스가 낮아지기 때문에 게이트 전류가 흐른다. 이것을 보정하기 위해 다음 식에서 표현하는 잡음전류 i_{eq} 가 필요하게 된다.

$$i_{eq} = j\omega_0 C_{gs} v_n \quad (6)$$

III. 이중게이트 MOSFET의 열잡음 파라미터 추출

3.1 열잡음파라미터의 추출법

열잡음 모델을 구성하기 위해서는 입력잡음전압 $\overline{|v_n|^2}$ 와 잡음전류 i_{eq} , i_g 가 동작주파수 및 바이어스 조건에 따라 어떻게 변하는지 알아야 한다. 따라서 소신호파라미터 C_{gs} , g_{do} , g_m 뿐 아니라 잡음계수 γ , δ , 상관계수 c 를 정확히 추출해야한다. 소신호파라미터는 FET의 측정된 S-파라미터로부터 간단히 추출하는 것이 가능하다. 하지만 잡음계수를 추출하기 위해서는 먼저 FET의 최소잡음지수(F_{min}), 등가잡음저항(R_n), 최적 소스어드미턴스($Y_{opt} = G_{opt} + B_{opt}$)의 잡음파라미터를 정확히 추출해 내야한다[11,12].

그림 2는 잡음지수측정에 사용된 시스템 구성도를 나타낸다. 콘트롤러가 튜너의 입출력 임피던스를 바꿔가면서 잡음지수를 측정하여 잡음지수가 제일 낮게 측정되었을 때의 어드미턴스가 최적 소스어드미턴스이고 그때의 잡음지수가

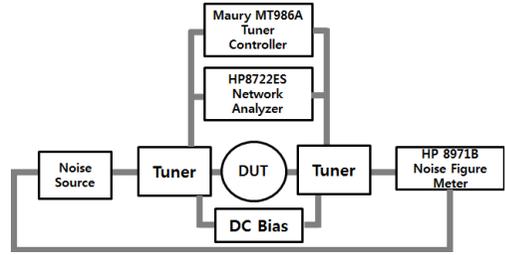


그림 2. 잡음지수 측정시스템
Fig. 2 Noise-figure measurement system

최소잡음지수가 된다. 잡음 파라미터에서 γ , δ 등의 잡음계수를 추출하는 방법에 대해서는 많은 연구가 발표되어 왔다[12,13]. 하지만 잡음계수를 추출하기에 앞서 측정결과에서 FET 고유의 잡음 파라미터를 추출해 내야 한다.

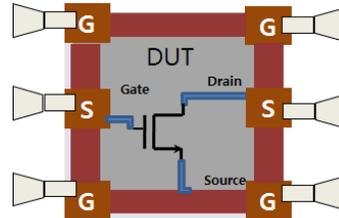


그림 3. GSG 프로브를 이용한 FET의 특성 측정
Fig. 3 Characteristics measurement of FET using the GSG probe

그림3은 GSG(Ground-Signal-Ground) 프로브를 이용해서 FET의 고주파 특성을 측정하는 모습이다. 잡음 파라미터를 측정한 경우 측정결과에는 FET 자체의 잡음 뿐 아니라 그림 4와 같이 측정용 PAD에 존재하는 기생성분의 영향도 포함되어 있다.

프로브 패드의 영향은 DUT(Device Under Test)이 외에 위한 open 터미와 short 터미를 이용해서 제거할 수 있다[11]. open 터미에 의한 영향은 다음 식으로 제거할 수 있다.

$$C_Y^{open} = 2kTRe(Y_{open}) \quad (7)$$

$$C_Y^{DO} = C_Y^{DUT} - C_Y^{Open} \quad (8)$$

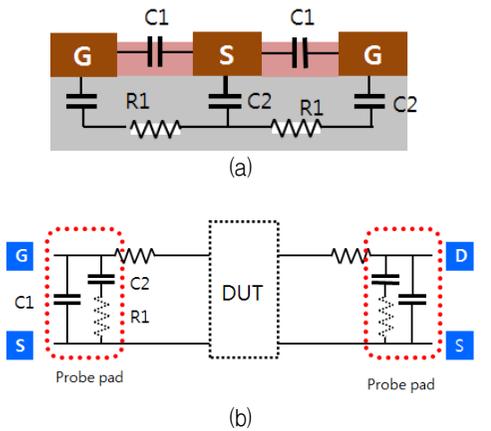


그림 4. (a) 프로브 패드의 절단면 (b) 프로브 패드 등가회로

Fig. 4 (a) The cross-section of probe pad (b) equivalent circuit model for the probe pads

short터미는 다음식으로 제거할 수 있다.

$$Z_{SO} = (Y_{short} - Y_{open})^{-1} \tag{9}$$

$$Z_{DSO} = Z_{DO} - Z_{SO} \tag{10}$$

$$C_Z^{SO} = 2kTRe(Z^{SO}) \tag{11}$$

$$C_Z^{DSO} = C_Z^{DO} - C_Z^{SO} \tag{12}$$

여기서

$$C_Z = TC_Y T^+ \quad T = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix}$$

그림5는 측정결과에서 open터미와 short터미를 이용해서 최소잡음지수를 추출한 결과이다.

측정에 사용된 FET는 0.15μm SOI공정을 이용하였으며 게이트길이(L)=0.14μm, 게이트 폭(W)은 10×24μm를 사용하였으며 게이트 전압(V_{GS})은 1V이다. 측정결과에서 나타내는 최소잡음지수 F_{min}은 다음 식으로 표현할 수 있다.

$$F_{min} = 1 + 2 \frac{\omega}{\omega_T} \sqrt{\frac{\gamma \delta}{\kappa} (1 - |c|^2)} \tag{13}$$

위 수식을 보면 V_{ds} 의존성을 가지는 파라미터가 없지만 프로브의 영향을 제거하지 않은 측정결과에서는 V_{ds}가 증가하면 잡음지수가 다소 낮아지는 특성을 보였다. 그러나 프로브의 영향을 제거 한 결과 open터미를 이용한 경우 약 0.25dB정도 낮아졌고 short터미를 추가로 이용한 경우 0.05dB 더 낮아졌다. 또한 V_{ds} 의존성도 더 줄어들었음을 확인할 수 있었다.

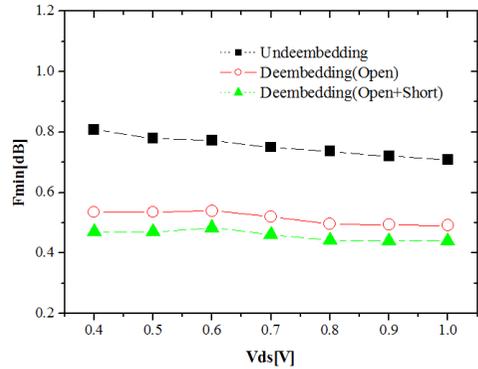


그림 5. 프로브패드의 영향을 제거한 최소잡음지수
Fig. 5 Deembedded minimum noise figure

3.2 이중게이트의 열잡음 파라미터 분석

캐스코드구조는 회로의 선형성을 좋게 하고 고주파 특성을 향상시키기 때문에 고주파회로에 많이 응용이 되고 있다. 그림6 (a)는 캐스코드회로를 나타내고 (b)는 캐스코드 회로의 일반적인 레이아웃을 나타낸다. FET M1의 소스 S1과 M2의 드레인 D2를 연결하기 위해 메탈을 이용해 연결하였다. (c)는 M1의 소스와 M2의 드레인을 같이 공유하는 이중 게이트구조의 레이아웃을 나타낸다. 이 구조는 캐스코드와 회로구성은 동일하지만 레이아웃을 바꾸는 것만으로 회로의 사이즈를 줄일 수 있으며 소스와 드레인을 연결하는 메탈 배선이 없기 때문에 배선에 존재하는 기생성분을 줄일 수 있고 소스와 드레인을 공유하기 때문에 오버랩 용량과 같은 기생성분 또한 줄일 수 있다.

이중게이트의 고주파 열잡음 특성을 알아보기 위해서는 주파수 특성을 알아보아야 한다. 우선 네트워크 분석기를 이용해서 S-파라미터를 측정한 후 Y-파라미터로 변환하여 전달컨덕턴스g_m 과 입력저항 R_{IN}을 추출하였다.

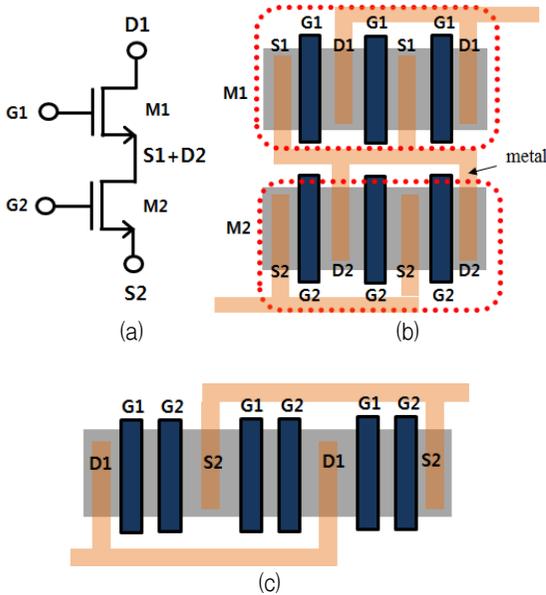


그림 6. (a) 캐스코드회로 (b) 일반적인 캐스코드회로의 Layout (c) 이중게이트형태의 Layout
Fig. 6 (a) Cascode circuit (b) Layout of conventional cascode circuit (c) Layout of dual-gate type

$$G_m = \frac{|Y_{12} - Y_{21}|}{|Y_{11} + Y_{12}| \operatorname{Im} \left(\frac{1}{|Y_{11} + Y_{12}|} \right)} \quad (14)$$

$$R_{IN} = \operatorname{Re} \left(\frac{1}{Y_{11} + Y_{12}} \right) \quad (15)$$

그림7은 그 측정결과를 나타낸다. FET는 W/L= 5×64μm/ 0.14μm를 사용하였으며 V_{DS}와 M2의 게이트 전압 V_{G1} 모두 1.5V를 인가하였고 M1의 게이트전압은 0.8V로 하였다. 측정결과 g_m은 두 구조 모두 주파수가 증가함에 따라서 같이 감소하였고 낮은 주파수에서는 유사한 특성을 나타내지만 주파수가 5GHz보다 높아질수록 차이가 나기 시작하여 더 높은 주파수로 갈수록 이중게이트의 g_m이 더 높아짐을 알 수 있다. 게이트 소스간 캐패시턴스 C_{gs}와 게이트 드레인간 캐패시턴스 C_{gd}는 두 구조 모두 큰 차이를 보이지 못했다. 그 이유는 이곳에서 C_{gs}는 M2의 게이트 G2와 소스 G2간의 캐패시턴스이기 때문에 두 구조의 차이가 없고 C_{gd}는 G2와 D1 사이의 캐패시턴스이기

때문에 매우 작은 값이기 때문이다.

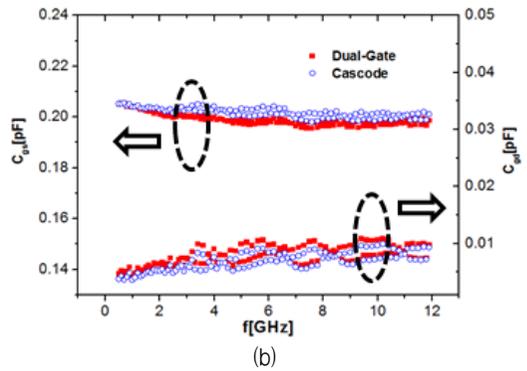
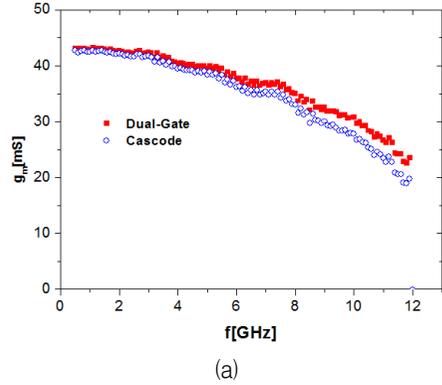


그림 7. 전달컨덕턴스와 입력저항 측정결과
Fig. 7 Measurement results of gm and RIN

두 구조에서 차이가 나는 곳은 M1의 G1과 S1간의 캐패시턴스와 M2의 G2와 D2간의 캐패시턴스이다. 이중게이트 구조는 M1의 소스와 M2의 드레인을 공유하기 때문에 이부분의 캐패시턴스가 기존의 캐스코드 형태보다 최소 1/2은 작을 것으로 예상된다. 하지만 이곳의 캐패시턴스를 정확히 측정할 수 없기 때문에 M1의 소스 S1과 M2의 드레인 D1이 연결되어 있는 곳에 가상의 기생캐패시터를 연결하여 시뮬레이션 하였다. C_{gs}의 측정값이 그림 7(b)와 같이 약 0.2pF이기 때문에 0.1pF에서 0.4pF으로 가변하며 시뮬레이션 해본 결과 그림 8과 같이 높은 주파수에서 g_m이 낮아지는 것을 확인하였다.

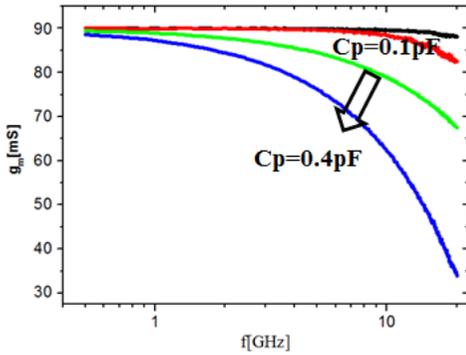


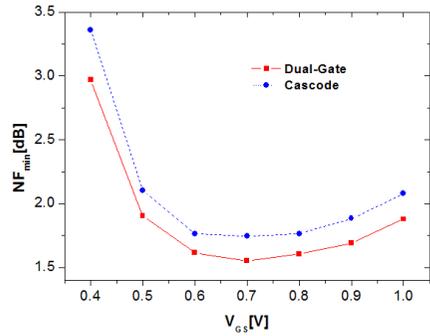
그림 8. 기생캐패시터에 의한 영향
Fig. 8 Effect of parasitic capacitances

위의 결과로 이중게이트구조를 사용하면 기생캐패시턴스가 줄어 고주파에서의 gm 이 증가함을 알 수 있었다. gm 은 차단주파수(ω_T)에 비례하고 ω_T 는 다음의 식16과 같이 최소잡음지수에 반비례한다.

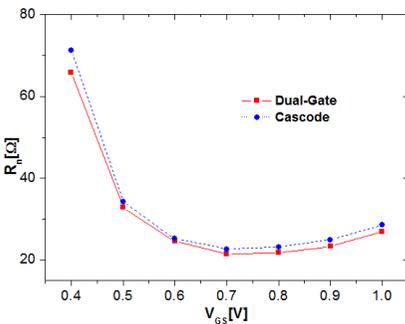
$$F_{min} = 1 + 2 \frac{\omega}{\omega_T} \sqrt{\frac{\gamma\delta}{\kappa} (1 - |c|^2)} \quad (16)$$

따라서 gm 이 높은 이중게이트 구조가 캐스코드 구조보다 더 낮은 잡음특성을 갖는다 할 수 있다. 실제로 낮은 잡음특성을 갖게 되는지 열잡음 파라미터 추출법을 이용해서 이중게이트 구조의 회로와 일반적인 캐스코드형태의 회로의 잡음특성을 비교한 결과가 그림 9와 같다. 측정주파수는 5GHz에서 측정하였으며 FET의 크기와 측정조건은 위의 소신호 파라미터의 조건과 같다.

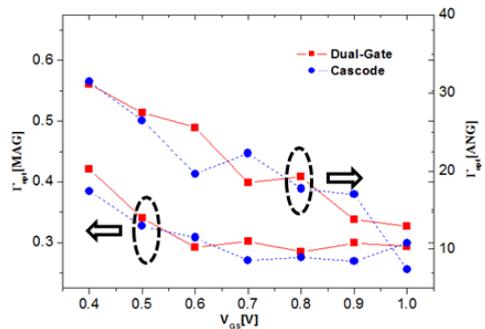
측정결과 최적반사계수는 유사한 특징을 보였으며 최소잡음지수는 이중게이트형태 FET가 Cascode형태의 FET보다 약 0.2dB 낮은 결과를 보였고 잡음저항도 약 1.5Ω정도 낮은 결과를 나타냈다. 5GHz대역에서는 잡음지수의 변화가 적지만 그림 7(a)의 결과에서 알 수 있듯이 주파수가 높으면 잡음지수의 개선도 현저해 질 것으로 기대 할 수 있다. 하지만 이러한 이중게이트의 장점과는 달리 격리도 특성은 일반적인 구조에 비해서는 좋지 않다.



(a)



(b)



(c)

그림 9. 이중게이트와 일반적인 FET의 잡음특성 (a) 최소잡음지수 (b) 잡음저항 (c) 최적 반사계수
Fig. 9 Noise characteristics of dual-gate FET and conventional FET

그림 10은 이중게이트 구조의 S12특성을 나타낸다. 측정결과 이중게이트 구조의 S12는 전주파수에 걸쳐 일반적인 캐스코드 보다 높은 값을 나타내고 있다.

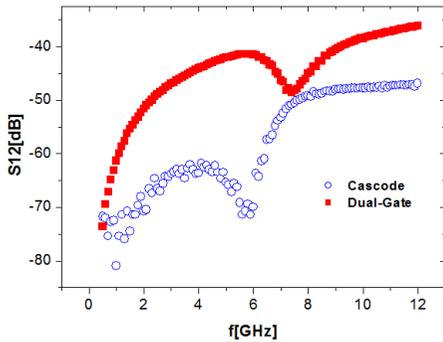


그림 10. 이중게이트 구조의 S12특성
Fig. 10 S12 characteristics of dual-gate structure

이것은 이중게이트는 면적을 줄여 기생성분을 줄이는 형태이므로 구조상 입력과 출력이 근접해 지기 때문이다. 그러나 전 주파수에 걸쳐 -40dB 이하의 결과를 나타내므로 일반적인 회로에서는 문제가 되지 않으나 높은 격리도를 요하는 회로에는 주의할 필요가 있다. 격리도 특성이 열화되더라도 소자나 회로의 구성을 바꾸지 않고 단지 Layout만으로 0.2dB 의 잡음지수를 낮출 수 있다는 것은 저잡음을 요하는 회로에서 훌륭하게 응용될 것으로 예상된다. 따라서 위와 같은 결과로 일반적인 캐스코드 회로보다 이중게이트형태로 회로를 구성하면 잡음특성에서 보다 우수한 결과를 얻을 수 있음을 알 수 있다.

IV. 결론

본 논문에서는 이중게이트 FET의 고주파 모델링을 위한 열잡음 파라미터를 추출하고 분석하였다. 튜너를 이용해서 잡음파라미터를 측정하였으며 open과 short 더미를 이용해서 정확한 파라미터를 추출하였다. 측정 결과 5GHz 에서 이중게이트 FET가 일반적인 캐스코드 형태의 FET보다 최소잡음지수가 0.2dB 정도 낮은 값을 얻었다. 이것은 기생캐패시터의 감소로 g_m 이 높아져 잡음지수가 낮아졌기 때문이다. 이중게이트 FET는 비록 격리도가 캐스코드 FET보다 낮지만 회로의 레이아웃을 바꾸는 것만으로 낮은 잡음특성을 얻을 수 있어 앞으로 많은 고주파회로에 응용될 것으로 사료된다.

감사의 글

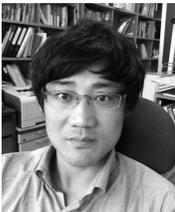
본 연구는 미래창조과학부 및 정보통신산업진흥원의 IT융합 고급인력과정 지원사업의 연구결과로 수행되었음 (NIPA-2013- H0401-13- 2006)

참고 문헌

- [1] B. Razavi, RF Microelectronics, Prentice-Hall, Englewood Cliffs, NJ, pp. 225-226, 1998.
- [2] C. C. Enz and Y. Cheng, "MOS Transistor Modeling for RF IC", IEEE J. Solid-State Circuits, Vol. 35, No. 2, pp. 186-201, 2000.
- [3] G. Kim, Y. Shimizu, B. Murakami, M. Goto, K. Ueda, T. Kihara, T. Matsuoka, and K. Taniguchi: "Small-Signal and Noise Model of FD-SOI MOS Devices for Low Noise Amplifier", Jpn. J. Appl. Phys, Vol. 45, No. 9A, pp. 6872-6877, 2006.
- [4] A. Abidi, "High-Frequency Noise Measurements on FET's with Small Dimensions", IEEE Trans. Electron Devices. Vol. 33, pp. 1801-1805, 1986.
- [5] G.Huang, T.Kim, S.Kim and B.Kim, "Post-Linearization Technique of CMOS Cascode Low Noise Amplifier Using Dual Common Gate FETs", The Institute of Electronics Engineers of Korea, Vol. 44, No. 7, pp. 41-46, 2007.
- [6] R.funimoto, K.Kojima and S.Otaka "A 7-GHz 1.8dB NF CMOS Low-Noise Amplifier", IEEE Journal of Solid State Circuits, Vol. 37, No. 7, pp. 852-856, 2002.
- [7] T.S.Arun Samuel, N.B.Balamurugan, S.Sibitha, R.Saranya, D.Vanisri "Analytical Modeling and Simulation of Dual Material Gate Tunnel field Effect Transistors", Journal of Electrical Engineering & Technology, Vol. 8, No. 6, pp. 1481-1486, 2013.
- [8] M.Goe, "Design and Fabrication of wideband low-noise amplification stage for COMINT", The Journal of The Korea Institute of Electronic Communication Sciences, Vol. 7, No. 2, pp. 221-226, 2012.
- [9] J.Lim, T.Kim, J.Park, Y.Rhee, "Implementation of Ka-band Low Noise Block Converter For

- Satellite TVRO", The Journal of The Korea Institute of Electronic Communication Sciences, Vol. 3, No. 2, pp. 93-100, 2008.
- [10] M.Go, S.Pyo, H.Park "A Study on the amplification Block for Integrated Antenna Module Applicable to Vehicles ", The Journal of The Korea Institute of Electronic Communication Sciences, Vol. 4, No. 2, pp. 87-92, 2009.
- [11] G.Kim, "Accurate parameter extraction method for FD-SOI MOSFETs RF small-signal model including non-quasi-static effects", The Journal of The Korea Institute of Maritime Information & Communication Sciences, Vol. 11, No. 10, pp. 1910-1915, 2007.
- [12] G.Kim, "Analysis and extraction method of noise parameters for short channel MOSFET thermal noise modeling", The Journal of The Korea Institute of Maritime Information & Communication Sciences, Vol. 13, No. 12, pp. 2655-2661, 2009.
- [13] G. Knoblinger, "RF-Noise of Deep- Submicron MOSFETs Extraction and Modeling", Proc of the ESSDERC, pp. 331-334, 2001.

저자 소개



김규철(Gue-Chol Kim)

2000년 2월 목포해양대학교 해양
전자통신공학과(공학사)

2003년 8월 목포해양대학교 해양
전자통신공학과(공학석사)

2007년 3월: 오사카대학 전자정보에너지공학과(공학박
사)

2006년 11월~2008년 2월: Matushita Electric Works 중
앙연구소 연구원

2008년 3월~현재: 목포해양대학교 해양전자통신공학
부 조교수

※ 관심분야 : 고주파 소자 모델링, 고주파회로설계안
테나설계