

LR-WPAN 시스템을 위한 비동기 복조 알고리즘 및 하드웨어 구조설계

Design of Non-coherent Demodulator for LR-WPAN Systems

이동찬*, 장수현*, 정윤호*

Dong-Chan Lee*, Soo-Hyun Jang*, and Yun-Ho Jung*

요 약

본 논문에서는 다중 전송률 지원이 가능하도록 개선된 LR-WPAN (Low-Rate Wireless Personal Area Network) 시스템을 위한 효율적인 복조 알고리즘 및 하드웨어 구조를 기술하였다. 여러 센서응용 시스템에 대한 연구가 활발히 진행됨에 따라 다양한 전송률을 지원하는 LR-WPAN 시스템의 필요성이 커지고 있다. 이에, 본 논문에서는 심볼 단위 이중상관방식 (SymBol based Double Correlation, SBDC)을 변형한 샘플 단위 이중상관 방식 (SamPlE based Double Correlation, SPDC)을 제안한다. 제안된 알고리즘은 다양한 전송률 지원에 따른 복잡도의 증가가 없으며, IEEE 802.15.4 LR-WPAN 시스템에서 권고하는 ± 80 ppm (송/수신 각각 ± 40 ppm)의 주파수 오프셋에서도 동작이 가능한 non-coherent 복조방식이다. 하드웨어 구현은 verilog HDL을 사용하였으며, FPGA 테스트 보드를 이용하여 설계 및 검증을 수행하였다.

Abstract

In this paper, we present a low-complexity non-coherent demodulation algorithm and hardware architecture for LR-WPAN systems which can support the variable data rate for various applications. The need for LR-WPAN systems that can support the variable data rate is increasing due to the emergence of various sensor applications. Since the existing symbol based double correlation (SBDC) algorithm requires the increase of complexity to support the variable data rate, we propose the sample based double correlation (SPDC) algorithm which can be implemented without the increase of complexity. The proposed non-coherent demodulator was designed by verilog HDL and implemented with FPGA prototype board.

Key words : LR-WPAN, Non-coherent, Demodulation, SBDC, SPDC

I. 서 론

최근 USN (Ubiquitous System Network), IoT (Internet of Things), M2M (Machine to Machine), Smart Grid 등의 센서 응용 시스템이 각광 받으며 무선 데이터 전송에 대한 수요가 늘어감에 따라, 저전력 근

거리 통신을 지원할 수 있는 LR-WPAN에 대한 관심이 높아지고 있다 [1]. 이런 저전력 근거리 데이터 전송을 충족시키기 위해 전력 효율성 측면과 저가형 시스템 구성이 가능한 IEEE 802.15.4 LR-WPAN 시스템이 널리 이용되고 있다 [2]. 그러나, 기존의 IEEE 802.15.4 LR-WPAN 시스템은 250 kbps의 단일 전송

* 한국항공대학교 항공전자 및 정보통신 공학부 (School of Electronics & Tele communication Eng., Korea Aerospace University)

· 제1저자 (First Author) : 이동찬(Dong-Chan Lee, tel : +82-10-8858-4492, email : dclee@kau.ac.kr)

· 접수일자 : 2013년 11월 08일 · 심사(수정)일자 : 2013년 11월 08일 (수정일자 : 2013년 12월 26일) · 게재일자 : 2013년 12월 30일

<http://dx.doi.org/10.12673/jkoni.2013.17.6.705>

를만을 지원하고 있어 센서 네트워크 기술을 응용한 다양한 분야를 지원하는데 한계가 있다. 즉, 낮은 전송률을 지원하지만 보다 넓은 통달거리를 지원하는 응용 및 상대적으로 통달거리의 중요도 보다는 높은 전송률을 필요로 하는 응용분야를 지원 할 수 있는 개선된 LR-WPAN 시스템이 필요 하다.

또한, IEEE 802.15.4 시스템은 저가구현을 지향하는 시스템으로 규격에 정의된 ± 80 ppm의 큰 주파수 오프셋 환경에서 동작 가능한 저 복잡도의 복조 알고리즘이 요구된다 [3]-[5]. [4], [5]에서는 non-coherent 방식의 SBDC 알고리즘을 이용하여 주파수 오프셋에 강한 복조기를 설계하였다. 하지만, 다양한 전송률을 지원하기 위해 심볼의 길이가 증가할 경우 복잡도의 복잡도 및 주파수 오프셋의 영향이 증가하는 문제점을 가지고 있다.

이에, 본 논문에서는 수신신호의 샘플단위 위상 차이를 이용하여 다중 전송률 지원에 따른 복잡도 증가와 주파수 오프셋 문제를 감소시킨 non-coherent 방식의 SPDC 알고리즘 및 하드웨어 구조를 제안한다.

II. 시스템 모델

2-1 수신 신호 모델

IEEE 802.15.4는 패킷 기반 LR-WPAN 통신규격이다. 패킷의 구성은 그림1과 같이 preamble과 패킷의 정확한 시작을 나타내는 SFD (Start of Frame Delimiter), PHY payload의 길이 정보를 가지는 PHR (PHY header), 마지막으로 전송하려는 데이터인 PSDU (PLCP Service Data Unit) 순서로 이루어진다.

그림 2의 구조를 갖는 IEEE 802.15.4의 송신기는 4 비트를 모아 심볼을 구성하며, 한 심볼은 32chip으로 spreading 되어 변조를 수행한다. 변조방식은 odd chip 과 even chip을 I-phase (In phase)와 Q-phase (Quadra-

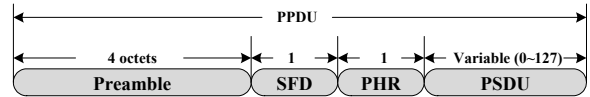


그림 1. IEEE 802.15.4 시스템의 패킷 구조
Fig. 1. Packet format of IEEE 802.15.4 system

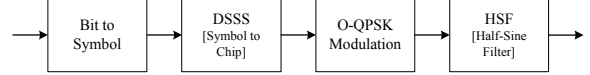


그림 2. IEEE 802.15.4 시스템의 송신기 구조
Fig. 2. Transmitter structure of IEEE 802.15.4 system

ture phase)로 각각 나누고 Q-phase는 한 chip 주기만큼 신호를 지연시키는 OQPSK (Offset Quadrature Phase Shift Keying) 변조를 사용하며, 이후 sine파의 반주기에 해당하는 파형으로 변형된다. 이때, OQPSK 변조와 HSF(Half Sine Filter)를 이용한 방식을 MSK (Minimum Shift Keying) 변조라고도 불리운다 [6]. 본 논문에서는 복조 성능과 시스템 구현을 위하여 칩 주기마다 4배 over-sampling을 고려하였으며, 이에 수신기에서의 동기부와 복조부가 사용가능한 샘플 간격은 0.25 chip 주기가 되며, 하드웨어 동작 주파수는 8 MHz가 된다.

IEEE 802.15.4 규격은 저속의 근거리 통신을 위한 시스템에 주로 사용되며 이에 따라 채널 모델은 페이딩의 영향이 없는 무선채널로 모델링 된다. 수신부에서 AWGN (Addictive White Gaussian Noise)이 신호에 더해지며 수신 신호는 다음과 같다.

$$r(t) = \exp(j(\Phi + \omega_o t) + \Theta) + N \quad (1)$$

이때 Φ 는 변조된 송신신호의 위상, Θ 는 송/수신기 LO (Local Oscillator) 시작점 차이로 인한 위상오차를 표현하며, ω_o 는 주파수 오프셋으로 송/수신기 LO의 각속도 차이 $\omega_t - \omega_r$ 를 나타낸다.

2-2 전송률에 따른 PN (Pseudo Noise) 부호

IEEE 802.15.4 시스템에서는 하나의 심볼을 32 chip 길이를 가지는 16-ary quasi-orthogonal한 PN (Pseudo Noise) 시퀀스로 8배 spreading한다. 이에 본

표 1. 전송률에 따라 제안된 PN 시퀀스
Table 1. Proposed PN sequence according to data rate

Data Rate	PN 부호
31.25 [kbps]	Repetition coding (x8)
62.5 [kbps]	Repetition coding (x4)
125 [kbps]	Repetition coding (x2)
250 [kbps]	IEEE 802.15.4 compliant
500 [kbps]	Short length 시퀀스 (16 chip)
1 [mbps]	Short length 시퀀스 (8 chip)

논문에서는 저속 전송률인 31.25 kbps - 125 kbps의 경우, 기존 32 chip PN 시퀀스에 반복부호화 (repetition coding) 방식을 적용하고, 500 kbps-1 mbps의 고속 전송률 지원을 위해 short-length PN 시퀀스를 이용하는 방법을 제안한다 [7]. 표 1은 제안하는 PN 부호를 정리하여 보여준다.

III. 비동기 복조 알고리즘

3-1 심볼 단위 이중상관 알고리즘

LR-WPAN 시스템에서는 저전력, 저복잡도 구현이 필수적으로 요구된다. 이에 신호의 위상을 찾아 이를 보상해주는 추가적인 복잡도를 필요로 하는 coherent 방식에 비해 신호의 위상 정보에 독립적으로 수신신호를 복조하는 non-coherent 방식이 시스템에 적합한 복조 방식이다. 이러한 non-coherent 방식 중 널리 쓰이는 기술 중 하나가 SBDC이다 [4], [5].

볼 주기만큼 지연된 수신신호의 위상 차이를 이용한 복조 방식이다. 수신 신호의 켈레복소수 신호를 심볼 주기만큼 지연된 수신 신호와 곱한 후, 미리 복조된 지연된 심볼의 켈레복소수 신호를 곱한다. 이렇게 세 가지 신호의 곱으로 생성된 신호와 수신 신호를 복조하기 위한 16개의 참조신호 후보군의 상관특성을 확인하여 상관특성이 가장 높은 심볼로 복조한다. 수신 신호의 상관계산은 다음의 식 2로 표현 가능하다.

$$\begin{aligned}
 Y_m(t) &= \int_0^{T_s} r_{x,k}^*(t)r_{k-1}(t-T_s) \\
 &\quad \cdot s_{m,k}(t)s_{k-1}^*(t-T_s)dt \\
 &= \int_0^{T_s} s_{x,k}^*(t)e^{-(j\omega_o t + \theta)} \\
 &\quad \cdot s_{k-1}(t-T_s)e^{j\omega_o(t-T_s) + \theta} \\
 &\quad \cdot (s_{m,k}(t)s_{k-1}^*(t-T_s))dt \\
 &= |s_{k-1}(t-T_s)|^2 e^{-j\omega_o T_s} \int_0^{T_s} s_{x,k}^*(t)s_{m,k}(t)dt \quad (2)
 \end{aligned}$$

식 2에서 $r_{x,k}(t)$ 와 $r_{k-1}(t-T_s)$ 는 각각 k번째 수신신호와 한 심볼 주기 T_s 만큼 지연된 신호를 나타내며, $s_{k-1}(t-T_s)$ 는 k-1번째 심볼의 원 신호, $s_{m,k}(t)$ 는 현재 수신 신호와 상관특성을 계산할 16개의 참조신호 후보군 중 m번째 참조신호를 의미한다. Non-coherent 복조에 가장 큰 영향을 주는 주파수 오프셋의 영향은 LO의 동작시간에 비례하여 누적되

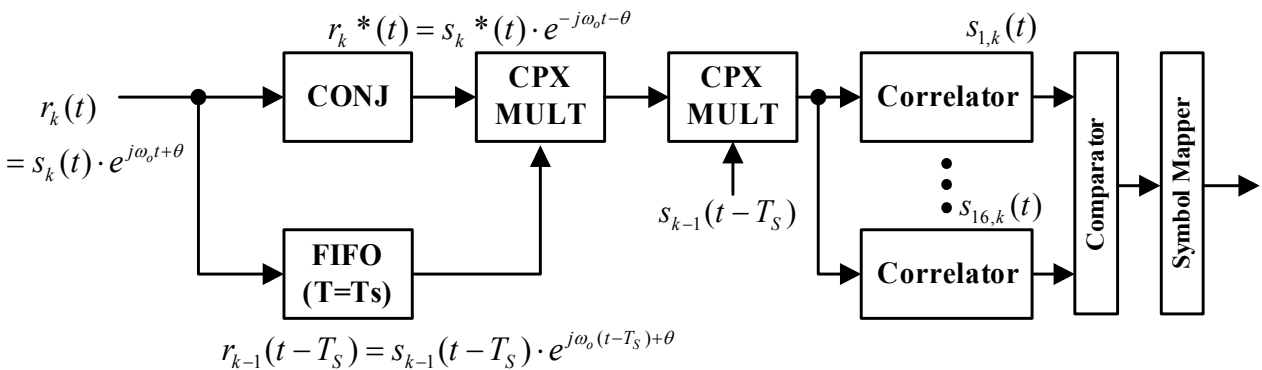


그림 3. 심볼 단위 이중상관방식 구조도

Fig. 3. Hardware structure of symbol based double correlation scheme
그림 3에서 나타낸 SBDC 방식은 수신 신호와 심볼 주기만큼 지연된 수신 신호를 곱한 후, 미리 복조된 지연된 심볼의 켈레복소수 신호를 곱한다. 이렇게 세 가지 신호의 곱으로 생성된 신호와 수신 신호를 복조하기 위한 16개의 참조신호 후보군의 상관특성을 확인하여 상관특성이 가장 높은 심볼로 복조한다. 수신 신호의 상관계산은 다음의 식 2로 표현 가능하다.

서는 수신 신호의 켈레복소수와 지연된 신호의 곱을 통해 주파수 오프셋의 영향을 시간과 독립적인 $e^{-j\omega_o T_s}$ 로 고정시켜 주파수 오프셋 영향을 해결한다. 지연된 신호는 원 신호와의 켈레복소수 곱 연산을 하게 되어 상관 결과에 영향을 주지 않게 되며, 이에 따라 SBDC 방식은 주파수 오프셋 영향에 강인한 특성을 가지며 수신 신호와 후보군 간의 상관특성에 따라 복조가 가능하게 된다.

그러나, SBDC 방식은 지연된 심볼을 저장하기 위한 심볼 주기의 메모리를 필요로 하는데, 본 논문에서 제안하는 다중 전송률을 지원하기 위해서는 최대 8배의 메모리를 필요로 하게 된다. 이는 저전력, 저복잡도를 지향하는 근거리 통신 시스템에는 적절하지 않은 방법이다. 또한, 심볼 주기 T_s 가 증가함에 따라 시간에 독립적 이지만 잔류하는 주파수 오프셋 $e^{-j\omega_o T_s}$ 의 영향이 커지게 된다.

이에 본 논문에서는 SBDC 방식을 변경한 샘플 단위의 위상 차이를 이용하여 다양한 전송률에 관계없이 주파수 오프셋의 영향을 일정하게 감소시키며 저전력, 저복잡도의 하드웨어 구조설계가 가능한 복조부를 제안한다.

3-2 샘플 단위 이중상관 알고리즘

본 논문에서 제안하는 SPDC 방식은 수신신호의 샘플간 위상 차이를 이용한 non-coherent 방식의 복조 알고리즘으로 SBDC 방식의 식 2를 수정하여 샘플간 위상 차이를 이용하는 식 3으로 나타낼 수 있다. 식 3에서 $r_{x,k}(t)$ 와 $r_{x,k}(t - Tc)$ 는 k번째 수신신호 중 수신신호와 칩 주기 (Tc) 만큼 지연된 신호를 나타내며, $s_{m,k}^*(t)$ 는 상관특성을 계산할 16개의 후보군 중 m번째 참조신호를 의미한다. Y_m 은 m번째 참조신호와 수신신호 $r_{x,k}(t)$ 의 상관도 연산 결과 값으로 수신신호의 x 가 m 과 같을 경우 가장 큰 값을 나타낸다. 이에, $Y_0 \sim Y_{15}$ 의 값을 비교하여 가장 큰 상관특성값을 가지는 참조신호로 복조한다.

$$Y_m(t) = \int_{Tc}^{T_s} r_{x,k}^*(t)r_{x,k}(t - Tc)$$

$$\begin{aligned} & \bullet s_{m,k}(t)s_{m,k}^*(t - Tc) dt \\ = & \int_{Tc}^{T_s} s_{x,k}^*(t)e^{-(j\omega_o t + \theta)} \\ & \bullet s_{x,k}(t - Tc)e^{j\omega_o(t - Tc) + \theta} \\ & \bullet s_{m,k}(t)s_{m,k}^*(t - Tc) dt \\ = & e^{-j\omega_o Tc} \int_{Tc}^{T_s} M_{x,k}(t)M_{m,k}^*(t) dt \quad (3) \end{aligned}$$

$$\begin{cases} M_{x,k}(t) = s_{x,k}^*(t)s_{x,k}(t - Tc) \\ Tc = 4 \text{ (over sampling)} \end{cases}$$

샘플 단위 이중 상관 알고리즘은 수신신호의 켈레복소수와 심볼의 길이에 독립적인 칩 주기만큼 지연된 수신신호의 곱을 이용해 주파수 오프셋의 영향을 상쇄시켜, 다양한 전송률을 지원할 경우 문제가 되었던 잔류 주파수 오프셋의 영향은 심볼의 길이에 독립적인 칩 주기에 따라 $e^{-j\omega_o Tc}$ 만 남아있게 된다. 또한, 샘플단위의 수신신호를 사용함에 따라 상관 연산에 사용가능한 샘플의 수가 증가하게 된다. 이에, 잔류 주파수 오프셋의 영향을 감소시키고, 연산에 사용할 수 있는 샘플의 수를 증가시켜 향상된 성능을 얻는다.

그림 4와 5는 제안하는 알고리즘과 기존 알고리즘을 이용하여 31.25 kbps부터 1 mbps의 전송률을 지원하는 시스템에 대한 packet error rate (PER) 성능 비교 결과이다. 성능 평가는 두 알고리즘 모두 IEEE

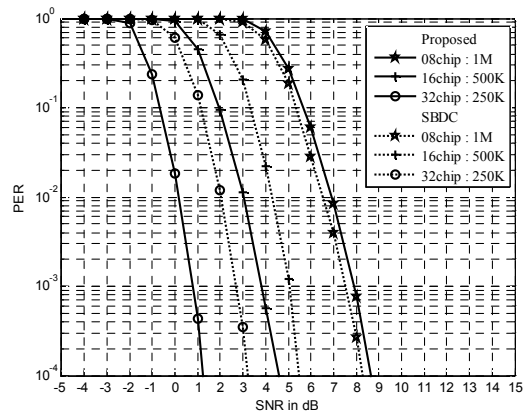


그림 4. 저속 전송률에서의 PER 성능비교
Fig. 4. PER performance for low data-rate modes

802.15.4 표준에 명시된 주파수 오차 (송/수신 각 최대 ±40 ppm), 위상 오차 및 AWGN이 존재하는 환경

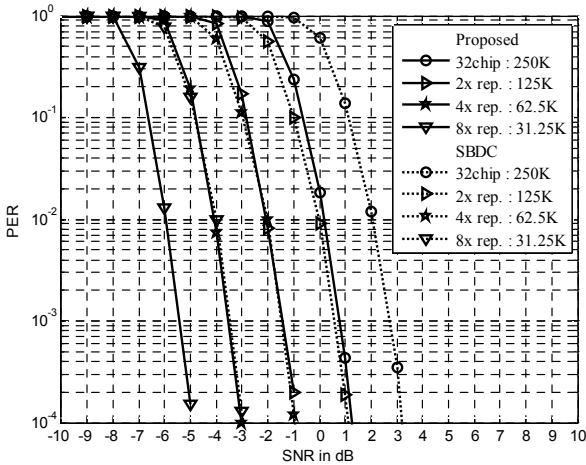


그림 5. 고속 전송률에서의 PER 성능비교
 Fig. 5. PER performance for high data-rate modes

을 가정하여 수행하였다. 그림 4는 넓은 통달거리를 위해 PN시퀀스에 repetition coding 을 사용한 3가지 모드를 나타내고 있으며, 모두 기존 대비 2 dB의 성능 향상을 보임을 확인할 수 있다. 그림 5는 short PN 시퀀스를 이용하여 전송률을 증가시킨 모드를 나타내는데, 16 chip의 경우 1 dB의 성능향상이 보이지만 8 chip을 사용한 1 mbps 모드는 심볼의 길이가 짧아짐에 따라 유사한 성능을 보임을 확인할 수 있다.

또한, 샘플 단위의 연산에 따라 메모리의 크기가 현저하게 줄어드는 것을 확인할 수 있다. SBDC 알고리즘의 경우 31.25 kbps 모드에서는 PN 시퀀스 생성을 위해 32 chip에 8배 repetition coding을 적용하여 256 chip length의 PN시퀀스를 가지며, 최대 1024개의 메모리가 필요한 것을 확인할 수 있다. 이에 비하여 제안된 알고리즘은 기존대비 98.43% 가 감소한 메모리만이 필요한 것을 알 수 있다. 표 2는 상관 연산을 위한 제안된 알고리즘과 기존 알고리즘의 메모리 크기를 비교한 결과이다.

표 2. 메모리 사용량 비교결과
 Table 2. Comparison results of memory usage

전송률 [kbps]	31.25	62.5	125	250	500	1000
SBDC [word]	256	128	64	32	16	8
SPDC [word]	4	4	4	4	4	4
감소율 [%]	98.43	96.875	93.75	87.5	75	50

IV. 설계 및 구현 결과

그림 6은 제안된 복조기의 하드웨어 구조를 도시한다. 제안된 복조기는 크게 신호의 위상 차이를 구하기 위한 위상 검출, 16개의 참조신호와의 상관연산을 수행하는 상관기 (correlator), 그리고 상관 연산값을 비교하여 심볼을 결정하는 심볼 매핑 블록으로 구성된다. 우선, 그림 6에서 보듯이 수신신호의 샘플단위 위상 차이를 구하기 위해 사용된 메모리의 크기는 T_c 로 고정되어 있기 때문에 다양한 전송률의 지원에 따른 복잡도 증가가 없다. 따라서, 다양한 전송률을 지원하기 위하여 간단한 컨트롤 로직의 추가만으로 복조부를 구현 가능하다.

그림 6에 따라 설계된 제안된 복조기는 verilog HDL을 이용하여 구현되었고, FPGA에 기반하여 설계 되었다. FPGA 구현 결과, 총 1,099개의 logic slices로 구현 가능함을 확인하였다.

V. 결 론

LR-WPAN 시스템은 저전력, 저복잡도를 지향하는 시스템으로 큰 주파수 오프셋에서도 복조가 가능한 복조부를 필요로 한다. 이에 본 논문에서는 복잡도의 증가와 성능의 열화가 없이 다양한 전송률을 지원할 수 있는 LR-WPAN 시스템을 제안하고, 하드웨어 구현 및 검증하였다. 제안된 non-coherent 기반의 복조 알고리즘은 샘플단위 연산을 이용하여 다중 전송률에 따른 메모리의 증가 없이 구현 가능하며, 또한 이중상관방식을 이용하여 주파수 오프셋에도 강인한 특성을 보이는 것을 확인할 수 있다.

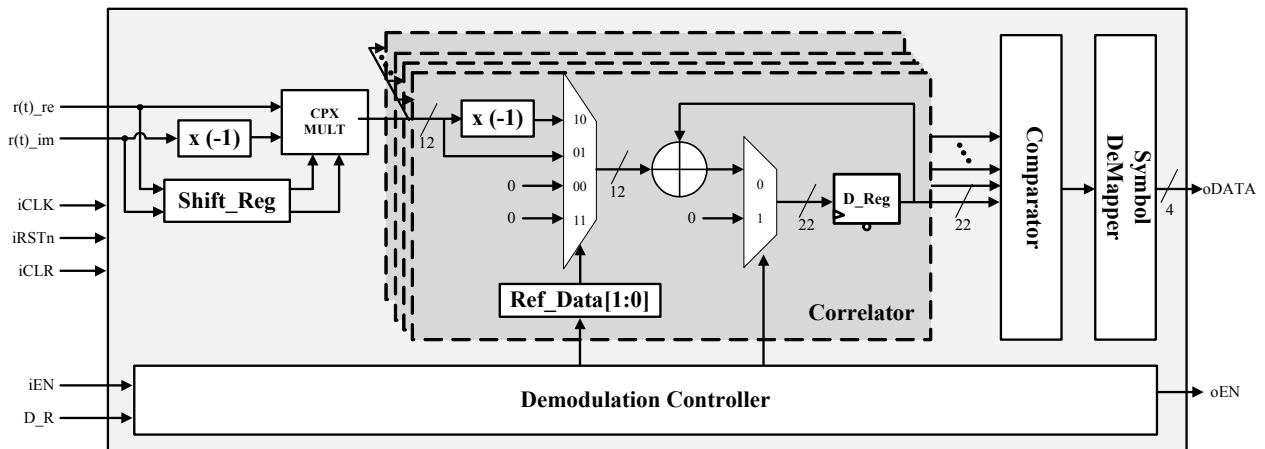


그림 6. 제안된 LR-WPAN 시스템을 위한 non-coherent 복조기 블록도
 Fig. 6. Block diagram of the proposed non-coherent demodulator for LR-WPAN systems

감사의 글

이 논문은 2013년도 산업통상자원부 지원사업 (10045451)으로 수행된 연구이며, 연구의 주저자는 해양수산부 해양시설과 “해양교통 전문인력 양성사업 (GNSS 부분)”의 지원을 받고 있습니다.

Reference

[1] Y. Ma, N. Wei, and M. Lv, "Performance analysis of wireless network based on IEEE 802.15.4 in smart home environment," *Multimedia Information Networking and Security Conf.*, pp. 208-211, 2012.
 [2] IEEE Std.802.15.4, IEEE Standard for Wireless Medium Access Control and Physical Layer Specifications for Low-Rate Wireless Personal Area Networks (LR-WPANs), 2003.
 [3] N. Oh, S. Lee, and J. Ko, "A CMOS 868/915 MHz direct conversion. ZigBee single-chip radio," *IEEE Comm., Mag.*, vol. 43, no. 12, pp. 100-109, Dec. 2005.
 [4] W. Kim, Y. Jung, S. Lee, and J. Kim, "Low complexity demodulation scheme for IEEE 802.15.4 LR-WPAN systems," *IEICE Electron. Express*, vol. 5, no. 14, pp. 490-496, July 2008.
 [5] D. Park, S. Park, and K. Lee, "Simple Design of Detector in the Presence of Frequency Offset for IEEE 802.15.4 LR-WPANs," *IEEE Trans. Circuit and*

systems II, vol. 56, no. 4, pp. 330-334, 2009.

[6] J.G. Proakis, "Digital Communications," *Third Edition*, McGraw-Hill Inc, 1995.
 [7] M. Singh, Z. Lei, F. Chin, and Y. Kwok, "Modulation and Code Mapping Scheme for High Rate Transmission for IEEE 802.15.4b in AWGN Channels," *Military Commun. Conf.*, pp. 1-5, 2007.

이 동 찬 (Dong-Chan Lee)



2009년 2월 : 한국항공대학교
 항공 전자 및 정보통신공학부 학사 졸업
 2013년 3월 ~ 현재 : 한국항공대학교
 항공전자 및 전자공학과 석사
 관심분야 : 무선 통신 시스템용
 모뎀 프로세서의 알고리즘 및 SoC
 설계

장 수 현 (Soo-Hyun Jang)



2009년 2월 : 한국항공대학교 항공
 전자 및 정보통신공학부 학사 졸업
 2011년 2월 : 한국항공대학교 항공
 전자 및 전자공학과 석사 졸업
 2011년 3월 ~ 현재 : 한국항공대학교
 항공전자 및 전자공학과 박사 과정
 관심분야 : 무선 통신 시스템용

모뎀 프로세서의 알고리즘 및 SoC 설계

정 운 호 (Yun-Ho Jung)



1998년 2월 : 연세대학교 전자공학과

2000년 2월 : 연세대학교 전기전자
공학과 석사

2005년 2월 : 연세대학교 전지전자
공학과 박사

2005년 ~ 2007년 삼성전자 책임연구원

2007년 ~ 2008년 : 연세대학교 연구교수

2008년 ~ 현재 : 한국항공대학교 부교수

관심분야 : MIMO/OFDM 통신시스템, 항공통신 시스템,
VLSI 신호처리, 모뎀 SoC 설계