

QCA를 이용한 효율적인 BCD-3초과 코드 변환기 설계

Efficient Design of BCD-EXCESS 3 Code Converter Using Quantum-Dot Cellular Automata

유영원*, 전준철**

Young-Won You*, Jun-Cheol Jeon**

요 약

양자 셀룰라 오토마타(QCA)는 CMOS의 기술을 상속받을 차세대 나노 전자 소자 중 하나이다. QCA는 원자 규모 및 초저전력화로 이목이 집중되고 있으며 다양한 QCA 회로들이 제안되었다. 십진 출력을 요하는 전자회로와 마이크로프로세서에서 주로 사용되는 이진화 십진법(BCD)은 연산을 위한 변환은 편하지만 데이터 낭비가 심하다. 본 논문에서는 QCA 회로에서 감산 및 반올림에 효과적으로 이용될 수 있는 BCD-3초과 코드를 제안한다. 제안된 구조는 잡음을 최소화하고 공간 및 시간 복잡도를 고려하여 효율적으로 설계되었으며 시뮬레이션을 통해 검증하였다.

Abstract

Quantum-dot cellular automata(QCA) is a new technology and it is an one of the alternative high performance over existing complementary metal-oxide semi-conductor(CMOS). QCA is nanoscale device and ultra-low power consumption compared with transistor-based technologies, and various circuits using QCA technology have been proposed. Binary-coded decimal(BCD), which represents decimal digits in binary, is mainly used in electronic circuits and Microprocessor, and it is comfortable in conversion operation but many data loss. In this paper, we present an BCD-EXCESS 3 Code converter which can be efficiently used for subtraction and half adjust. The proposed scheme has efficiently designed considering space and time complexities and minimization of noise, and it has been simulated and confirmed.

Key words : Quantum-dot cellular automata, Complementary metal-oxide semiconductor, Binary-coded decimal, BCD-EXCESS 3 Code converter

I. 서 론

양자 셀룰라 오토마타(QCA)는 폰 노이만에 의해 도입 된 셀룰라 오토마타의 기존 모델과 동일한 방법으로 고안되어온 양자 계산 모델을 말한다. QCA는 CMOS 기술을 교환하는 후보를 만들고 아주 작은 작

수 분자 또는 원자 규모 및 초저전력화로 많은 관심을 모으고 있다 [1].

이러한 QCA의 장점들 때문에 여러 디지털 회로들을 QCA 설계에 활용할 수 있도록 다양한 연구들이 발표되었다. Mardiris 등은 멀티플렉서를 제안하였으며, Yang 등은 하강 에지 플립플롭 및 카운터를 제안

* 금오공과대학교 컴퓨터공학과(Department of Computer Engineering, Kumoh National Institute of Technology)

· 제1저자 (First Author) : 유영원(Young-Won You)

0 교신저자 (Corresponding Author) : 전준철(Jun-Cheol Jeon, tel : +82-54-478-7534, email : jcjeon@kumoh.ac.kr)

· 접수일자 : 2013년 10월 22일 · 심사(수정)일자 : 2013년 10월 22일 (수정일자 : 2013년 12월 25일) · 게재일자 : 2013년 12월 30일

<http://dx.doi.org/10.12673/jkoni.2013.17.6.700>

하였다 [2-3]. 이 외에 래치, D 플립플롭 등 다양한 QCA 회로가 설계되었다 [4]. 이를 이용하여 2비트, 3비트 동기식(synchronous) 접속 카운터, 램(RAM), 마스터 슬레이브(master slave) 등이 연구되었고 특히 감산기와 가산기가 많은 연구를 통해 제안되었다 [5-6].

최근에는 저전력 회로의 특성이 부각되면서 가역 회로에 대한 관심도 많아지고 있다. 가역회로는 저전력 회로의 설계를 위한 양자계산에 효율적이고 게이트 수와 지연을 줄일 수 있는 장점이 있다 [7].

연산에 가장 많이 사용되는 가산기와 감산기는 이진수 연산 이후에 십진법으로 바꾸어 주는 절차가 필요하다. 이러한 변환 방법에는 다양한 방법이 있다. 십진수의 각 자리에 3을 더한 4비트 이진수로 표기하는 BCD-3초과 코드, 한 바이트에 두 자리를 묶어서 저장하는 묶음 이진화 십진법(packed BCD), 그리고 상위 4비트를 특정한 비트열로 채워서 문자를 대응시키는 존 십진법(zoned decimal) 등이 있다 [8].

이 중 BCD-3초과 코드는 단선 등에 의한 신호두절을 구별할 수 있고 비트를 반전하는 것만으로도 9의 보수를 얻을 수 있으므로 감산에 유용하다 [9]. 본 논문에서는 다양한 이진화 십진법 중 감산 및 반올림에 유용한 BCD-3초과 코드 변환기를 설계한다.

본 논문의 구성은 다음과 같다. 2장에서는 QCA의 기본 소자들에 대해 소개하고, 3장에서는 BCD-3초과 코드의 논리도와 설계한 회로를 제시한다. 4장에서는 회로에 대한 설명과 신호의 흐름을 분석하며 5장에서 결론을 맺는다.

II. 배경지식

양자 셀은 네 개의 양자 점으로 구성되어 있다. 그림 1(a)을 보면 각기 다른 상태의 두 양자 셀을 보여주고 있다. 셀 내부에는 양자 점들 간에 터널링(tunneling) 할 수 있는 두 개의 과도 전자를 가지고 있다. 쿨롱 반발력 때문에 이 과도 전자는 항상 대각선 방향 반대쪽에 위치한다. 에너지가 등가인 두 가지의 편극(polarization) 형태가 존재하며 각각 +1, -1(0)으로 나타낸다 [10].

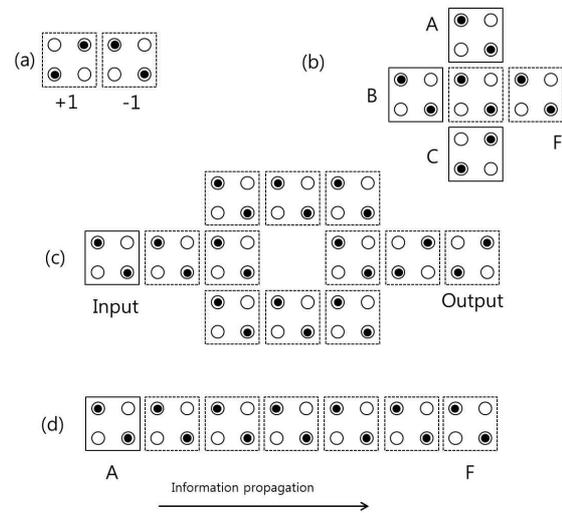


그림 1. QCA 기본 소자들
Fig. 1. QCA basic elements.

그림 1(b)는 QCA 논리 회로의 기본적인 논리 소자인 다수결 게이트(majority gate)이다. 논리 함수식은 $MV(A, B, C) = AB + AC + BC$ 로 표현한다. 총 5개의 셀로 구성되어 있으며 3개의 입력을 받아서 중앙의 셀에서 다수결 투표를 통해 출력 값이 결정된다.

QCA에서 AND 게이트는 다수결 게이트에서 두 개의 입력과 한 개의 입력 대신 고정 셀(-1)로 구성할 수 있으며 OR 게이트는 역시 두 개의 입력과 한 개의 고정 셀(1)로 구성할 수 있다.

그림 1(c)는 대표적인 인버터 게이트 중 하나로 입력 신호를 두 개의 배선으로 분할하고 다시 만날 때 두 입력이 출력에 영향을 미치게 되고 출력의 편극이 입력의 편극과 서로 반대가 된다.

그림 1(d)는 90° 셀 배선의 신호 전파를 나타낸 것이다. 입력이 셀 A에서 시작하여 전자들의 쿨롱 반발력에 의해 정보가 좌측에서 우측으로 전파된다.

III. BCD-3초과 코드의 설계

3-1 진리표 및 논리도

BCD-3초과 코드의 진리표를 아래 표 1에서 볼 수 있다. 표 1은 A부터 D까지 4 비트 입력을 받아서 W부터 Z까지 4 비트 출력을 하는 진리표이다.

표 1. BCD-3초과 코드 진리표

Table. 1. BCD-EXCESS 3 Code Truth Table

	BCD				EXCESS-3			
	A	B	C	D	W	X	Y	Z
0	0	0	0	0	0	0	1	1
1	0	0	0	1	0	1	0	0
2	0	0	1	0	0	1	0	1
3	0	0	1	1	0	1	1	0
4	0	1	0	0	0	1	1	1
5	0	1	0	1	1	0	0	0
6	0	1	1	0	1	0	0	1
7	0	1	1	1	1	0	1	0
8	1	0	0	0	1	0	1	1
9	1	0	0	1	1	1	0	0

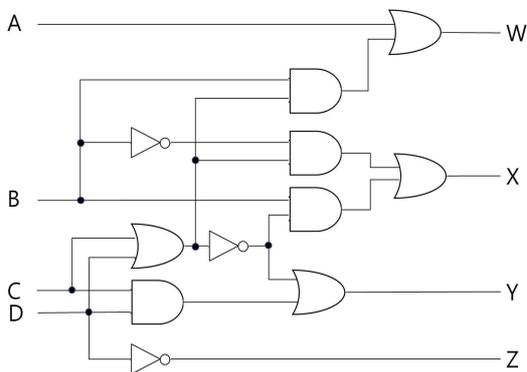


그림 2. BCD-3초과 코드 변환기 논리도

Fig. 2. Logic Diagram of BCD-EXCESS 3 Code Converter.

카르노 맵(K-map)은 진리표나 복잡한 식으로부터 간소화한 논리식을 도출할 수 있는 방법 중 하나이다. 진리표의 입력 변수가 4개이므로 4변수 카르노 맵을 사용하여 논리식을 구하고, 그것을 바탕으로 논리도를 구현할 수 있다.

표 1로부터 구한 그림 2는 BCD-3초과 코드를 각각 4개의 AND 게이트와 OR 게이트, 그리고 3개의 인버터로 구성된 논리도이다. 그림 2에서 출력 Z의 논리식은 D' , Y의 논리식은 $CD + C'D'$ 로 나타낸다. X는 $B'CD + BC'D'$, 마지막 출력 W는 $A + B(C + D)$ 로 나타내고 A부터 D까지의 모든 입력 값을 사용한다.

3-2 BCD-초과 코드 변환기 설계

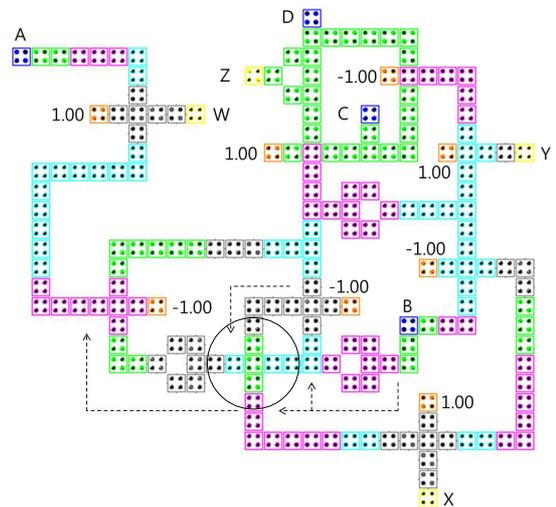


그림 3. BCD-3초과 코드 변환기 회로

Fig. 3. Circuit of BCD-EXCESS 3 Code Converter.

그림 3은 그림 2의 논리도를 QCA로 구현한 회로이다. 회로의 공간과 셀의 개수를 줄이기 위하여 입력 셀을 회로 내부에 설계하였고, 모든 출력이 2사이클 내에 출력되도록 설계하였다. 출력 Z는 입력 D의 배선에서 대각선으로 셀을 두 번 연결하여 출력의 편극이 반대가 되도록 하였고 대각선으로 하나면 연결하면 신호가 약해질 수 있으므로 양쪽에서 대각선으로 신호를 보내도록 설계하였다.

입력 C와 D가 두 가지 연산을 하기 때문에 공간적 효율성을 고려하여 사각형 모양으로 설계하였다. 내부에서 전파되는 입력 C의 신호는 양방향으로 나뉘고 다수결 게이트에서 대기한다. 입력 D는 Z로 출력을 한 후 셀 배선을 따라 신호가 계속 전파되고 다수결 게이트에서 입력 C와 연산을 하여 Y로 출력된다.

효율적인 신호의 흐름을 위해 공통적으로 사용되는 논리식은 셀 배선을 여러 방향으로 흐르도록 설계하였다. Y의 논리식은 $CD + C'D'$ 이고 X의 논리식은 $B'CD + BC'D'$ 이다. X의 논리식에서 Y의 논리식을 발견할 수 있다. Y를 출력하기 위해 한 쪽에서 논리식 CD 를, 다른 쪽에서 논리식 $C'D'$ 를 연산하여 두 논리식을 OR 연산으로 출력했다. 이때 사용된 두 논리식을 출력 X로 연결하고, 내부에서 전파되는 입력 B와 각각 연산을 한 후 X로 출력했다.

입력 A는 W의 출력에만 사용되므로 회로의 가장 자리에 설계하였다. 출력 W의 설계를 위해 그림 3의 별도로 표시한 부분은 셀 배선의 교차점이다. 셀 배

선이 교차하는 부분에서 각 배선의 클럭 차가 2클럭 이 나도록 하여 신호의 흐름에 방해가 되지 않도록 설계했다. 그림 3의 화살표 방향대로 신호는 진행되며 교차점을 사용하여 입력 B가 사용되는 출력 W의 배선을 효율적으로 설계할 수 있다.

값이 출력된다. 출력 W와 X는 2사이클 이후에 출력이 되고, Y는 1사이클 이후에 출력이 된다. Z는 첫 번째 사이클에서 즉시 출력됨을 확인할 수 있다. 회로 설계 시 사용한 클럭의 수에 따라 출력 위치가 정해지는 것을 확인할 수 있다.

IV. 분 석

V. 결 론

본 논문에서는 효과적인 QCA 회로 설계를 위해 QCADesigner version 2.0.3을 사용하였다 [11]. 그림 4는 그림 3에서 제안한 BCD-3초과 코드 변환기를 시뮬레이션한 결과이다. BCD 코드의 입력은 십진수 0부터 9까지인 0000에서부터 1001까지 4비트이며 그 외에 1010부터 1111까지는 3-초과 코드로 변환하면 5비트의 출력이 나온다. QCADesigner에서 회로의 입력과 출력을 4비트로 설계하였고 BCD에서는 1010 이상의 값은 무효 처리를 한다.

본 논문에서는 디지털 논리회로의 BCD-초과 코드 변환기를 QCA로 사용하여 설계하였다. 4비트 회로 설계에서 잡음을 최소화하고 여러 방향으로 신호를 다양하게 사용하기 위해서 교차부를 설계하였다. 설계한 회로는 공간 및 시간적인 효율성을 고려하였으며, QCADesigner를 사용하여 시뮬레이션하고 검증하였다.

감사의 글

이 논문은 2013년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(No. 2011-0014977).

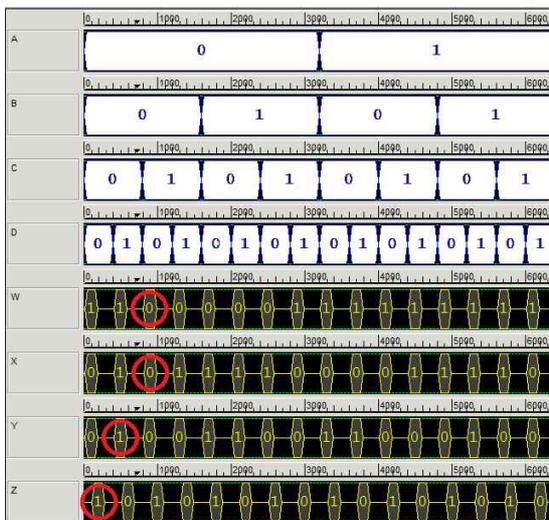


그림 4. BCD-3초과 코드 변환기 시뮬레이션
Fig. 4. Simulation of BCD-EXCESS 3 Code Converter.

QCADesigner는 입력 값을 4비트로 주면 입력 값이 0000부터 1111까지 실행된다. 따라서 BCD-3초과에서 0000부터 1001까지의 입력이 정상적으로 실행됨을 확인할 수 있다.

그림 4는 본 논문에서 제안한 회로의 시뮬레이션 결과이다. 그림 4에 표시된 부분부터 3-초과 변환된

Reference

[1] Wikipedia. Quantum dot cellular automaton, http://en.wikipedia.org/wiki/Quantum_dot_cellular_automata

[2] V. A. Mardiris, I. G. Karafyllidis, "Design and simulation of modular $2n$ to 1 quantum-dot cellular automata (QCA) multiplexers," *International Journal of Circuit Theory and Applications*, vol. 8, no. 38, pp. 771-785, 2010.

[3] X. Yang, L. Cai, X. Zhao, N. Zhang, "Design and simulation of sequential circuits in quantum-dot cellular automata: falling edge-triggered flip-flop and counter study," *Microelectronics Journal*, vol. 1, no. 41, pp. 56-63, 2010.

[4] A. S. Shamsabadi, B. S. Ghahfarokhi, K. Zamanifar, N. Movahedinia, "Applying inherent capabilities of quantum-dot cellular automata to design: D flip-flop case study," *Journal of Systems*

Architecture, vol. 55, no 3, pp. 180-187, 2009.

- [5] H. Aghababa, M. H. Yazdinejad, A. Afzali, B. Forouzandeh. "Simplified quantum-dot cellular automata implementation of counters," 7th *International Caribbean Conference on Devices, Circuits and Systems*, pp. 1-4, 2008.
- [6] M. A. Dehkordi, A. S. Shamsabadi, B. S. Ghahfarokhi, A. Vafaei, "Novel RAM cell designs based on inherent capabilities of quantum-dot cellular automata," *Microelectronics Journal*, vol 42, no 5, pp. 701-708, 2011.
- [7] D. Y. Park, "Realization of Multiplier-Control Toffoli gate based on Multiple-Valued Quantum Logic," *Journal of The Korea Navigation Institute*, vol. 16, no. 1, pp. 62-69, 2012.
- [8] Wikipedia, Binary-coded decimal
http://en.wikipedia.org/wiki/Binary-coded_decimal
- [9] Wikipedia, Excess-3
<http://en.wikipedia.org/wiki/Excess-3>
- [10] H. Cho, E. E. Swartzlander Jr., "Adder and Multiplier Design in Quantum-Dot Cellular Automata," *IEEE Transactions on Computers*, vol. 58, no. 6, pp. 721-727, 2009.
- [11] QCADesigner, <http://www.qcadesigner.ca>

전 준 철 (Jun-Cheol Jeon)



2000년 2월 : 금오공과대학교
컴퓨터공학과(공학사)
2003년 2월 : 경북대학교 컴퓨터
공학과(공학석사)
2007년 2월 : 경북대학교 컴퓨터
공학과(공학박사)
2012년 9월 ~ 현재 : 금오공과대학교
컴퓨터공학과 교수

관심분야: 암호학, 암호회로설계, 양자암호 등

유 영 원 (Young-Won You)



2009년 2월 ~ 현재 : 금오공과
대학교 컴퓨터공학과
관심분야: 암호학, 암호회로설계,
양자암호 등