



4H-SiC Epitaxial Layer and Defects

글 _ 김익찬, 심지인, 김무성, 하서용
LG 이노텍 부품소재 R&D센터 SiC 전력소재팀

1. 들어가며

20세기 이래로 전자기기의 급격한 발달과 보급으로 필요한 전력량은 꾸준히 증가해 왔으며, high-power 전자 기기 및 화석연료 소비량 역시 증가해왔다. 그에 따른 CO₂ 배출량 증가로 지구환경이 우려되는 상황이며, 미래 환경을 위한 대체에너지 개발과 전자기기 및 시스템의 고효율화는 피할 수 없는 과제이다. 특히, 산업과 가정에서 사용되고 있는 에너지 system과 효율적 소비는 “필요 전력량” 감소와 “CO₂ 배출량,” “미세먼지 (Particulate Matter)” 감소를 위해 매우 중요하다. 국제적으로 전기차 동차 (EV, HEV 등) 보급과 Smart Grid가 논의 되고 계획 되는 것도 그러한 이유에 기인한다.

Silicon은 microelectronic 시대를 열며 오늘날까지 반도체 물질로 널리 사용되어 왔지만, 기술 발전에 따라 electronic device의 그 응용범위가 확대 되며, 고온 고압 등의 심각한 환경 속에서 high power-, high speed- electronic device의 필요가 증가하고 있다. 현재 대부분의 전력변환장치 (inverter, converter 등)는 silicon 소재를 적용한 전력반도체 장치로 silicon의 물리적 한계에 의해 그 효율성이 낮다. 또한 저효율 전력변환 장치의 사용 규제가 논의되고 있는 현 시점에서 고효율 전력변환이 가능한 새로운 재료에 대한 연구개발 활동이 활발히 진행되고 있다.

전력반도체 (Power Semiconductor)는 주로 인버터 (inverter) 또는 컨버터 (converter)의 회로에서 전류의

switching과 converting 그리고 motor를 제어하는데 사용된다. 차세대 전력소자의 재료는 wide band gap 반도체 물질인 Silicon carbide (SiC)와 Gallium nitride (GaN)가 기대되며, 특히 SiC는 high breakdown voltage, large band gap, high thermal conductivity, high radiation tolerance 등으로 high-temperature, high-power, high-frequency electronic device에 적합한 전력반도체 물질이며 게다가 가혹조건에 적용 가능한 물질이다.¹⁾

SiC를 이용한 Schottky diode와 MOSFET과 같은 majority carrier device들은 이미 상업화 된 반면에, bipolar injection 특성을 사용하는 device는 뒤늦게 상업화의 가능성이 보이고 있다. 이러한 상업화의 지연은 electron-hole pair injection 과정 중 발생하는 (recombination에 의한) stacking faults (SFs)와 basal plane dislocation (BPD) 같은 SiC epitaxial wafer에 존재하는 defect가 주 원인이다. 또한 SFs의 확장은 forward voltage drop (V_f)이 증가하는 원인이기도 하며,^{2,3)} 이러한 영향은 minority carrier injection이 유발 되어지는 unipolar device에서도 관찰되어왔다.^{4,6)}

4H-SiC epitaxial layer 성장시 발생하는 in-grown stacking faults (IGSFs) 역시 wafer의 off-cut angle 감소에 따라 심각해지며 SiC epitaxy에서 지속적 문제가 되고 있고,^{7,9)} substrate wafer에 기인하는 micropipe과 epitaxial layer에 발생하는 threading dislocation, polytype inclusion의 제거는 10 여년 이상 연구되어 상당량 감소되었지만 아직 완전히 제거되지 않은 상황이다.



위에 언급된 SiC lattice의 stacking에 의한 또는 wafer 기판에 의한 defect 이외에, epitaxial layer 성장 중 발생하는 point-defect와 같이 전력소자의 전기적 특성에 영향을 미치는 인자들이 있다. 특히, electric power transmission과 같이 수 kV 이상의 blocking voltage를 사용하는 SiC power device들은 매우 두꺼운 voltage-blocking layer의 전도성을 조절하기 위해 long carrier lifetime이 필요하다. 예를 들면 10 kV SiC PiN diode는 effective conductivity modulation을 위해 5 μ s 이상의 긴 carrier lifetime이 요구된다. Long carrier lifetime에 의한 낮은 on-state voltage drop은 bipolar power device에는 용이하지만, 반면에 high switching frequency device에서는 long lifetime으로 인한 large reverse recovery time 때문에 switching frequency를 제한하고 switching loss를 유발시킨다. 그러한 이유로, device의 목적에 따라 SiC 단결정 박막의 lifetime killing point defects ($Z_{1/2}$, $EH_{6/7}$) 감소와 carrier lifetime control를 위한 노력이 필요하다. 본 원고에서는, Electronic device에 영향을 미치는 SiC epitaxial layer의 다양한 defect들과 그 defect 밀도를 감소시키기 위한 연구들에 대해 논의하고자 한다.

2. Epitaxial Defects

2.1. Dislocation

Off-cut 4H-SiC 웨이퍼의 {0001}면 위에 단결정 epilayer 성장시, micropipe, BPD, TSD, TED와 같은 웨이퍼의 structural defect들은 그 위에 성장되는 epilayer로 전이되며 epilayer에서도 역시 동일한 structural defect들이 발생한다. Fig. 1은 {0001}로 off-axis된 4H-SiC 웨이퍼에 CVD에서 epilayer 성장시 dislocation 형성 상태를 나타내었다. SiC wafer에서 micropipe 밀도는 0.1 cm⁻² 이하로 감소하였지만 dislocation과 carrot 같은, 성장 시 발생된 결함은 중요한 문제 중 하나이다. 4H-SiC homoepitaxial 성장시 발생하는 대부분의 dislocation은 4H-SiC substrates에서 시작된다. SiC substrates에는 threading screw dislocation (TSD), threading edge dislocation (TED), basal plane dislocation (BPD)이 있으며 이러한 dislocation

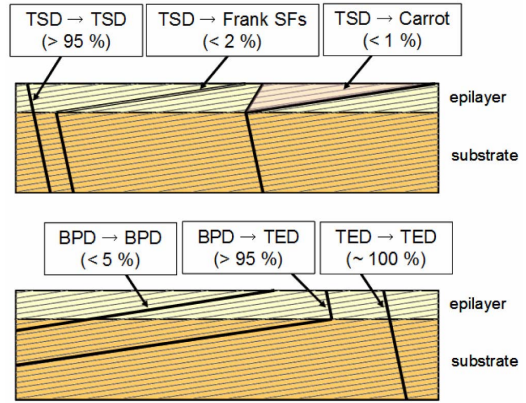


Fig. 1. Schematic illustration of dislocation propagation in 4H-SiC epilayers grown on off-axis {0001} by chemical vapor deposition.¹³⁾

tion은 substrates의 복잡한 network으로 형성되어 있다.¹⁰⁾ Screw dislocation은 burgers vector가 c[0001] 방향이며 두 가지로 구분된다. Closed-core screw dislocation이면 TSD이고, hollow-core screw dislocation의 경우 micropipes로 형성된다. TED는 edge type의 dislocation이며 burgers vector는 a ($\frac{1}{3}$ <11-20 >)이다.

상업적으로 생산된 4" SiC substrates의 TSD, TED, BPD의 밀도는 각각 500, 3000-5000, 1000-5000 cm⁻²이며, 2013년 4" 웨이퍼에서 6" 웨이퍼로 개발 완료 되었고 Cree 등 해외 업체에서 이미 주문판매 중이다. BPD는 TED 보다 bipolar 소자의 전기적 특성을 크게 저하시키므로, epilayer에서의 BPD 감소를 위한 다양한 연구가 진행되어왔고 Fig. 1과 같이 약 95% 이상의 BPD가 epilayer 성장 초기 (수 μ m)에 TED로 변환 가능하게 됐다. 웨이퍼의 off-cut 각도에 따라 BPD line은 웨이퍼 표면과 일정 각도를 이루며 epilayer의 표면까지 발생하지만, Fig.1과 같이 TED로 전환시 단위면적에 대한 defect의 면적을 감소시킬 수 있다. 이러한 BPD의 TED 전환율은 epilayer 성장 전에 KOH¹¹⁾, H₂¹²⁾ 또는 Cl에 의한 웨이퍼 표면 etching과 epilayer 성장 공정조건 (source gas C/Si 비율, 성장속도, interruption 등) 조절, 기판의 낮은 off-cut angle로 향상 될 수 있다.

Kimoto group¹³⁾ 연구에 따르면, epilayer 성장속도 증가에 따라 BPD에서 TED로의 전환율이 증가하였다.

Fig. 2에서와 같이, 성장속도 25 $\mu\text{m}/\text{h}$ 까지는 성장속도의 효과가 두드러졌으며 그 이상에서는 효과가 수렴하는 경향을 보였다. 특히, CMP (Chemical Mechanically Polished) 처리된 기판위에서는 전환율이 99% 이상에 달했지만 고속성장예 의한 BPD에서 TED로의 전환율 증가 원인은 아직 명확하지 않다.

C/Si ratio 범위 1.0 ~ 2.0에서 BPD-TED 전환율의 변화는 크지 않았지만 두 개의 partial dislocation이 만나 하나의 완벽한 BPD가 될 때 BPD-TED 전환율이 향상되는 것으로 판단되며 고속성장예 의한 BPD-TED 전환율 향상 또한 유사한 현상에 의한 것이라 추측되고 있다.¹⁴⁾

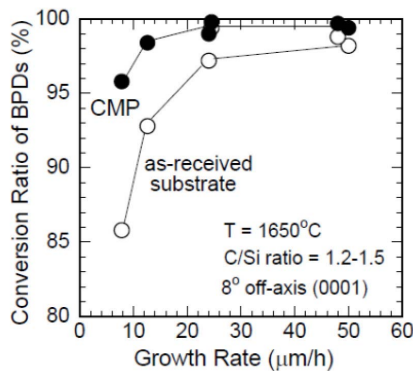


Fig. 2. Conversion ratio from basal-plane dislocations (BPD) to threading edge dislocations (TED) during SiC epitaxial growth as a function of growth rate: The growth temperature was 1650 °C, and the thickness of epitaxial layers are about 22-25 μm . Both as-received and chemical-mechanically-polished substrates were employed.¹³⁾

BPD 감소를 위한 초창기 성과는 스웨덴 ABB사의 특허로 시작되었다. 웨이퍼 표면에 hexagonal patterning을 한 후 성장되는 BPD가 patterning된 hexagonal edge에서 TED로 전환되도록 한 것이다. 이후 미국의 Naval Research Laboratory에서는 epilayer 성장 중 “interruption” method를 이용하여 BPD-TED 전환율 98%까지 도달하였고,¹⁵⁾ Chen group은 웨이퍼 표면 처리 또는 growth interruption 없이 4° 보다 낮은 off-cut angle과 성장조건으로 100%의 BPD-TED 전환율을 보고하였다.¹⁶⁾ 이러한 epilayer 성장 기술, BPD detection 방법의 발전, 그리고 낮은 off-cut 웨이퍼의 사용으로 BPD 없는 웨이퍼의 상용화가 가시화 되었고 BPD 밀도가 현저히

낮은 bipolar device의 상용화도 기대되고 있다.

TED, TSD, 그리고 BPD와 같이 epilayer 내부에 존재하는 defect는 파괴방법인 KOH 에칭 후 광학현미경을 통해 관찰하는 방법과 비파괴방법인 photoluminescence spectroscopy (PL)등의 방법이 있다. Fig. 3은 72 μm 두께의 n-type 4H-SiC epilayer에 존재하는 TSD와 TED를 (a)PL mapping과 (b)KOH 에칭 방법으로 imaging 한 것이다. 주목할 만한 것은 TSD가 TED 보다 낮은 PL intensity를 유발시키는 것이다. 즉, TSD는 TED 보다 non-radiative recombination이 현저히 많이 발생하여 carrier lifetime 감소에 더 큰 영향을 준다. 이러한 TSD는 low-voltage p-n diode와 high voltage Schottky diodes에서 high reverse leakage current와 low reverse breakdown voltage을 유발시킨다.¹³⁾

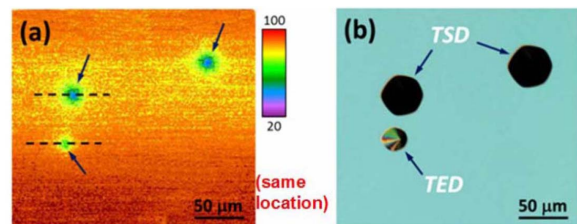


Fig. 3. (a) Micro PL intensity mapping at 390 nm (near band-edge emission) at room temperature obtained from a 72 μm -thick n-type 4H-SiC epilayer intentionally doped to $1 \times 10^{15} \text{cm}^{-3}$. (b) Optical microscopy image of the sample surface (same location) after molten KOH etching at 480°C for 10 min.¹³⁾

2.2. Stacking Faults

Epilayer 성장 중에 발생하는 in-grown stacking faults (IGSFs)와 carrot defect 같이 SFs를 포함한 morphological defect는 SiC device의 심각한 blocking voltage 감소를 야기시킨다. 더욱이 IGSFs는 광학현미경으로는 관측되지 않고, PL imaging으로 관찰이 가능하다. IGSFs는 planar defect 중 하나이며, 확장 (expand) 또는 수축 (contract)하지 않는다. Fig. 4는 PiN diode에 15 mA를 주입하며 electroluminescence (EL)로 측정된 stacking faults와 BPD image이다.¹⁷⁾

IGSFs는 epilayer의 성장 속도가 빠를수록 증가하는 경향이 있으며, 50 $\mu\text{m}/\text{h}$ 의 성장속도 조건에서 IGSFs의



Fig. 4. Real-color electroluminescence image depicting recombination induced SFs (purple triangular features), basal plane dislocations (red linear features), and in-grown stacking fault (blue feature at bottom) within a grid-structured pin diode at 15 mA injection¹⁷⁾

밀도는 $0.5 - 5 \text{ cm}^{-2}$ 범위이다.¹³⁾ IGFSFs의 정확한 생성 mechanism은 아직 알려지지 않았지만, epilayer 성장 전 in-situ H_2 에칭의 최적조건과 epilayer의 낮은 성장속도가 IGFSFs 밀도 감소에 효과적이다. Fig. 5는 IGFSFs의 high resolution XTEM과 PL mapping image이고, Zhdanov's notation의 stacking sequence (4,4), (5,3), (6,2) type이 XTEM에 표기 되어있다.

Epilayer 성장시 발생하는 in-grown stacking faults와 다르게, 성장시 발생한 BPD에서 stacking faults가 생성 되고 확장되기도 한다. 1990년대 초에 PL imaging 도중 밝은 line의 존재와 움직임에 의해 forward voltage drop 이 일정하게 증가되는 것이 발견되며, 처음으로 "Recombination induced stacking faults"의 연구가 시작되었다. Fig. 4에서 보라색의 삼각형 모양이 recombination induced SFs이다. 지난 10년 이상 recombination induced SFs의 발생 mechanism과 확장되는 과정을 알기 위해 SFs motion을 결정하는 kinetics와 thermodynamic driving force의 심도 깊은 연구가 진행되어 왔다. Maeda group¹⁸⁾ 은 recombination에 의한 dislocation glide (REDG) mechanism을 발표하며 dislocation들이 반도체 결정 내에서 움직일 수 있다는 역학적 과정을 설명하였고, Caldwell group¹⁹⁻²¹⁾에 의해 SFs motion의 driving force는 인가 전

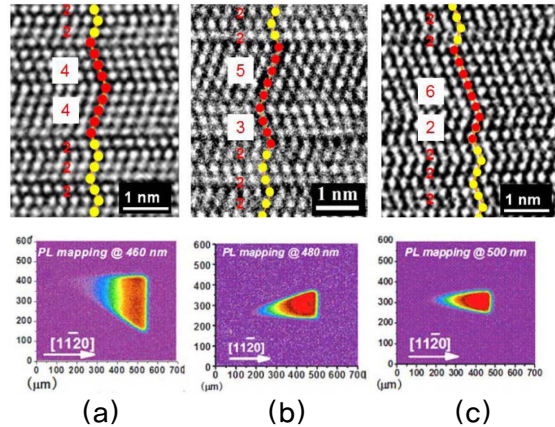


Fig. 5. High-resolution TEM images taken from the major in-grown SFs in 4H-SiC epilayers grown at $72 \mu\text{m/h}$ and the corresponding PL intensity mapping images at room temperature. (a) (4,4), (b) (5,3), (c) (6,2) structures.¹³⁾

류와 증가된 온도에서 forward bias operation을 통해 SF 수축이 가능한 것으로 설명되었다. 이러한 SF 생성과 확장의 mechanism은 이후 SiC epilayer의 BPD 밀도 감소를 위한 개발로 이어졌다.

2.3. Point Defects

전력반도체의 물성치인 band gap에 deep level을 만드는, 무시할 수 없는 defect가 바로 point defect이다. Kimoto group과 다른 연구자들이 SiC Schottky structure 에서 Deep Level Transient Spectroscopy (DLTS) 측정을 하였고, Fig. 6은 n-type과 p-type 4H-SiC epilayer에서 관측된 major deep level의 energy level을 도시화 하였다. 성장된 epilayer의 bandgap에서 $Z_{1/2}$ 와 $\text{EH}_{6/7}$ center들이 가장 우세하고 밀도가 높으며 열적으로 안정한 상태이고, 이들 defect 대부분은 ion implantation과 dry etching 과정 중에 높은 밀도로 생성된다.¹³⁾ 일단 sample이 고온 ($1300^\circ\text{C} - 1700^\circ\text{C}$)에서 annealing되면, n-type specimen의 $Z_{1/2}$ 와 $\text{EH}_{6/7}$ center들은 매우 안정하게 존재하지만 p-type specimen의 hole trap인 HK2, HK3, HK4들은 대부분 $1450^\circ\text{C} - 1550^\circ\text{C}$ 에서 제거된다.²²⁾

Storasta group²³⁾은 $Z_{1/2}$ 와 $\text{EH}_{6/7}$ center에 대한 low-energy electrons irradiation의 영향을 연구하였고, 성장된 epilayer에서 carbon vacancy의 증가에 따라 $Z_{1/2}$ 와 $\text{EH}_{6/7}$

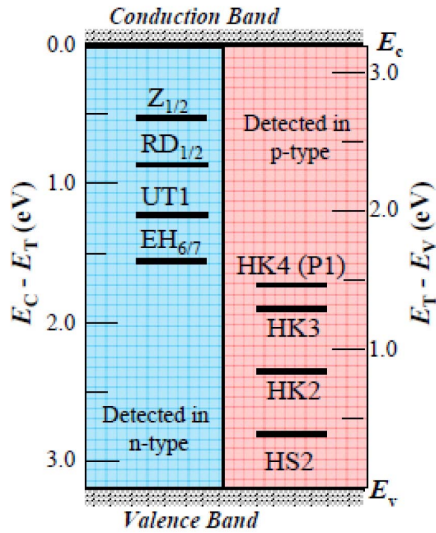
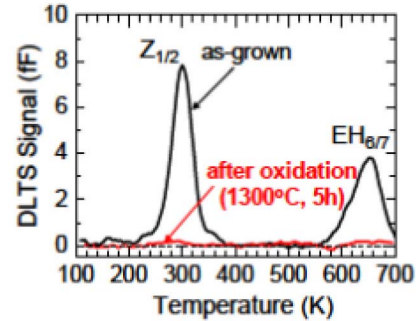


Fig. 6. Energy levels of major deep levels observed in as-grown n-type and p-type 4H-SiC epilayers.¹³⁾

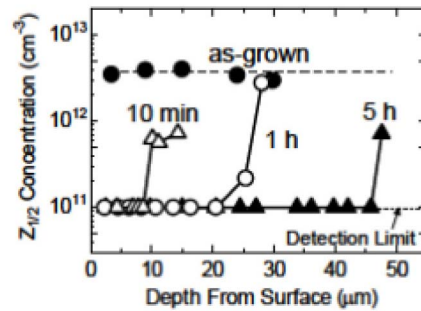
defect들이 심각히 증가함을 실험적으로 보였다.

특히, $Z_{1/2}$ center는 n-type 4H-SiC에서 주된 carrier lifetime killer로 작용하며, $Z_{1/2}$ 의 농도를 조절하는 것이 최적화된 lifetime을 얻기 위해 매우 중요하다. 효과적인 방법 중에 한 가지는 CVD에서 epilayer 성장시 C/Si ratio를 증가시키거나 성장 온도를 낮추는 것이 매우 효과적이며, morphology와 다른 defect들을 고려하며 C/Si ratio와 성장 온도의 최적점을 찾아야한다. Thermal oxidation은 $Z_{1/2}$ center의 제거 효과가 있다. Ion implantation 공정에서 $Z_{1/2}$ defect가 발생하고, oxidation으로 SiO_2 가 생성되며 동시에 carbon interstitials가 SiO_2/SiC interface로부터 epilayer의 bulk 지역으로 diffusion 되면서 carbon vacancy와 recombination 작용으로 carbon vacancy가 제거되는 것으로 고려된다. Fig. 7에서 보이듯이 n-type 4H-SiC epilayer의 annealing 후의 DLTS spectra는 annealing 전에 존재하던 $Z_{1/2}$ 과 $\text{EH}_{6/7}$ center가 완전히 제거되었음을 보여주고 (a), annealing 시간을 변화하며 depth에 따른 $Z_{1/2}$ concentration의 변화량을 보여준다 (b).¹³⁾ Annealing 시간이 증가함에 따라 $Z_{1/2}$ concentration이 높아지는 위치가, 점차 깊어지는 것은 carbon의 diffusion으로 vacancy가 제거되는 annihilation 효과라 볼 수 있다.

p-type epilayer의 경우, oxidation treatment 이후 HK0



(a)



(b)

Fig. 7. (a) DLTS spectra of an n-type 4H-SiC epilayer before and after thermal oxidation at 1300°C for 5 h. (b) Depth profiles of the $Z_{1/2}$ concentration before and after oxidation at 1300°C for 10 min, 1 h, and 5 h, respectively.¹³⁾

center ($E_V+0.78\text{eV}$)인 DLTS peak가 355 K에서 발생하고²⁴⁾, 그 HK0 center는 30분간 Ar gas 조건의 1550 °C annealing으로 대부분 제거되었음이 보고되었다.²²⁾ 즉, deep levels인 lifetime killer의 완전한 제거를 위해서는 2개 단계의 thermal treatments가 필요하다. 약 1300 °C에서 충분한 thermal oxidation time과 carbon의 diffusion으로 $Z_{1/2}$ 과 $\text{EH}_{6/7}$ center들을 제거하는 carbon vacancy annihilation 과정이 첫 번째 단계이고, 약 1550°C에서 Ar gas 조건의 annealing으로 HK0 center를 제거하는 것이 두 번째 단계이다. Kimoto group은 이러한 공정으로 약 150 μm 두께의 4H-SiC epilayer에 two-step thermal treatment를 행한 후, $\mu\text{-PCD}$ (microwave-detected photoconductance decay)로 bulk carrier lifetime을 비교하였다. Fig. 8과 같이, as-grown epilayer는 substrate에서의 carrier

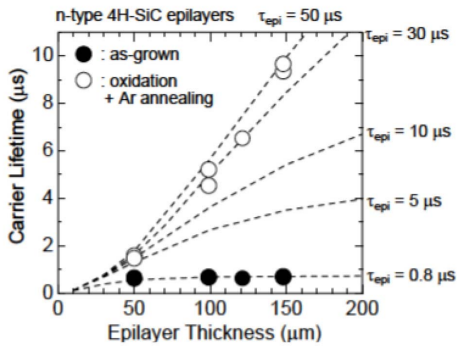


Fig. 8. Dependence of measured lifetimes on the SiC epilayer thickness: The lifetimes before and after the two-step thermal treatment are plotted by closed and open circles, respectively. The simulated dependence of the lifetime on the epilayer thickness is also shown by dashed lines, for various bulk lifetimes of epilayers.¹³⁾

recombination은 거의 없고, $Z_{1/2}$ 에 의한 Shockley-Read-Hall (SRH) recombination에 의해 lifetime이 결정되었지만, 반면에 two-step annealing 이후의 epilayer는 두께가 두꺼울수록 즉, substrate로 부터 멀어질수록 lifetime이 증가하며 $Z_{1/2}$ center의 lifetime killer 영향은 없었다.

Minority carrier lifetime은 반도체 물질에서 매우 중요한 물성치이다. 특히 bipolar high power, high frequency electronic device에서는 carrier lifetime에 의해 그 효율이 결정 된다고 볼 수도 있다. 예를 들면, PiN diode와 같이 high power devices에서는 forward operation 동안 power 손실을 줄이기 위해 longer carrier lifetime이 필요하고, MESFET과 같은 high frequency devices는 switching operation 동안 power 손실을 줄이기 위해 shorter carrier lifetime이 필수적이다. Point defect와 같은 lifetime killer (deep levels)의 control은 SiC device 공정을 고려한 방안이 필요하다.

3. 맺음말

4H-SiC epitaxial layer의 성장 중 발생하는 Stacking faults, interstitial 또는 vacancy에 기인하는 point defect, 그리고 substrate에 기인하여 발생하는 dislocation에 대한 세계 연구기관들의 연구내용 및 성과들을 살펴보았다.

반 세기 이상 반도체 물질로 각광 받으며 반도체를 발전 시켜온 silicon에 비해 전력반도체의 차세대 소재로서 최근 사용되고 있는 SiC는 우수한 특성을 적용하기 위해 지속적 연구가 필요하다. 특히, 효율적 에너지 소비로 자원과 환경을 보전해야 할 시점에 SiC는 그 핵심적 역할을 할 것이라 기대된다. 기술 선진국인 미국, 일본, 유럽에서는 30여 년간의 연구 개발을 통해 상당한 기술수준에 올라왔고 이미 6" 웨이퍼, epilayer service, device 와 module의 판매가 이뤄지고 있다. 반면 국내의 경우 소수의 대학과 연구 기관에서 소규모의 SiC 단결정 및 소자에 대한 연구를 진행해 왔다. 2010년 9월부터 지식경제부 (현 산업통상자원부) 기술혁신사업 (WPM 사업)으로 9년간 초고순도 SiC 소재 개발에 대해 지원을 받기 시작했으며, 이를 통해 기술 선진국과의 기술 격차를 줄이며, 본 원고에서 설명된 바와 같이 극복해야 할 많은 과제를 성공적으로 해결하여 차세대 SiC 전력소재 개발, 나아가 미래 환경 및 대체 에너지의 성공적 개발에 초석이 되어야 할 것이다.

감사의 글

본 연구는 산업통상자원부 기술혁신 사업 (WPM 사업)의 지원으로 수행되고 있으며 이에 감사드립니다.

참고문헌

1. H. Matsunami and T. Kimoto, "Step-controlled Epitaxial Growth of SiC: High Quality Homoepitaxy," *Mater. Sci. Eng.*, **R20** 125-66 (1997).
2. A. O. Konstantinov and H. Bleichner, "Bright-line Defect Formation in Silicon Carbide Injection Diodes," *Appl. Phys. Lett.*, **71** 3700 (1997).
3. M. S. Miao, S. Limpijumnong, and W. R. L. Lambrecht, "Stacking Fault Band Structure in 4H-SiC and Its Impact on Electronic Devices," *Appl. Phys. Lett.*, **79** 4360 (2001).
4. A. Agarwal, H. Fatima, S. Haney, and S. H. Ryu, "A New Degradation Mechanism in High-Voltage SiC

- Power MOSFETs," *IEEE Electron Device Lett.*, **28** 587 (2007).
5. J. D. Caldwell, R. E. Stahlbush, E. A. Imhoff, K. D. Hobart, M. J. Tadjer, Q. Zhang, and A. Agarwal, "Recombination-induced Stacking Fault Degradation of Merged--Schottky Diodes," *J. Appl. Phys.*, **106** 044504 (2009).
 6. V. Veliadis, H. Hearne, J. D. Caldwell, M. Snook, T. McNutt, P. Potyraj, and C. Scozzie, "Effect of Bipolar Gate-to-Drain Current on the Electrical Properties of Vertical Junction Field Effect Transistors," *Mater. Sci. Forum*, **615-617** 719 (2009).
 7. J. D. Caldwell, P. B. Klein, M. E. Twigg, R. E. Stahlbush, O. J. Glembocki, K. X. Liu, K. D. Hobart, and F. Kub, "Observation of a Multilayer Planar in-grown Stacking Fault in 4H-SiC p-i-n Diodes," *Appl. Phys. Lett.*, **89** 103519 (2006).
 8. S. Izumi, H. Tsuchida, T. Tawara, I. S. Kamata, and K. Izumi, "Structure of In-Grown Stacking Faults in the 4H-SiC Epitaxial Layers," *Mater. Sci. Forum*, **483-85** 323 (2005).
 9. H. Fujiwara, T. Kimoto, T. Tojo, and H. Matsunami, "Characterization of In-grown Stacking Faults in 4H-SiC (0001) Epitaxial Layers and Its Impacts on High-voltage Schottky Barrier Diodes," *Appl. Phys. Lett.*, **87** 051912 (2005).
 10. D. Nakamura, S. Yamaguchi, I. Gunjishima, Y. Hirose, and T. Kimoto, "Topographic Study of Dislocation Structure in Hexagonal SiC Single Crystals with Low Dislocation Density," *J. Cryst. Growth*, **304** 57 (2007).
 11. J. Sumakeris, B. A. Hull, M. J. O' Loughlin, M. Skowronski, and V. Balakrishna, "Developing an Effective and Robust Process for Manufacturing Bipolar SiC Power Devices," *Mat. Sci. Forum*, **556-57** 77 (2007).
 12. H. Tsuchida, I. Kamata, T. Miyanagi, T. Nakamura, K. Nakayama, R. Ishii, and Y. Sugawara, "Growth of Thick 4H-SiC(0001) Epilayers and Reduction of Basal Plane Dislocations," *Jpn. J. Appl. Phys.*, **44** L806 (2005).
 13. T. Kimoto, G. Feng, K. Danno, T. Hiyoshi, and J. Suda, "Silicon Carbide Epitaxy"; pp.121-140, Ed. by Francesco La Via, Research Signpost, Kerala, 2012.
 14. X. Zhang, M. Skowronski, K. X. Liu, R. E. Stahlbush, J. J. Sumakeris, M. J. Paisley, and M. J. O' Loughlin, "Glide and Multiplication of Basal Plane Dislocations During 4H-SiC Homoepitaxy," *J. Appl. Phys.*, **102** 093520 (2007).
 15. R. E. Stahlbush, B. L. VanMil, R. L. Myers-Ward, K. K. Lew, D. K. Gaskill, and C. R. Eddy, "Basal Plane Dislocation Reduction in 4H-SiC Epitaxy by Growth Interruptions," *Appl. Phys. Lett.*, **94** 041916 (2009).
 16. W. Chen and M. A. Capano, "Growth and Characterization of 4H-SiC Epilayers on Substrates with Different Off-cut Angles," *J. Appl. Phys.*, **98** 114907 (2005).
 17. J. D. Caldwell, R. E. Stahlbush, and N. A. Mahadik, "Mitigating Defects within Silicon Carbide Epitaxy," *J. Electrochem. Soc.*, **159** [3] R46-R51 (2012).
 18. K. Maeda and S. Takeuchi, "In Dislocations in Solids," F. R. N. Nabarro and M. S. Duesbery, p. 443, North-Holland Publishing Company, Amsterdam, 1996.
 19. J. D. Caldwell, O. J. Glembocki, R. E. Stahlbush, and K. D. Hobart, "Temperature-mediated Saturation and Current-induced Recovery of the Vf Drift in 4H-SiC p-i-n Diodes," *Appl. Phys. Lett.*, **91** 243509 (2007).
 20. J. D. Caldwell, O. J. Glembocki, R. E. Stahlbush, and K. D. Hobart, "Influence of Temperature on Shockley Stacking Fault Expansion and Contraction in SiC PiN Diodes," *J. Electron. Mater.*, **37** 699 (2008).
 21. J. D. Caldwell, R. E. Stahlbush, K. D. Hobart, O. J. Glembocki, and K. X. Liu, "Reversal of Forward Voltage Drift in 4H-SiC p-i-n Diodes via Low Temperature Annealing," *Appl. Phys. Lett.*, **90** 143519 (2007).
 22. K. Danno and T. Kimoto, "Deep Level Transient Spectroscopy on As-grown and Electron-irradiated-p-type 4H-SiC Epilayers," *J. Appl. Phys.*, **101** 103704 (2007).
 23. L. Storasta, J. P. Bergman, E. Janzen, A. Henry, and J. Lu, "Deep Levels Created by Low Energy Electron Irradiation in 4H-SiC," *J. Appl. Phys.*, **96** 4909 (2004).
 24. T. Hiyoshi and T. Kimoto, "Elimination of the Major Deep Levels in n- and p-Type 4H-SiC by Two-Step Thermal Treatment," *Appl. Phys. Exp.*, **2** 091101 (2009).



●● 김익찬



- 2007년 Texas A&M Univ 기계공학과 석사
- 2011년 Texas A&M Univ 전자공학과 박사
- 현재 LG이노텍 부품소재R&D센터 선임연구원

●● 심지인



- 2012년 성균관대학교 신소재공학과 석사
- 현재 LG이노텍 부품소재R&D센터 연구원

●● 김무성



- 2006년 오사카대학교 전자정보에너지공학과 박사
- 2006년 LG마이크론 연구소 선임연구원
- 현재 LG이노텍 부품소재R&D센터 책임연구원

●● 하서용



- 2002년 Carnegie Mellon Univ.(CMU) 재료공학과 박사
- 2002-10 CMU, 삼성코닝정밀유리, 네오세미 테크 재직
- 2010. 11 LG이노텍 연구소 책임연구원
- 현재 LG이노텍 부품소재 R&D센터 수석연구원