

단일 에지 이진위상검출기를 사용한 저 지터 클럭 데이터 복원 회로 설계

Design of low jitter CDR using a single edge binary phase detector

안택준*, 공인석*, 임상순*, 강진구**

Taek-Joon An, In-Seok Kong, Sang-Soon Im, Jin-Ku Kang**

Abstract

This paper describes a modified binary phase detector (Bang-Bang phase detector - BBPD) for jitter reduction in clock and data recovery (CDR) circuits. The proposed PD reduces ripples in the VCO control voltage resulting in reduced jitter for CDR circuits. A 2.5 Gbps CDR circuit with a proposed BBPD has been designed and verified using Dongbu 0.13 μ m CMOS technology. Simulation shows the CDR with proposed PD recovers data with peak-to-peak jitter of 10.96ps, rms jitter of 0.86ps, and consumes 16.9mW.

요약

본 논문은 CDR회로의 지터 감소를 위해 변형된 이진 위상검출기(뱅뱅위상 검출기- BBPD) 회로를 제안하였다. 제안된 PD는 하나의 에지를 사용함으로써 전압리플을 줄여, 제안한 PD를 적용하여 설계한 CDR회로는 감소된 지터 특성을 보였다. CMOS 0.13 μ m 공정을 사용하여 설계하였고 제안한 위상검출기를 포함하는 클럭데이터 복원회로는 모의실험결과 16.9mW 전력소비에 peak-peak 지터는 10.96ps, rms 지터는 0.89ps를 보였다.

Key words : Clock and Data Recovery(CDR), Bang-Bang Phase Detector, CMOS, Alexander PD, Charge-Pump

1. 서론

클럭 및 데이터 복원회로는 이더넷 리시버, 디스크 드라이브 리드 앤 라이트 채널, 디지털 모바일 리시버, 고속 메모리 인터페이스와 같은 디지털 시스템에서 데이터로부터 타이밍 정보를 추출하고 클럭 지터

를 줄이고 스큐를 줄이기 위한 목적으로 널리 사용된다[1]. 특히 그림 1과 같이 뱅뱅 타입의 위상검출기(PD)를 사용한 클럭 및 데이터 복원 회로가 최근 들어 많이 사용되고 있고, 여러 종류의 뱅뱅 위상검출기들이 제안되었는데 그 중 Alexander 위상검출기가 고속 응용 분야에서 많이 사용되고 있다. 그러나 Alexander 위상검출기는 고속 동작에 적합하지만, 뱅뱅 특성 때문에 선형위상검출기에 비해서 더 높은 전하 펌프 동작을 시킨다 [2]. 이러한 특성은 전압제어 발진기(VCO)로 들어가는 입력에 상당한 리플을 발생시키며, 이는 복원되는 클럭과 데이터에 상당한 지터를 추가하게 된다. 이를 줄이기 위해 Multi-phase, Oversampling 등의 다양한 시도들이 있으나 이는 구조가 복잡하고 면적을 증가 시키는 등의 문제를 또한 발생시키게 된다.

본 논문에서 제안하는 위상검출기 구조는 일반적인 뱅뱅 타입의 위상검출기보다 적은 소자를 사용하며,

*School of Electronic Engineering, Inha University
jkang@inha.ac.kr, Tel: +82-32-860-7763

★ Corresponding author

※ Acknowledgment

This work was supported by Inha University and Basic Research Program through NRF (No. 2013-015738).

CAD tools were supported by IDEC.

Manuscript received . Dec. 07, 2013; revised Dec. 16, 2013 ; accepted Dec 16. 2013.

기존 위상검출기의 동작과 다르게 상승 또는 하강 에지에서만 검출하여 동작함으로, UP/DN 펄스폭을 줄일 수 있다. 따라서 제안하는 새로운 위상검출기는 전압제어발진기로 들어가는 제어 전압의 리플을 줄여, 기존의 Alexander 위상검출기가 가지는 지터보다 적은 특성을 가진다.

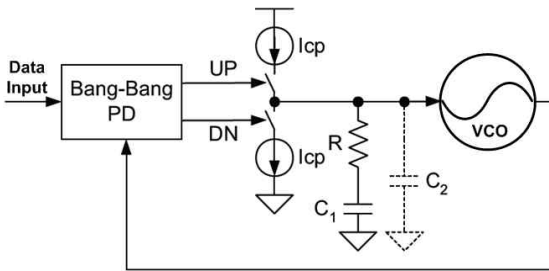


그림 1. 뱅뱅 타입 위상검출기를 이용한 CDR 블록 다이어그램.
Fig. 1. The block diagram of CDR using a bang - bang phase detector

본 논문의 내용을 정리하면 다음과 같다. II장에서는 제안하는 CDR의 세부적인 회로설계 내용과 각 블록에 대해 기술하였다. III장에서는 Full Chip에 대한 성능을 여러 가지 모의실험 결과를 통해 기술하였다. 마지막으로 IV장에서는 제안하는 CDR에 대한 전체적인 내용을 표를 통해 정리하였다.

II. 단일 에지 검출 기법을 이용한 CDR 설계

본 논문에서는 그림 1과 같은 일반적인 뱅뱅 타입의 클럭 데이터 복원 회로 구조를 사용하였다. 새로운 뱅뱅 타입의 위상검출기와 전하펌프, 루프 필터 그리고 전압제어발진기로 구성되어 있는 구조이다. 위상검출기의 목적은 입력 데이터와 복원된 클럭의 위상차를 결정하는 것이다[2]. 일반적으로 선형 위상검출기와 뱅뱅 위상검출기가 있는데, 본 논문에서는 데이터 신호가 클럭보다 빠르거나 느린지에 대한 정보만을 주는 뱅뱅 타입의 위상검출기를 다룬다.

가. 일반적인 Alexander 위상검출기(BBPD)

그림 2에 Multi-Gb/s 클럭 및 데이터 복원 회로에 가장 일반적으로 사용되는 Alexander 위상검출기의 구조를 나타내었다[3]. 이 위상검출기는 데이터 천이에서만 동작을 하여 전하 펌프에 UP/DOWN신호를 주는 3상 위상검출기이다. 때문에 이는 입력 데이터 패턴에

좀 더 유동적인 특성을 가질 수 있다[4]. 또한 Alexander 위상검출기는 자동으로 리타임 데이터를 출력해주며, 특성상 뱅뱅 타입의 위상검출기이기 때문에 위상차에 의한 빠르고, 느리고에 대한 정보를 제공해준다.

그림 2를 보면 알 수 있듯이 D 플립플롭 4개와 두 개의 XOR로 이루어져 있다. 각각의 플립플롭의 출력을 조합하여 UP/DOWN 신호를 출력하며, 이에 대한 동작은 그림 3과 같음을 알 수 있다.

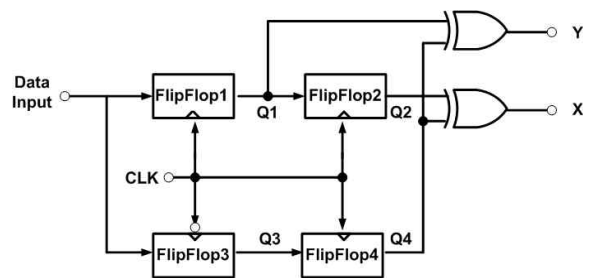


그림 2 일반적인 Alexander 위상검출기의 구조
Fig. 2. The architecture of the Alexander PD

그림 3에서 출력되는 X와 Y의 펄스폭이 CLK의 주기의 두 배가 됨을 볼 수 있다. 이는 전하 펌프를 통해 발생 되는 리플의 양을 말하며, Lock이 되었을 때 이에 해당하는 양 만큼의 리플이 계속 발생됨을 의미한다.

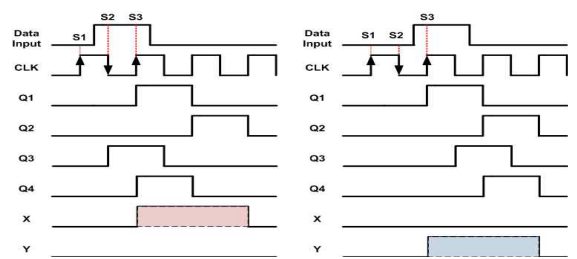


그림 3 Alexander 위상검출기의 타이밍도
Fig. 3. The timing diagrams of the Alexander BBPD

나. 제안하는 위상검출기(BBPD)

그림 4는 제안하는 뱅뱅 위상검출기의 구조를 나타내었다. 이 위상검출기는 일반적인 Alexander 위상검출기와 같은 3상 위상검출기이며, 기존의 위상검출기와 같은 특성을 가진다. 즉, 제안된 위상검출기는 자동으로 리타임 데이터를 출력해주며, 특성상 뱅뱅 타입의 위상검출기이기 때문에 위상차에 의한 빠르고, 느리고에 대한 정보를 제공해준다. 그러나 제안하는 위상

검출기는 기존의 위상검출기와는 다르게 하나의 에지에서만 UP/DN 신호를 출력하는 단일 에지 검출기이다. 그림 4를 보면 알 수 있듯이 D 플립플롭 2개와 래치 두 개, 그리고 한 개의 AND로 이루어져 있다. 따라서 기존의 위상검출기보다 적은 면적을 차지하게 됨을 알 수 있다. 제안된 위상검출기의 동작은 그림 5와 같은 동작을 함을 알 수 있다.

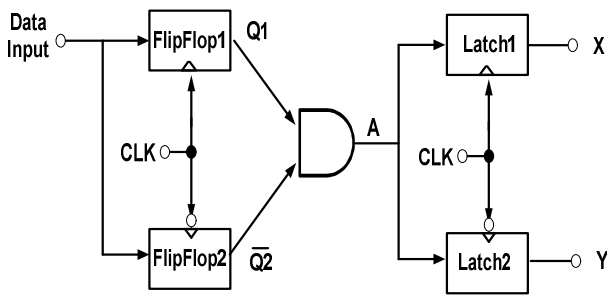


그림 4 제안하는 위상검출기(BBPD)의 구조
Fig. 4. The architecture of the proposed PD

그림 5는 제안하는 위상검출기의 타이밍도로, 출력되는 X와 Y의 펄스가 상승 에지 또는 하강 에지에서만 발생하여 제안된 위상검출기가 단일 에지 검출 기법을 사용함을 볼 수 있다. 따라서 출력 펄스폭이 CLK의 주기와 같음을 볼 수 있다. 이는 전하 펌프를 통해 발생하는 리플의 양이 기존의 위상검출기에 비해 반으로 줄어드는 것을 말하며, Lock이 되었을 때에 이에 해당하는 양 만큼의 리플이 줄어드는 것을 의미한다.

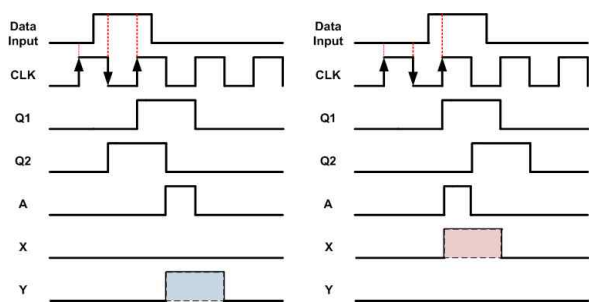


그림 5 제안하는 위상검출기의 타이밍도
Fig. 5. The timing diagrams of the proposed PD

다. VCO 와 전하펌프의 설계

그림 6에 본 논문에서 사용한 정귀환(positive feedback)을 이용한 VCO 지연 셀이 나타나 있다. 그림 6에서 R1과 R2 ($R1 = R2 = R3$)와 cross-coupled

pair M3, M4가 차동 구조의 부하를 구성한다. cross-coupled pair는 $-2/gm_{3,4}$ 의 음의 저항 값을 가지고 이 값을 바이어스 전류를 통해 제어할 수 있다. 이 때문에 그림 6에서 I_c 가 증가하는 경우 M3, M4의 소신호 차동 저항(small-signal differential resistance) $-2/gm_{3,4}$ 이 더욱 음의 값을 가지게 되고 VCO 지연 셀의 부하를 구성하는 등가저항의 값을 증가시킨다 [4].

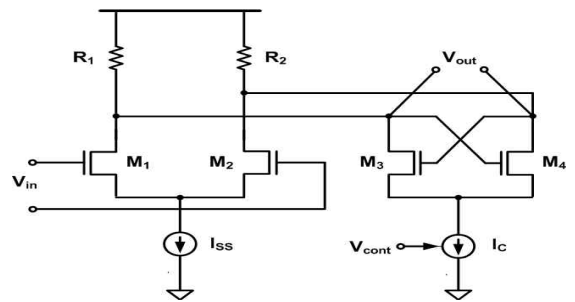


그림 6 음의 저항 부하를 가지는 VCO 지연 셀
Fig. 6. VCO delay cell with negative resistance

그림 7은 제안한 회로에 사용된 전하펌프를 나타내고 있다. 제안된 전하펌프에서 사용되는 unity-gain 버퍼는 전류의 펌핑이 없을 때 전류원들의 단자 전압을 고정시켜 주는 역할을 위해 사용되었다. 이 방법을 통해 Charge-sharing으로 인해 발생할 수 있는 루프 필터에 걸리는 제어전압의 글리치를 줄여줄 수 있다. 또한 clock feed-through를 최소화하기 위해서 모든 스위치는 NMOS와 PMOS 두 개의 트랜지스터를 이용하여 설계되었고, 출력의 glitch를 최소화하기 위해서 각각의 스위치는 각각의 제어 신호를 가진다.

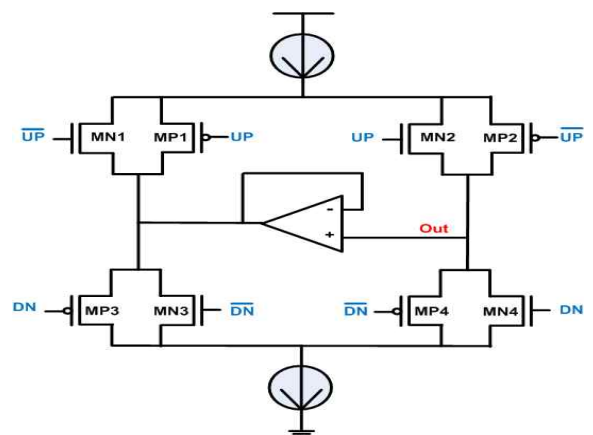


그림 7 전하펌프
Fig. 7. The charge pump

III 모의 실험

성능 검증을 위해 같은 펌핑 전류를 가진 일반적인 BBPD와 제안하는 BBPD를 2.5Gbps CDR 회로에 포함하여 비교하였다. 제안하는 BBPD는 일반적인 Alexander BBPD에 비해 출력 펄스폭이 1/2이므로 성능 비교를 위해 일반적인 BBPD에 펌핑 전류를 1/2로 낮춘 회로로 설계하여 성능을 비교하였다. 위상검출기 회로는 CML(전류 모드 로직) 회로로 설계하였다. 성능 검증은 0.13 μ m CMOS 공정으로 진행하였다. VCO 단은 PMOS를 로드로 사용한 차동 증폭회로로 구성하였다[4]. 단위 증폭 버퍼를 전하펌프회로에 적용하여 제로전류 구동시 전류원의 터미널 전압을 고정시키는데 사용하였다. 이 방법은 전하 셰어링에 의한 루프필터의 글리치를 최소화한다 [4,5].

그림 8(a)는 CDR 락(lock)이 되었을 때 일반적인 Alexander BBPD + Icp, 제안하는 BBPD + Icp, 일반적인 Alexander BBPD + (1/2)*Icp의 경우 각각의 VCO 제어 전압파형을 보였다. 그림 8(b)는 보다 정확히 보기 위해 잠금상태의 전압 변화를 확대하여 보였다. 보인 바와 같이 일반적인 BBPD+Icp 조합의 경우 제안된 PD+Icp 조합에 비해 리플전압이 2배이상 크다. 이것은 결국 출력 지터로 작용하게 된다. 제안하는 BBPD+Icp 조합은 일반적인 BBPD+(1/2)*Icp 조합의 잠금 상태의 리플전압으 비교하면 제안하는 구조가 약간 낮음을 알 수 있다. 그림 8(c), 8(d), and 8(e)는 각각의 다른 구조의 CDR에서 만들어낸 출력 데이터의 eye diagram을 보였다. 2.5Gbps 데이터에 대하여 일반적 BBPD+Icp는 peak-to-peak jitter 값 26.74ps를 보였고 제안하는 BBPD+Icps는 10.96ps, 일반적인 BBPD+(1/2)*Icp 조합은 13.85ps를 보였다. 일반적 BBPD+Icp는 rms jitter 값 2.10ps를 보였고 제안하는 BBPD+Icps는 0.866ps, 일반적인 BBPD+(1/2)*Icp 조합은 1.09ps를 보였다. 따라서 제안하는 구조의 BBPD가 가장 좋은 지터 성능을 보였다.

칩이 제작중이므로 지터 특성은 노이즈가 있는 전력선모델을 사용하여 시뮬레이션을 진행하였다 [6]. 노이즈가 있는 전력선 모델을 적용할 경우에도 제안하는 BBPD를 사용한 CDR에서의 p-p 지터가 13.64ps로 일반적인 BBPD를 사용할 경우의 14.57ps보다 특성이 좋았다. 전력소비는 제안구조의 BBPD는 10.7mW로 일반적인 구조의 경우 12.8mW보다 전력소비가 낮음을 보였다. CDR 전체 회로의 전력 소비

또한 16.9mW로 다른 일반적인 경우의 19mW 수준에 비해 향상됨을 보였다. 전력소비 향상은 대부분 제안 구조의 BBPD 구조로 유인된 것이다. 결론적으로 제안 구조의 BBPD를 사용할 경우 지터 특성 향상 및 전력소비를 줄일수 있음을 보였다. 그림 9는 칩 레이아웃을 보였다

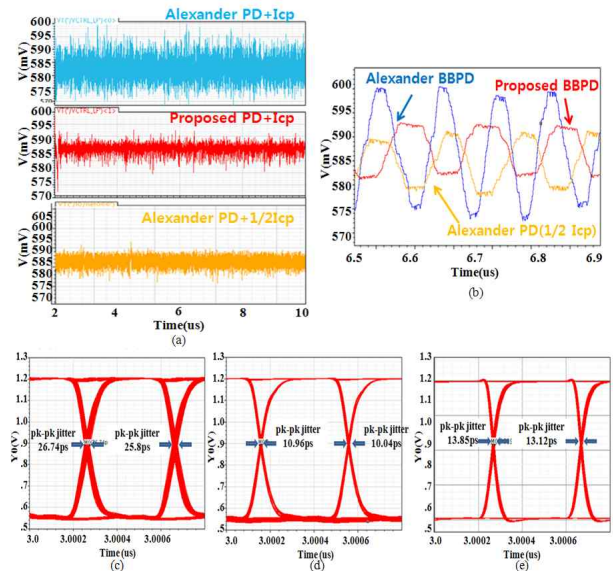


그림. 8. 잠금상태의 제어 전압 파형 및 eye diagram
 (a) 제어전압 파형(일반적인 BBPD + Icp(top), 제안 BBPD + Icp(center), and 일반적인 PD + 1/2*Icp(bottom)
 (b) 3 가지 경우 제어 전압 파형 확대 비교
 (c) eye diagram (Alexander BBPD + Icp)
 (d) eye diagram (제안 BBPD + Icp)
 (e) eye diagram (Alexander BBPD +1/2*Icp)

Fig. 8. Control voltages and eye diagrams of the recovered data in CDR circuits:

- (a) control voltages with the Alexander PD + Icp(top), proposed BBPD + Icp(center), and Alexander PD + 1/2*Icp(bottom)
- (b) comparison of the control voltages with each cases
- (c) eye diagram with the Alexander BBPD + Icp
- (d) eye diagram with the proposed BBPD + Icp
- (e) eye diagram with the Alexander BBPD +1/2*Icp

IV 결론

본 논문에는 CMOS 0.13 μ m 1-poly 6-metal n-well CMOS 공정을 사용하여 클럭 데이터 복원 회로를 설계하였다. CDR회로의 지터 감소를 위해 변형된 뱅뱅 위상 검출기 회로를 제안하였다. 제안된 PD는 하나의 에지를 사용함으로써 전압리플을 줄여, 제안한 PD를 적용하여 설계한 CDR회로는 감소된 지터 특성을 보

였다. CMOS 0.13um 공정을 사용하여 설계하였고 16.9mW 전력소비에 p-p 지터는 10.96ps를 보였다. 표 1에 기존의 Alexander와 제안된 뱅뱅 타입의 위상 검출기를 이용한 클럭 데이터 복원 회로의 사양을 비교, 요약하였다.

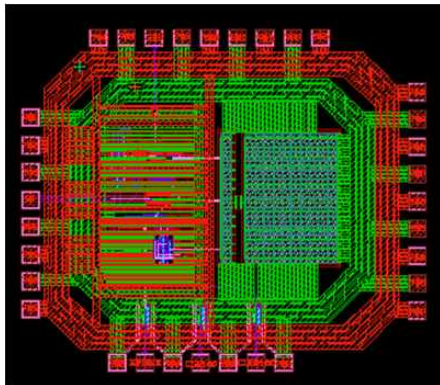


Fig. 9. 칩 레이아웃
그림 9. Chip Layout

표 1. 모의실험 성능 요약
Table 1. Simulated Performance Summary

		Alexander BBPD + Icp	Alexander BBPD + (1/2)*Icp	Proposed PD + Icp
Process		0.13μm CMOS		
Data Rate		2.5Gb/s		
Jitter	peak-to-peak	26.74ps	13.85ps	10.96ps
	rms	2.10ps	1.10ps	0.86ps
Power consumption		18.9mW	18.8mW	16.9mW

참고문헌

[1] J. Lee, "Analysis and Modeling of Bang-Bang Clock and Data Recovery Circuits," *IEEE Journal of Solid State Circuits*, Vol. 39, No 9, pp. 1571-1580, Sep 2004.
[2] Rennie David and Sachdev Manoj, "Comparative Robustness of CML Phase Detectors for Clock and Data Recovery Circuits," *International Symposium on Quality Electronic Design*, pp. 305-310, Mar. 2007.

[3] David Rennie, "A Novel Tri-State Binary Phase Detector," *IEEE International Symposium on Circuits and Systems*, pp. 185-188, May 2007.
[4] Jae-Wook Yoo, Dong-Kyun Kim and Jin-Ku Kang, "A CMOS 5.4/3.24Gbps Dual-Rate CDR with Enhanced Quarter-rate Linear Phase Detector," *ETRI Journal*, Volume 33, Number 5, pp. 752-758, October, 2011.
[5] Adrian Maxim, "Low-Voltage CMOS Charge-Pump PLL Architecture for Low Jitter Operation", *ESSCIRC*, pp 423-426, Sept, 2002.
[6] Hwang-Cherng Chow and Zhi-Hau Hor, "A high performance peak detector sample and hold circuit for detecting power supply noise", *IEEE Asia Pacific Conference*, p672-675, 2008

BIOGRAPHY

An Taek-Joon (Student Member)



2007 : BS degree in Electrical Engineering, Inha University
2012~: MS candidate in Electrical Engineering, Inha University

Kong In-Seok (Student Member)



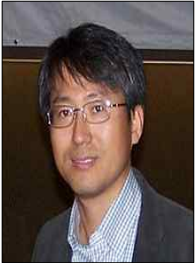
2012년: BS degree in Electrical Engineering, Inha University
2013 ~ : MS candidate in Electrical Engineering, Inha University

Im Sang-Soon (Student Member)



2010: BS degree in Electrical Engineering, Inha University
2012: MS degree in Electrical Engineering, Inha University
2013 ~ Present : Samsung Electronics

Kang Jin-Ku (Life Member)



1983: BS degree, Seoul National University
1990: MS degree, New Jersey Institute of Technology
1996 :Ph.D. North Carolina State University
1983 ~ 1988 : Samsung

Electronics

1996 ~ 1997 : INTEL Senior Design Engineer

1997 ~ Present :Professor, Dept. of Electronics Engineering, Inha University