

새로운 FDPA 기법을 사용한 시그마-델타 변조기

Sigma-Delta Modulator using a novel FDPA(Feedback Delay Path Addition) Technique

정 의 훈*, 김 재 봉*, 조 성 익**

Eui-Hoon Jung*, Jae-Bung Kim*, Seong-Ik Cho**

Abstract

This paper presents a SDM using the FDPA technique. The FDPA technique is the added feedback path which is the delayed path of DAC output. The designed SDM increases the SNR by adding the delayed digital feedback path. The proposed SDM is easily implemented by eliminating the analog feedback path. Through the MATLAB modeling, the optimized coefficients are obtained to design the SDM. The designed SDM has a power consumption of 220 μ W and SNR(signal to noise ratio) of 81dB at the signal-bandwidth of 20KHz and sampling frequency of 2.56MHz. The SDM is designed using the 0.18 μ m standard CMOS process.

요 약

본 논문에서는 DAC(Digital to Analog Converter) 출력을 지연시켜 디지털 피드백 패스를 추가하는 FDPA 기법을 사용한 SDM(Sigma Delta Modulator)을 제안한다. 지연된 디지털 피드백 패스만을 추가하여 SDM의 해상도를 높이고 기존 구조의 아날로그 피드백 패스를 제거함으로써 기존 구조에 비해 사용되는 클록이 줄어들어 회로가 간단하다. 제안한 구조를 설계하기 위해 MATLAB 모델링을 이용하여 적분기의 최적 계수를 설정하였다. 설계된 SDM은 0.18 μ m CMOS 공정을 사용하였고 신호 대역폭 20KHz, 샘플링 주파수 2.56MHz에서 81dB의 SNR, 220 μ W의 전력을 소모한다.

Key words : Sigma-Delta Modulator, Noise shaping, FDPA, Opamp Sharing, Non-overlapping clock

1. 서론

최근 모바일 단말기의 급속한 기술 발전으로 인해 오디오 신호처리 시스템에 대한 사양이 높아지

고 있다. 이러한 시스템들에 사용되는 오디오용 ADC (Analog to Digital Converter)는 50Hz-20KHz 신호대역폭에서 8-14bit 해상도를 갖으며 한정된 배터리 용량으로 인한 저전력 ADC를 요구한다[1].

위의 요구사항을 만족시키는 ADC로 저전력 고해상도의 특징을 갖는 SDM이 있다. SDM은 오버샘플링(Oversampling)과 잡음 변형으로 인한 높은 SNR을 구현할 수가 있다. 보다 높은 SNR을 얻기 위한 방법으로 OSR(Oversampling-Ratio)를 높이는 방법, 적분기의 계수를 늘려서 차수를 증가시키는 방법, 양자화기의 bit를 높이는 방법 등이 있다. 하지만 적분기의 차수를 증가시키거나, 양자화기의 bit를 증가시키게 되면

* Dept. of Electronics Engineering, Chonbuk University.

★ Corresponding author (sicho@jbnu.ac.kr, 063-270-4137)

※ Acknowledgment

“This work was supported by IDEC CAD Tool”

Manuscript received Nov. 04, 2013; revised Nov. 29, 2013 ; accepted Dec. 02. 2013

회로 구현에서 전력소모와 면적이 커진다. 이러한 문제점으로 인하여 최근 SDM의 회로들은 연산증폭기를 공유하는 기법을 많이 사용한다[2]~[6].

기존 구조[7]는 SDM의 적분 차수를 증가시키기 위해 적분기 출력인 아날로그 피드백 패스, 비교기 출력인 디지털 피드백 패스 등 2개의 피드백 패스를 사용하여 STF(Signal Transfer Function)와 NTF(Noise Transfer Function)의 차수를 높여서 적분기 차수를 증가시키는 방법을 사용하였다[7]. 하지만 기존 구조는 피드백 패스에 사용되어지는 클록의 수가 증가하기 때문에 회로 구현이 복잡하다.

본 논문에서는 이러한 단점을 극복하기 위해 DAC 출력을 지연시켜 디지털 피드백 패스를 추가하는 FDPA 기법을 제안한다. 제안한 구조는 디지털 피드백 패스만을 사용하기 때문에 기존의 구조보다 적은 클록이 사용됨에 따라 설계가 간단하고, 기존 구조보다 SNR이 7dB 향상 된다.

본 논문의 2장에서 기존 구조와 제안된 구조를 비교하고, 3장은 모의실험 결과를 4장에서는 결론으로 구성되어진다.

II. SDM 구조

1. 기존 구조와 제안한 구조 비교

가. 기존 구조

그림 1은 기본 구조[8]의 1차, 2차 SDM의 블록다이어그램으로 SDM의 차수는 적분기의 수에 의해 결정된다. 1개의 적분기를 사용하면 SDM의 STF와 NTF가 1차 함수가 되어서 1차 SDM가 되고, 2개의 적분기를 사용하면 SDM의 STF와 NTF가 2차 함수가 되어 2차 SDM이 된다. 그림 2는 기존 구조의 블록다이어그램으로 기존 구조는 그림 1의 1차, 2차 SDM 구조를 변경하여 1개의 적분기로 SDM의 STF와 NTF를 2차 함수가 되게 하여 2차 SDM를 구현하였다.

기본 구조의 1차, 2차 SDM은 비교기의 출력 V에서 1주기를 지연하지만 기존 구조[7]는 비교기의 출력 V를 1주기, 2주기를 지연하고 적분기의 출력 Y 역시 1주기, 2주기를 지연한다. 비교기의 출력 V를 지연하는 경로를 디지털 피드백 패스라고 하고, 적분기의 출력 Y를 지연하는 경로를 아날로그 피드백 패스라고 한다. 비교기의 출력 V는 디지털 신호로 DFF를 이용하면 회로 구현이 간단하다. 하지만 적분기의 출력 Y는 아날로그 신호로 아날로그 피드백 패스를 구현하기 위한 클록, 커패시터, 스위치가 필요하며 회

로가 복잡하다.

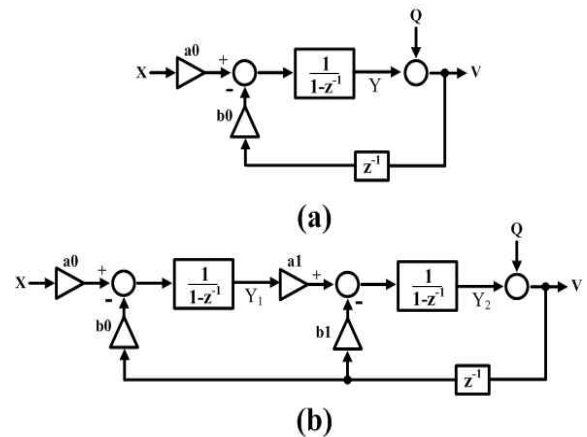


Fig 1. Traditional 1st, 2nd SDM block diagram
그림 1. 1차, 2차 SDM 기본 구조의 블록다이어그램

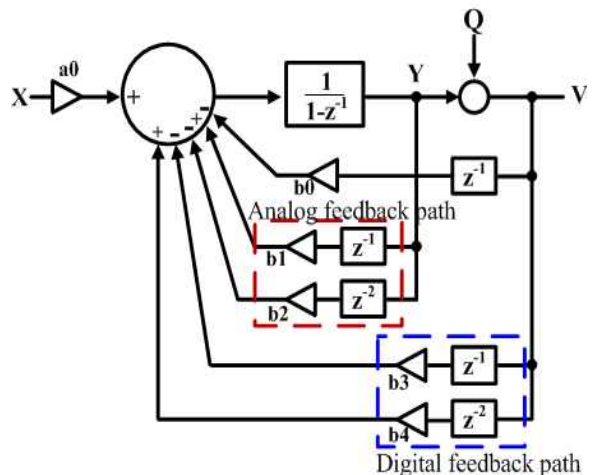


Fig 2. Conventional architecture block diagram
그림 2. 기존 구조의 블록다이어그램

기존 구조[7]를 이용하여 구현된 회로는 그림 3이다. 기존 구조의 회로는 기본 1차 구조에서 z^{-1} , z^{-2} 의 피드백 패스들이 추가되어 구현되어 있다. SDM은 비중첩(non-overlapping) 클록을 사용하지만 기존 구조는 그림 4의 vp1odd, vp2odd, vp1even, vp2even 클록을 이용하여 z^{-1} , z^{-2} 의 피드백 패스를 구현하였다. 하지만, 회로에 사용되는 클록이 많아지면 스위치가 많이 사용되고 회로구현이 복잡해질 뿐만 아니라 클록의 지터와 글리치의 영향으로 잡음이 적분기에 영향을 끼치게 된다. 따라서 잡음으로 인하여 SNR이 감소하게 되며 SDM의 특성을 저하시키는 단점을 갖게 된다.

SDM에서 전력 소모가 많은 부분은 적분기로 기존 구조는 2차 SDM 구현함에 있어서 1개의 적분기만을

사용하기에 전력 소모가 매우 적다는 장점을 갖는다. 하지만 기본 구조보다 더 많은 클록, 커패시터, 스위치가 필요하고 회로 구현이 복잡하다는 점이 단점이다. 제안한 구조는 디지털 피드백 패스만을 이용한 구조로 아날로그 피드백 패스를 구현하기 위한 클록이 필요 없고, 회로가 간단하여 기존 구조가 갖는 단점을 개선하였다.

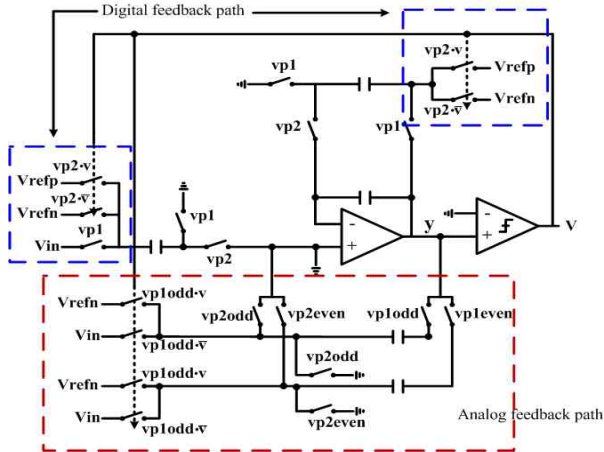


Fig 3. Circuit of conventional architecture
그림 3. 기존 구조의 회로

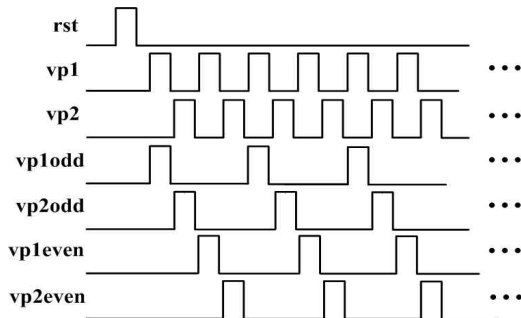


Fig 4. Clock used conventional architecture
그림 4. 기존 구조에 사용된 클록

나. FDPA 기법을 사용한 제안한 구조

그림 5는 제안한 구조의 블록다이어그램으로 SDM의 잡음 특성을 개선하고자 기존 구조의 STF와 NTF에 $(Z+1)$ 의 극점을 추가하였다. NTF에 $(Z+1)$ 의 극점을 추가하면 NTF의 크기는 신호 대역 내에서 $1/2$ 로 줄어들어 이론적으로 SNR이 6dB가 증가한다. STF와 NTF는 같은 극점을 갖기에 NTF에 극점을 추가하면 STF 역시 신호 대역 내에서 크기가 $1/2$ 이 된다. 따라서 g 계수를 사용하여 STF에 $(Z+1)$ 의 영점을 추가하여 STF는 1이 되도록 하였다. 기본 구조의 2차 SDM STF와 NTF는 식(1), 식(2)와 같고 제

안한 구조의 STF와 NTF는 식(3), 식(4)와 같다. 식(3)에서 $a_0a_1=2$, $g=1$ 이 된다면 STF의 크기가 1이 된다.

$$STF = \frac{a_0a_1Z^2}{Z^2 + Z(b_1 + b_0a_1 - 2) + 1 - b_1} \quad (1)$$

$$NTF = \frac{(Z-1)^2}{Z^2 + Z(b_1 + b_0a_1 - 2) + 1 - b_1} \quad (2)$$

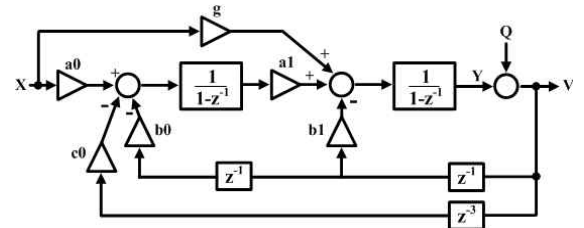


Fig 5. Proposed architecture block diagram
그림 5. 제안한 구조의 블록다이어그램

$$STF = \frac{Z^2(a_0a_1 + gZ - g)}{Z^3 + Z^2(b_1 - 2) + Z(b_0a_1 - b_1 + 1) + c_0a_1} \quad (3)$$

$$NTF = \frac{Z(Z-1)^2}{Z^3 + Z^2(b_1 - 2) + Z(b_0a_1 - b_1 + 1) + c_0a_1} \quad (4)$$

제안한 구조의 스케일링 전 계수 값은 $a_0=g=1$, $b_0=c_0=0.18$, $a_1=b_1=2$ 이고 이 때의 STF와 NTF는 식(5), 식(6)과 같다.

$$STF = \frac{Z^2(Z+1)}{(Z+1)(Z^2 - Z + 0.36)} \quad (5)$$

$$NTF = \frac{Z(Z-1)^2}{(Z+1)(Z^2 - Z + 0.36)} \quad (6)$$

제안한 구조는 기본 2차 구조에서 비교기 출력 V에서 DAC 출력을 지연시켜 디지털 피드백 패스를 추가하는 FDPA 기법을 사용한 z^{-2} , z^{-3} 이용하여 함수의 차수를 증가시켰다.

그림 6은 제안한 구조의 회로이며 연산증폭기를 공유하는 기법을 사용하여 기존 구조와 같이 1개의 연산증폭기로 구현하였다. 제안한 구조의 회로는 기존 구조의 회로와 마찬가지로 스위치-커패시터 적분기와 피드백으로 구성되어 있으며, 그림 7과 같이 비중첩 클록만을 이용하여 회로를 구현하였다. 피드백되는 z^{-2} 과 z^{-3} 을 구현하기 위해 비교기 출력 V를 DFF를 사용하여 2주기, 3주기 더 지연시켜서 피드백 회로를 구현하였다.

기존 구조는 단일 입력(single-ended)으로 구현되었지만, 보다 안정적인 동작을 얻기 위해 본 논문에서는 완전 차동으로 회로를 구현하였다. 기존 논문은

계수 값이 같은 커패시터를 공유하였는데, 제안한 구조는 계수 값이 같은 b_0, c_0 의 값을 가지는 커패시터를 공유하지는 않았다. DFF를 이용하여 지연시킨 비교기 출력이 b_0 와 c_0 에 동시에 들어가야 하기 때문에 커패시터를 공유할 수 없다.

제안한 구조는 Φ_1 에 첫 번째 적분기가 동작하고 Φ_2 에 두 번째 적분기가 동작한다. 제안한 구조의 첫 번째 적분기는 반전 적분기이기 때문에 반전된 신호가 들어간다. 표 1은 기존 구조와 제안한 구조의 비교 정리이다. 이때 Cap의 차이가 나는 것은 기존 구조는 단일 입력으로 회로를 구현하였고 본 논문은 완전 차동이기 때문이다. 기존 구조를 완전 차동으로 구현을 하면 cap은 12개로 제안한 구조가 기존 구조보다 2개가 많지만 클록은 기존 구조보다 16개 적다.

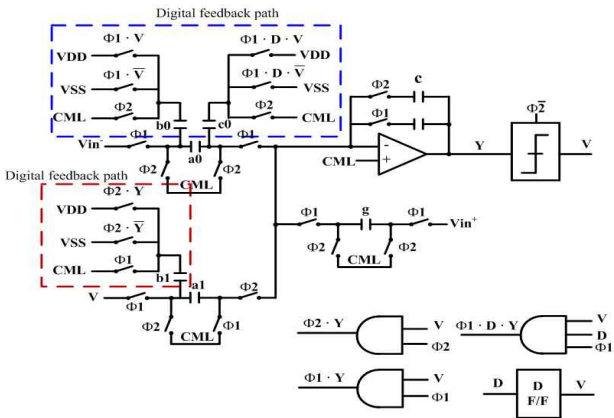


Fig 6. Circuit of proposed architecture
그림 6. 제안한 구조의 회로

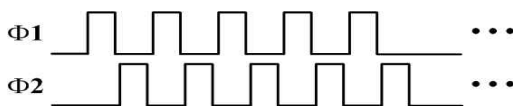


Fig 7. Clock used proposed architecture
그림 7. 제안한 구조에 사용된 클록

표 1. 기존 구조와 제안한 구조의 비교
Table 1. Comparison of conventional architecture and proposed architecture

	기존 구조 (Single-ended)	제안한 구조 (Differential)
Clock type (개)	24	8
Capacitor	6	14
연산증폭기 (개)	1	1
Feedback path type	Analog, Digital	Digital
DAC	1bit	1bit
SNR(dB)	74	81
Power(μ W)	270	220

III. 모의실험 결과

제안한 구조의 모델링은 그림 8로 MATLAB을 사용하여 Simulink를 구성하였다. 연산증폭기의 비이상성을 고려하고, DAC 1bit을 갖는 구조로 스캘링한 계수 값은 $a_0=0.1, g=b_0=c_0=0.1, a_1=0.8, b_1=0.2$ 이다. 표 2은 제안한 구조의 모의실험 조건이다.

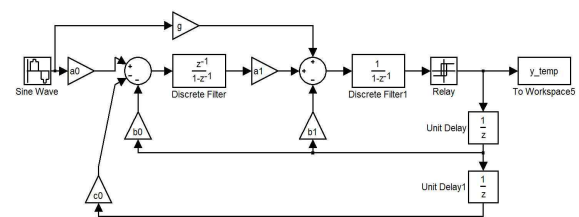


Fig 8. MATLAB Simulink of proposed architecture
그림 8. 제안한 구조의 MATLAB Simulink

표 2. 모의실험 조건
Table 2. Simulation specifications

Sampling Frequency[MHz]	2.56
Over Sampling Ratio	64
Signal Magnitude[mVpp]	500
Signal Bandwidth[Hz]	20~20K
DAC	1bit
Opamp DC-gain[dB]	75
Opamp GBW[MHz] ($C_L=2p$)	13
Opamp Phase Margin[$^\circ$]	65
Opamp Output swing[V]	1
Opamp Slew rate[V/ μ s]	13

표 2와 같은 조건으로 MATLAB을 이용하여 모의 실험 결과 연산증폭기의 출력동작범위 안에 들어갈 수 있는 안정적인 적분기 출력을 확인하였다. 기존 구조의 SNR은 74dB이고 제안한 구조는 그림 9와 같이 82.3dB로 향상됨을 확인할 수 있다.

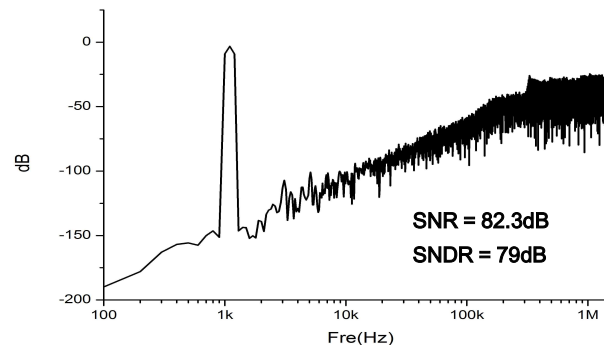


Fig 9. Proposed architecture SNR used Modeling
그림 9. 모델링을 통한 제안한 구조의 SNR

그림 10은 0.18 μm 공정 파라미터를 이용하여 모의 실험 결과이다. 모의실험의 조건은 표 2와 같다. Spectre 모의실험 결과 14124의 포인트에 대한 SNR을 구한 결과 최대 81dB로 7dB 향상되었다.

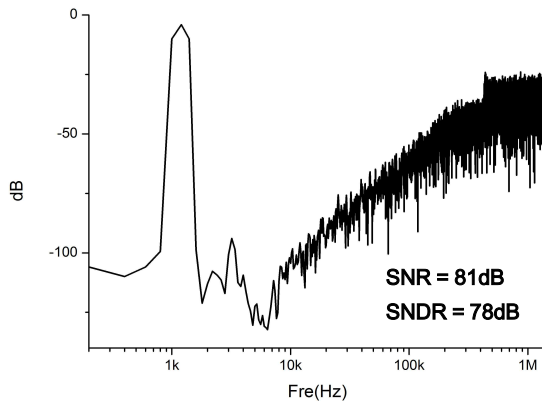


Fig 10. Simulation result used spectre
그림 10. Spectre 모의실험 결과

IV. 결론

제안한 구조는 SDM의 DAC 출력을 지연시켜 디지털 피드백 패스를 추가하는 FDPA 기법을 사용하여 지연된 디지털 피드백 패스를 추가하는 FDPA 기법을 제안한다. 제안한 구조는 전력 소모를 낮추기 위해 적분기 하나로 구현하였고, 사용되는 클록이 적게 되어 회로 구현이 쉽다는 장점이 있다. 모의실험 결과 0.18 μm CMOS 공정을 이용하여 공급전압 1.8V, 신호대역폭 20KHz, 오디오 대역 샘플링 주파수 2.56MHz에서 실험하였고, 전력 소모는 220 μW 이고 SNR은 81dB이다.

References

- [1] James C. Morizio, Michael Hoke, Taskin Kocak, Clark Geddie, Chris Hughes, John Perry, Srinadh Madhavapeddi, Michael H. Hood, George Lynch, Harufusa Kondoh, Toshio Kumamoto, Takashi Okuda, Hiroshi Noda, Masahiko Ishiwaki, Takahiro Miki, and Masao Nakaya "14-bit 2.2-MS/s Sigma-Delta ADC's," *IEEE J. Solid-State Circuits*, vol. 35, No. 7, pp. 968-976, July. 2000
- [2] Daisuke Kanemoto, Toru Ido and Kenji Taniguchi, "A 7.5mW 101dB SNR Low-Power High-Performance Audio Delta-Sigma Modulator

Utilizing Opamp Sharing Technique" *SoC Design Conference(ISOCC), 2011 International*, pp. 66-69. 2011.

[3] Chuan-Hung Hsiao, Wei-Lin Chen, Chih-Cheng Hsieh, "A 0.8V 80.3dB SNDR Stage-Shared $\Delta\Sigma$ Modulator with chopper-Embedded Switched-Opamp for Biomedical Application", *IEEE Asian Solid-State Circuits Conference, IPEC.2012.6522673*, pp. 253-256, 2012.

[4] Koichi Ishida, Kouichi Kanda, Atit Tamtrakarn, Hiroshi Kawaguchi, Takayasu Sakurai, "Managing Subthreshold Leakage in Charge-Based Analog Circuits With Low-V_{th} Transistors by Analog T-Switch (AT-Switch) and Super Cut-off CMOS (SCCMOS)," *IEEE J. Solid-State Circuits*, vol. 41, No. 4, pp. 859-867, Apr. 2006

[5] J. Koh, Y. Chio, and G. Gomez, "A 66dB DR 1.2V 1.2mW single-amplifier double-sampling 2nd-order $\Delta\Sigma$ ADC for WCDMA in 90nm CMOS," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 2005, vol. 1, pp. 170-171.

[6] Chuc K. Thanh, Stephen H. Lewis, and Paul J. Hurst, "A Second-Order Double-Sampled Delta-Sigma Modulator Using Individual-Level Averaging" *IEEE J. Solid-State Circuits*, vol. 32, No. 8, pp. 1269-1273, Aug. 1997.

[7] Gun-Hee Yun. "Design of A Low-Power 12-Bit Sigma-Delta Modulator" Hanyang University. 2011.

[8] David A. Johns, Ken Martin, "Analog Integrated circuit design", pp. 542-571. 1997

BIOGRAPHY

Jung Eui-Hoon (Member)



2011 : BS degree in Electronic Engineering, Chonbuk University.

2012~Present : MS course in Electronic Engineering, Chonbuk University.

<Main interests> ADC

Low-Power/High-Resolution SDM Design, Integrated Circuit

Kim Jae-Bung (Member)

2006 : BS degree in Electronic Engineering, Chonbuk University.
 2009 : MS degree in Electronic Engineering, Chonbuk University.
 2010~Present : PhD course in Electronic Engineering, Chonbuk University.

<Main interests> ADC, Low-Power/High-Resolution SDM Design, Integrated Circuit

Cho Seong-Ik (Life Member)

1987 : BS degree in Electrical Engineering, Chonbuk University.
 1989 : MS degree in Electrical Engineering, Chonbuk University.
 1994 : PhD degree in Electrical Engineering, Chonbuk University.
 1996~2004 Hynix semiconductor

memory lab Senior Research Engineer.

2004~Present : Assistant professor of Electronic Engineering, Chonbuk University.

<Main interests> Low-Power/High-Speed Graphic DRAM, Low-Voltage Low-Power analog circuits, High speed data interface circuits, ADC/DAC, Filter, PLL/DLL