

논문 2013-50-12-8

# 외부 커패시터 없이 넓은 주파수 범위에서 높은 PSRR 갖는 LDO 설계

( A Design of High PSRR LDO over Wide Frequency  
Range without External Capacitor )

김진우\*, 임신일\*\*

( Jin-Woo Kim and Shin-II Lim<sup>©</sup> )

## 요약

본 논문은 외부 커패시터 없이 광범위하게 높은 전원 공급 잡음 제거비(PSRR)를 갖는 선형 정류기(LDO)에 관한 것이다. 제안된 LDO는 높은 PSRR과 안정도를 유지하기 위해 nested Miller 보상 기술을 사용하였고, 내부적으로 캐스코드(cascode) 보상과 전류버퍼(current buffer) 보상 기술을 사용하였다. 또한 외부의 부하 커패시터가 없기 때문에 외부 하드웨어 비용을 최소화 하였고, 제안된 보상 기법을 사용하여 내부에 작은 커패시터를 사용하고도 안정도를 확보할 수 있었다. 설계된 LDO는 2.5V~4.5V의 입력 전압을 받아서 1.8V의 전압을 출력하고 최대 10mA의 부하 전류를 구동할 수 있다. 일반 0.18um CMOS 공정을 이용하여 제작하였고 면적은 300um X 120um 이다. 측정된 PSRR은 DC일 때 -76dB, 1MHz일 때 -43dB를 만족한다. 동작 전류는 25uA를 소모한다.

## Abstract

This paper describes a high PSRR low-dropout(LDO) linear regulator for wide frequency range without output-capacitor. Owing to both of the cascode compensation technique and the current buffer compensation technique in nested Miller compensation loop, the proposed LDO not only maintains high stability but also achieves high PSRR over wide frequency range with reasonable on-chip capacitances. Since the external capacitor is removed by the proposed compensation techniques, the cost for pad is eliminated. The designed LDO works under the input voltage range from 2.5V to 4.5V and provides up to 10mA load current with the output voltage of 1.8V. The LDO was implemented with 0.18um CMOS technology and the area is 300um X 120 um. The measured power supply rejection ratio(PSRR) is -76dB and -43dB at DC and 1MHz, respectively. The operating current is 25uA.

**Keywords** : LDO, On-Chip, Regulator, PSRR, Capacitorless

## I. 서론

다양한 배터리 기반의 휴대기기 사용이 급속하게 증가함에 따라 전력 관리용 칩인 PMIC (power management IC)의 중요성이 대두 되고 있다. 대표적인 전력 관리회로는 스위치 정류기(switching regulator)와 선형 정류기(linear regulator) 두 가지로 구분된다. 이중에 선

\* 학생회원, \*\* 평생회원, 서경대학교 전자공학부  
(Department of Electronics Engineering, Seokyeong University)

© Corresponding Author(E-mail:silim@skuniv.ac.kr)

※ 본 연구는 미래창조과학부 및 정보통신산업진흥원의 IT융합 고급인력과정 지원사업의 연구결과로 수행되었음(NIPA-2013-H0301-13-1013)

접수일자: 2013년9월11일, 수정완료일: 2013년11월22일

형 정류기인 low-dropout (LDO) 정류기는 스위치 정류기에 비해 효율이 떨어지지만 노이즈특성이 좋기 때문에 RF 회로와 같은 노이즈에 민감한 블록의 전원 전압 구성으로 많이 사용한다.<sup>[1~2]</sup> 최근 시스템 칩 (system-on-chip, SoC)의 경향에 따라 LDO 등의 전원 회로도 외부 핀 절약을 위해 칩에 내장되는 추세에 있다.<sup>[1~10]</sup> 칩 내부에 LDO를 내장하면 기존에 외부에 LDO를 장착하는 기술에 비해 시스템 크기와 노이즈 발생 요인을 감소시키고, 전압변동률의 감소 및 부하의 과도현상으로 인한 전압 스파이크를 제거할 수 있다. 한편 공급전원 상에 존재하는 잡음이 시스템의 응용 동작 주파수 근처 영역에서 잡음으로 삽입되어 시스템 성능에 영향을 줄 수 있으므로, 일부 통신 관련 응용에서 사용되는 LDO에서는 공급 전원 잡음 제거 비 (PSRR)를 매우 중요하게 고려한다.<sup>[3]</sup> 노이즈를 제거하기 위해서는 기존의 일반적인 LDO는 출력단에 매우 큰 커패시터를 연결하게 되는데, 이때 LDO내의 큰 구동 트랜지스터에서 생성되는 큰 기생 커패시터와 부하 커패시터에 의해 저주파 지역에 두 개의 극점이 생겨 안정도 확보가 어려워지게 된다<sup>[2]</sup>. 이것을 해결하기 위해 전형적인 Miller 보상법을 사용하여 안정성을 보장하게 되면 칩 내부에 큰 커패시터를 사용하기 때문에 구동하기 위한 전류가 증가하고 칩 크기가 커지는 문제점이 발생한다. 또 노이즈를 제거하기 위해 큰 부하 커패시터를 연결하면 노이즈는 제거되지만 추가적인 핀이나 PAD가 요구되는 등 PCB상의 면적과 하드웨어 비용이 증가하는 결과를 가져오게 된다.

본 논문에서는 높은 PSRR이 요구되는 휴대용 전자 기기나 광 마우스 응용 기기, 리모콘 어플리케이션 등의 시스템에서는 최대 10mA 정도의 부하전류가 요구되기 때문에 이를 목표로 하여 외부 커패시터를 달지 않고 위 문제들을 해결하고, 칩 내에 적은 커패시터를 내장하여 안정도를 확보한 LDO 설계방법을 제안한다. 또한 PSRR을 향상시키기 위해 2단 오차 증폭기와 PMOS 구동 단을 이용하여 전체 3단을 구성함으로써 이득을 높이고, 전체 시스템의 안정도를 확보하는 주파수 보상 기술을 제안 한다.

## II. 구조 및 설계

### 1. 기존의 LDO

일반적인 구조의 LDO는 그림 1에 나타내었다<sup>[2]</sup>. 일반적인 LDO는 밴드갭 기준 전압 발생기(BGR), 오차 증폭기(EA, error amplifier), 부하 전류를 구동하는 패스 트랜지스터(MP), 피드백 저항  $R_{F1}$ 과  $R_{F2}$ , 출력 커패시터로 구성된다. 기본적인 동작은 BGR에서 기준전압 ( $V_{REF}$ )을 받아 피드백 된 출력전압을 비교하여 오차 신호를 패스 트랜지스터에 전달한다. LDO 구현에 있어 가장 중요하게 고려해야 할 점은 외부에서 들어오는 다양한 동작조건에도 안정성을 유지하면서 일정한 출력전압을 내보내야한다. 이를 위해 다양한 주파수 보상 기법들이 있지만, 가장 보편적으로 쓰이고 있는 방식은 부하커패시터에 존재하는 ESR(equivalent serise resistance)를 이용하여 좌평면(LHP, left half plane) 영점을 삽입하여 주파수 보상을 하는 것이다<sup>[3]</sup>.

하지만 이 방식은 부하 전류가 급격하게 커지거나 작아지게 되면 ESR이 직접 전류의 영향을 받게 되어 안정적인 주파수 보상이 안 되는 문제점이 있다. 또, 이 방법은 칩 외부에 큰 커패시터를 반드시 연결해야 하므로 연결을 위한 추가적인 패드나 핀이 필요하게 된다.

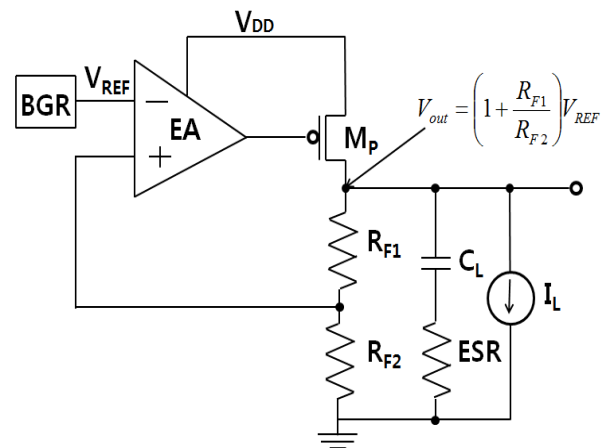


그림 1. 전형적인 LDO 레귤레이터 구조

Fig. 1. Conventional LDO regulator.

### 2. 기존의 외부 커패시터 없는 LDO

최근에 LDO 연구는 시스템 칩 내부에만 LDO를 구현하기 위하여 외부에 커패시터를 연결하지 않는 추세에 있다<sup>[2~9]</sup>. 이 경우 패드나 핀 연결에 필요한 설계 비용과 PCB 보드 면적을 줄일 수 있다. 그림 1의 일반적인 LDO는 외부 커패시터가 크므로 첫 번째 극점이 LDO 출력단에 위치하지만 외부 커패시터 없는 LDO는 첫 번째 극점

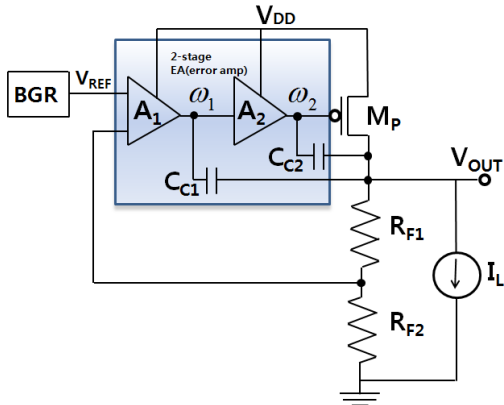


그림 2. Nested Miller 보상을 사용한 외부 커패시터 없는 LDO 레귤레이터  
Fig. 2. LDO regulator without output capacitor using nest Miller compensation technique.

이 오차 증폭기에 의해 발생하고 두 번째 극점은 LDO 출력 단에서 발생된다. 외부 커패시터  $C_L$ 과 ESR이 제거된 LDO의 경우, 부하 전류가 최소일 때 출력 단에서 발생한 두 번째 극점이 단일 이득 주파수(unity gain frequency) 근처에 위치하면서 위상 여유(phase margin)가 감소하여 안정도 확보가 어렵게 되고 과도응답 특성이 좋지 않게 된다<sup>[3]</sup>. 또한, 오차 증폭기가 1단이기 때문에 이득이 낮아, 전체 PSRR 성능이 좋지 않게 된다. 이러한 문제점을 해결하기 위해 그림 2와 같이 2단( $A_1$  및  $A_2$ )의 오차 증폭기를 사용할 수 있다. 이 경우 구동 단( $M_p$ )을 포함하면 전체 3단이 되므로 이득이 높아지게 되어 전체 PSRR 성능이 향상되게 된다.

이 때 주파수 보상을 위해서는 그림 2에 나타난 것과 같이  $C_{C1}$ 과  $C_{C2}$ 를 사용한 nest Miller 보상 방법을 적용할 수 있는데, 이에 따른 루프 이득 전달 함수는 수식 (1)에 표시할 수 있다<sup>[4]</sup>.

$$L(s) \approx \frac{A_O(1 - s(\frac{C_{C2}}{g_{M_p}}) - s^2(\frac{C_{C1}C_{C2}}{g_{m2}g_{M_p}}))}{(1 + sC_{C1}R_1A_2A_p)(1 + s\frac{C_{C2}}{g_{m2}})} \quad (1)$$

수식 (1)상에서 표현되는  $A_O$ ,  $g_{m2}$ ,  $g_{M_p}$ ,  $R_1$ 의 파라미터들은 각각  $A_O=A_1 \cdot A_2 \cdot A_p \cdot (R_{F2}/(R_{F1}+R_{F2}))$ ,  $g_{m2}$ 은  $A_2$ 의 트랜스컨덕턴스,  $g_{M_p}$ 은 AP의 트랜스컨덕턴스,  $R_1$ 은  $A_1$ 의 출력 저항 값을 의미한다. 수식(1)에서 첫 번째 극점은 낮은 주파수에 위치하고, 두 번째 극점은 단일 이득 주파수 이후에 위치하여 극점 분리(pole splitting)방식을 통해 안정성을 확보 할 수 있다<sup>[4]</sup>. 그러나 그림 3에

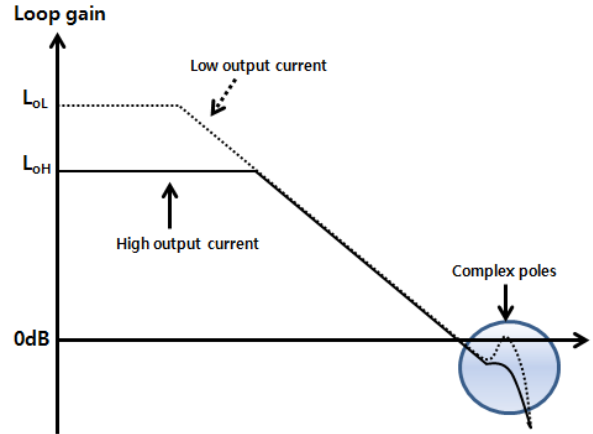


그림 3. 외부 커패시터 없는 LDO의 부하 전류에 따른 루프 이득  
Fig. 3. Loop gain of external capacitor-less LDO regulator with different load current.

나타난 것과 같이 부하 전류가 최소일 때 첫 번째 극점을 제외한 나머지 극점들이 단일 이득 주파수 근처에서 혼합되어 피킹(peaking) 현상이 나타나면서 시스템을 불안정 하게 된다<sup>[2]</sup>. 이것을 해결하기 위해 또 다른 주파수 보상 방법들을 이용하게 되지만 복잡한 회로가 추가되고, 내부에 비교적 큰 Miller 커패시터가 들어가 하드웨어 크기가 늘어나고 전력소모가 커지는 문제점이 있다<sup>[3]</sup>. 또 다른 해결 방법으로는 2단 오차증폭기와 NMOS형 구동 트랜지스터를 사용하는 경우가 있는데, 이 경우 주파수 보상은 쉽게 가능하지만 PMOS형 구동 트랜지스터를 사용한 것보다 전압 감소가 커서 효율이 줄어드는 문제점이 발생한다<sup>[5]</sup>. 이 외에도 여러 가지 추가적인 귀환 회로들을 사용하여 안정성을 보장하는 기술들이 있지만 회로의 크기, 소모 전력, 안정성, PSRR들의 회로 조건을 모두 보장하기는 쉽지 않다<sup>[7]-[11]</sup>. 본 논문에서 제안하는 것은 외부 커패시터 없이, 2단의 오차 증폭기를 이용하되(전체 3단), 저 전력을 소모 하면서 최소한의 내부 보상 커패시터 사용하며 안정도를 향상 시키며 PSRR 성능을 향상 시킬 수 있는 LDO 회로를 설계한다.

### 3. 제안된 LDO 설계

제안된 LDO 구조는 그림 4에 나타내었다. 높은 PSRR을 가지기 위해서는 전체 회로의 루프 이득을 높여야 하므로 2단 오차 증폭기( $A_1$  &  $A_2$ )와 PMOS 패스 트랜지스터( $-A_p$ )가 결합하여 전체 3단으로 구성하였

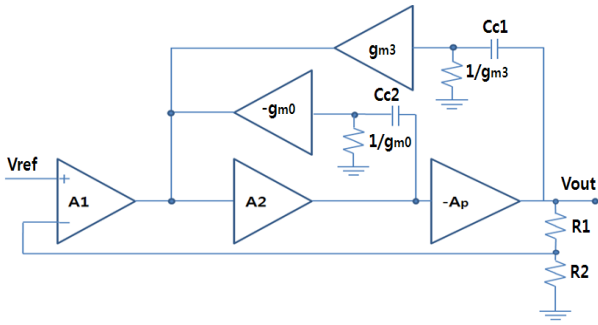


그림 4. 제안된 LDO 레귤레이터  
Fig. 4. The proposed LDO regulator.

다. 외부로 연결되는 부하 커패시터를 사용하지 않기 때문에 전체적으로는 nested Miller 보상 방법을 사용하였고, 부분적으로  $C_{C1}$ 과  $g_{m3}$ 를 이용하여 좌 평면(LHP) 영점을 생성하는 캐스코드(cascode)보상 방법과  $C_{C2}$ 와  $g_{m0}$ 를 이용하여 역시 좌 평면 영점을 생성하는 전류 완충(current buffer) 보상 방법을 사용하여 전체 시스템의 안정도를 확보하였다. 아래에 부분적인 외부 보상 방법에 대한 자세한 설명을 한다.

부분적 내부 보상 방법으로 사용된 캐스코드(cascode) 및 전류 완충(current buffer) 보상 방법을 그림 5의 회로를 이용한다<sup>[2]</sup>. 그림 5의 (a), (b)모두 좌 평면(LHP) 영점을 발생시켜 주파수 보상을 하는 방법이다. 그림 5(a)의 cascode 보상 방법은 노드 Y와 노드 X 사이에 보상 커패시터  $C_{C1}$ 와 공통 게이트 증폭기 트랜지스터  $g_{m3}$ 가 있으면 수식 (2)같은 좌 평면(LHP) 영점을 생성하여 위상여유가 좋아 지면서 주파수 보상을 수행한다. 그림 5(b)의 전류 완충(current buffer) 방법은 차동 증폭기나 folded-cascode 증폭기 등에서 쉽게 적용할 수 있는 방법으로서 노드 Y와 노드 X 사이에 보상 커패시터  $C_{C2}$ 와 전류 거울 구조를 결합시켜 역시 수식 (3)같은 좌 평면(LHP) 영점을 생성한다.

$$\omega_{z1} = -\frac{g_{m3}}{C_{C1}} \quad (2)$$

$$\omega_{z2} = -\frac{g_{m0}}{C_{C2}} \quad (3)$$

제안된 전체 LDO 회로는 그림 6에 나타내었다. LDO는 3단 증폭기로 구성 된다. 첫 번째 단은 일반적인 차동 증폭기, 두 번째 단은 전류 거울 증폭기로 구성되어 오차 증폭기를 구성 한다. 두 번째 단의 전류 거울 증폭기는 출력 단이 push-pull 형태로 구성되어 있어 전류

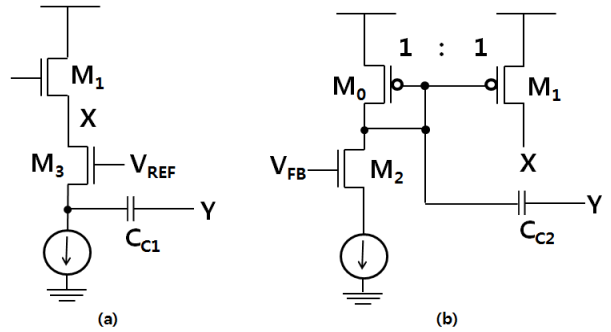


그림 5. 보상 방법  
(a) 캐스코드 보상 (b) 전류 버퍼 보상  
Fig. 5. Compensation method  
(a) cascode compensation  
(b) current buffer compensation.

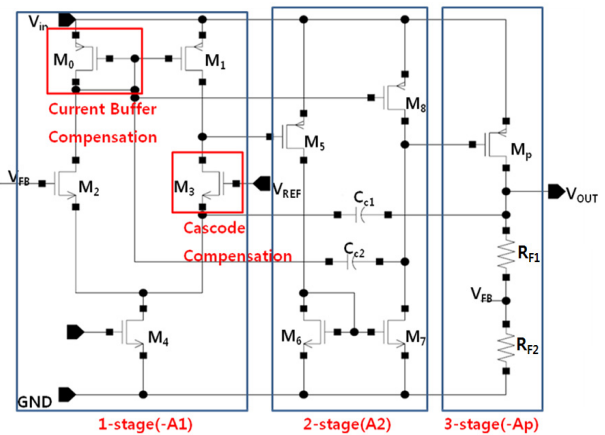


그림 6. 제안된 LDO 레귤레이터  
Fig. 6. The proposed LDO regulator.

구동 능력이 향상되기 때문에 오차 증폭기의 트랜스컨덕턴스를 증가 시켜서 높은 대역폭을 만들어 낸다.

이제 이 회로의 PSRR ( $1/PSR$ 에 비례) 특성을 분석하기 위해 그림 7에 나타낸 PSR ( $V_{OUT}/V_{DD}$ )의 주파수 특성을 고려해 보자. 그림 7에서 사용된  $Z_0$ 는 피드백 루프의 영향을 받은 LDO의 출력 저항으로써 수식 (4)에 나타내었다. 여기서 구동 트랜지스터 MP는 일반적으로 매우 크게 설계 하므로  $r_{ds,MP} \ll (R_{F1} + R_{F2})$ 가 고려되었다. 그림 7에서 오차 증폭기의 대역폭 지점( $Z_1$  지점)부터 단일 이득 주파수( $P_1$  지점)까지 PSR을 살펴보면 수식 (5)와 같이 나타낼 수 있다. 이 수식에서  $r_{ds,MP}$ 는 MP 트랜지스터의 드레인 소스 간 저항,  $\beta$ 는  $R_{F2}/(R_{F1} + R_{F2})$ 를 갖는 귀환 이득,  $A_0$ 는 개방 루프 이득,  $P_{-3dB,EA}$ 는 오차 증폭기의  $-3dB$  극점을 의미한다. 수식 (5)에서 볼 수 있듯이 PSRR이 감소되는 시점이 영점이 발생하는 지점으로 오차증폭기의 대역폭( $BW_{EA}$ )과 동일

하고 극점은 단일 이득 주파수( $f_{u,UGF}$ )와 일치하는 것을 알 수 있다. 여기서 LDO의 PSRR을 향상하기 위해서는 높은 이득과 오차 증폭기의 넓은 대역폭을 가져야 한다는 것을 알 수 있다.

$$Z_O = \frac{(R_{F1} + R_{F2}) \| r_{ds,MP}}{A_O \beta} \approx \frac{r_{ds,MP}}{A_O \beta} \quad (4)$$

$$PSR_{f \leq UGF} = \frac{Z_O}{r_{ds,MP} + Z_O} = \frac{1}{(A_O \beta) + 1}$$

$$\approx \frac{1}{\left(\frac{A_{O,dc}}{s} \beta\right) + 1} \approx \frac{1 + \frac{s}{BW_{EA}}}{\left(A_{O,dc} \beta\right) \left(1 + \frac{s}{f_{u,UGF}}\right)} \quad (5)$$

$$1 + \frac{s}{P_{-3dB,EA}}$$

따라서 본 논문의 LDO는 전체 3단으로 구성 되어 있어 이득이 높고, 오차 증폭기는 캐스코드(cascode) 및 전류 완충(current buffer) 보상 방법을 이용하여 대역폭을 높일 수 있으므로 오차 증폭기의 대역폭 지점( $Z_1$  지점)부터 단일 이득 주파수( $P_1$  지점)까지의 PSR을 향상 시키게 된다. 즉, 공통 게이트 증폭기  $M_3$ 와 보상 커패시터  $C_{C1}$ 이 결합하여 생성한 첫 번째 좌 평면(LHP) 영점은 두 번째 극점 뒤에 첫 번째 좌 평면(LHP) 영점이 생성되어 위상 여유를 증가시킴과 동시에 대역폭을 향상 시킨다. 또  $M_0, M_1$ 으로 구성된 전류 거울과 보상 커패시터  $C_{C2}$ 가 결합하여 생성된 두 번째 좌 평면(LHP) 영점은 단일 이득 주파수 직전에 위치하여, 위상 여유를 더해 주파수 보상을 수행함과 동시에 역시 대역폭도 같이 향상시킨다. 즉 두 번째 극점 이후와 단일 이득 주파수 사이에 2개의 좌 평면(LHP) 영점을 위치하

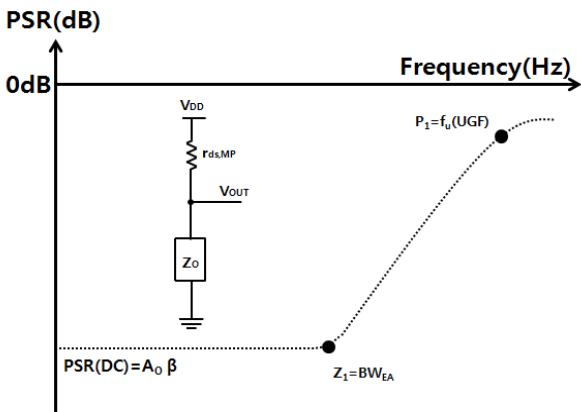


그림 7. 외부 커패시터 없는 LDO 레귤레이터의 PSR  
Fig. 7. PSR of capacitor-less LDO regulator.

게 하여 단일 이득 주파수를 향상 시켜 PSR 성능을 개선할 수 있을 뿐 아니라, 안정성도 동시에 만족 시키게 된다. 여기서 사용한 주파수 보상용 커패시터  $C_{C1}, C_{C2}$ 의 총 크기는 합쳐서 1.6pF으로서 칩 내에 충분히 내장 가능하고, 그 크기가 기존 구현의 내장 커패시터 값과 비교하여 최소한의 값으로 칩 면적을 줄이면서 안정된 시스템을 보장하였다.

### III. 시뮬레이션 결과

제안된 회로는 TSMC 0.18um CMOS 공정을 이용하여 설계 되었다. 그림 8은 개방 루프 이득 시뮬레이션 결과이다. 그림 8(a)는 부하 전류( $I_L$ )가 10uA일 때 루프 이득 시뮬레이션 결과이다. 이전에 설명한 것과 같이

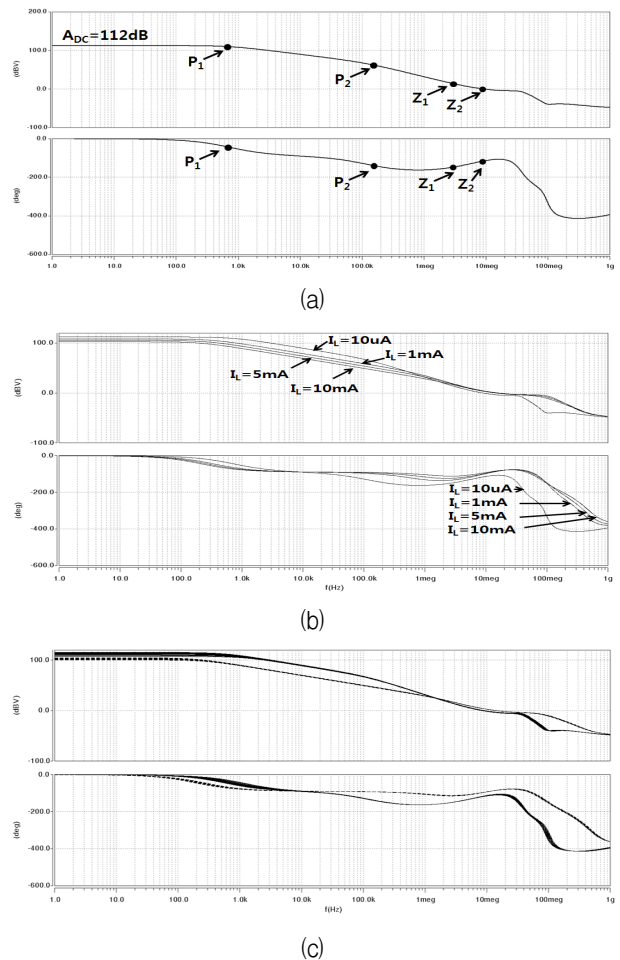


그림 8. 개방 루프 이득 AC 시뮬레이션  
(a)  $I_L=10\mu A$ , (b)  $I_L=10\mu A \sim 10mA$ , (c) PVT 변화  
Fig. 8. Open loop gain AC Simulation.  
(a)  $I_L=10\mu A$  (b)  $I_L=10\mu A \sim 10mA$ , (c) PVT variation



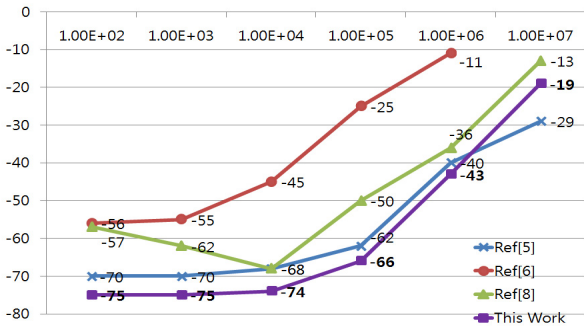


그림 9. PSR 시뮬레이션  
Fig. 9. PSR simulation.

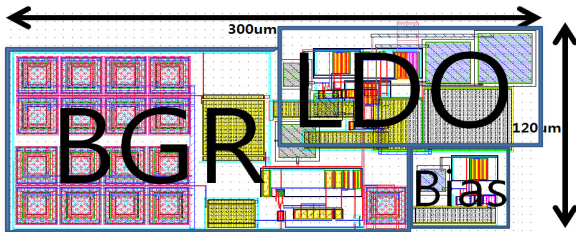


그림 10. 레이아웃  
Fig. 10. Layout.

두 번째 극점 뒤에 첫 번째 영점이 위치하여 바로 주파수 보상을 수행하였고 단일 이득 주파수 직전에 두 번째 영점이 위치하여 위상 여유가 62°를 만족 하였고 단일 이득 주파수도 증가시켰다. 그림 8(b)는 부하 전류를 10uA부터 10mA까지의 시뮬레이션을 나타내었고 모두 위상 여유를 60°이상을 만족하였다. 그림 8(c)는 PVT(TT, SS, FF, FS, SF, Temp(-20°~80°))변화에 gm 변화가 발생하는 경우를 시뮬레이션 하였다. 그 결과 DC 이득에 약간의 오차가 생기고 주파수 보상은 그림 8(a)(b)와 동일하게 이루어진 것을 확인 할 수 있다. 그림 9는 PSR 시뮬레이션 결과이다. 부하 전류가 10mA일 때 10kHz에서 -76dB, 1MHz에서 -43dB, 30MHz에서 -24dB이다. 기존의 다른 외부 커패시터 없이 설계된 LDO들은 안정성과 PSRR을 확보하기 위해 추가적인 회로를 설계하여 보상하거나 내부의 큰 보상 커패시터를 사용하였지만 본 논문에서는 간단하게 좌평면(LHP) 영점을 만드는 보상 방법과 최소한의 내부 커패시터로 안정성과 높은 PSRR을 확보한다.

### IV. 구현 및 측정 결과

제안된 회로는 TSMC 0.18um CMOS 공정을 이용하

여 제작 되었다. LDO의 레이아웃은 그림 10과 같으며 사용된 면적은 BGR을 포함하여 300um×120um이다. BGR을 제외한 LDO만의 크기는 반으로 줄어 들 수 있을 것이다. 입력 전압 2.5~4.5V의 범위에서 출력 전압 1.8V를 출력하도록 설계하였다. 또한 위의 입력 및 출력 전압 조건에서 부하 전류를 0~10mA를 구동 할 수 있도록 구현하였다. 그림 11에는 부하 레귤레이션의 측정 결과인데, 출력 전류를 10uA부터 10mA까지의 변화했을 때 출력 전압을 나타낸 것이다. 그 결과 순간적으로 230mV의 출력거림이 발생하지만 원래 출력 전압 (1.8V)으로 돌아오는 정착 시간은 약 30u이며 발진 없이 안정된 것을 확인할 수 있다. 또한 10mA의 부하 전류 변화에 대해 0.08V 출력 전압 변화가 측정되었다. 추가적인 LDO의 성능을 확인하기 위해 공급 전압에 (본 설계가 적용되는 광 마우스 어플리케이션에서 실제 인입 가능한) 30MHz 노이즈를 인가하였다. 그림 12는 입력 DC전압 3.3V에 200mV 크기의 30MHz 정현파를 주입하여 주파수와 시간 축의 측정 결과를 나타낸 것이다. 측정된 결과 30MHz 신호 성분이 약 -24dB 감소하는 것을 확인하였으며 이 측정 결과는 회로 시뮬레이션 결과와 일치한다. 그림 12(a)는 LDO 입력 전원 공급 단에 가미된 30MHz 노이즈 스펙트럼 성분이고, 그림 12(b)는 LDO의 출력 단에서 -24dB 감쇄되어 측정된 노이즈 스펙트럼이다. 그림 12(c)는 앞서 측정한 그림 12(a), (b)의 신호 결과를 시간 축 상으로 측정된 것을 나타낸 것이다. 측정 결과를 바탕으로 하여 요약한 성능을 표 1을 통해 나타내었다. 기존의 외부 커패시터 없이 설계된 LDO는 보상 커패시터를 작게 설계하여 면적을 줄이면 PSRR 특성이 저하되고, 큰 보상 커패시터를 달아 PSRR 특성을 개선하면 전류소모와 면적이 커지게 된다<sup>[8]</sup>. 본 논문에서는 보상 커패시터를 최대한 작

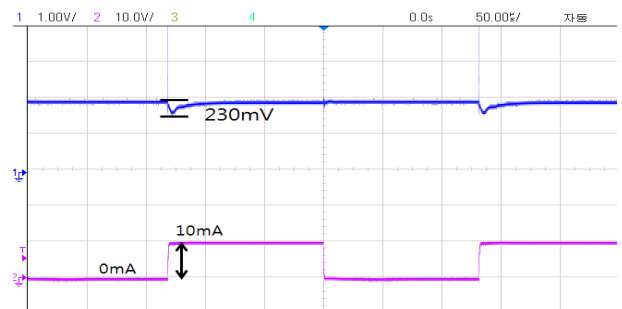
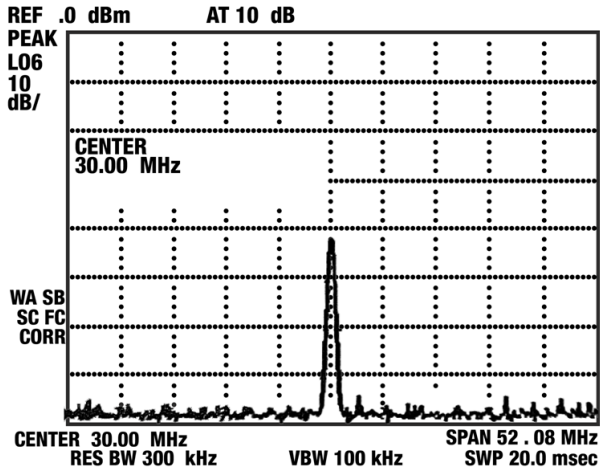
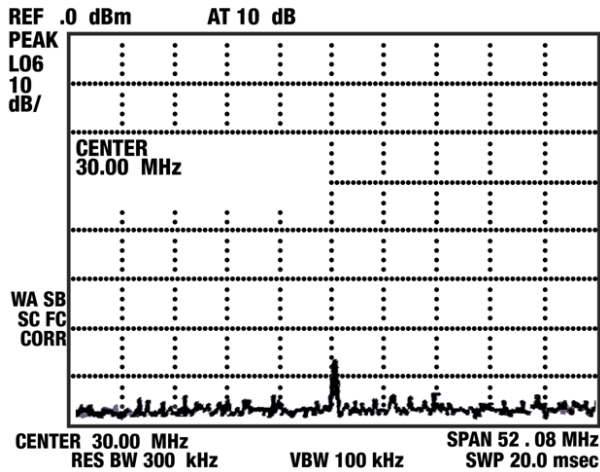


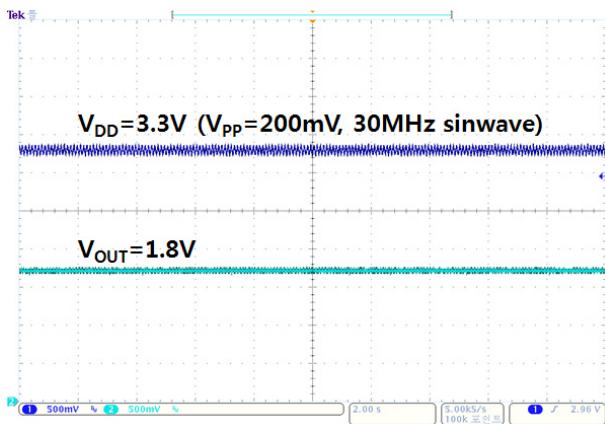
그림 11. 측정된 부하 레귤레이션  
Fig. 11. Measured load regulation.



(a)



(b)



(c)

그림 12. (a) 인가된 입력 측 30MHz 스펙트럼 (b) 출력 측 30MHz 스펙트럼 (c) 입력/출력 전압.

Fig. 12. (a)spectrum of added input 30MHz noise signal, (b)spectrum of output 30MHz noise signal, (c)input/output voltage

표 1. 성능 요약 표

Table 1. Performance summary.

	[5]	[6]	[8]	[9]	This Work	
Technology	0.6um	0.35um	0.35um	0.18um	0.18um	
VDD[V]	3.3	2.6-4.5	3-4.2	1.8	2.5-4.5	
VOUT[V]	2.3	1.3	2.8	1.4	1.8	
IO,max[mA]	5	10	50	1	10	
On-Chip capacitance[pF]	60	3	23	14	1.6	
Quiescent Current[uA]	40	39	65	N/A	25	
$\Delta V_{OUT}$ [mV] (Full load transient)	<700 @ $C_L=0$ , $I_L=5mA$	<285 @ $C_L=0$ , $I_L=10mA$	<90 @ $C_L=100pF$ , $I_L=50mA$	<200 @ $C_L=100pF$ , $I_L=1mA$	<230 @ $C_L=0$ , $I_L=10mA$	
PSR[dB]	DC	-70	-56	-57	-88	-75
	1MHz	-40	-11	-36	-50	-43
	30MHz	-37	N.A.	-19	-40	-24
Area(mm <sup>2</sup> )	N.A.	N.A.	0.12	0.489	0.036	

게 설계하여 (전체  $C_{C1}+C_{C2} = 1.6pF$ ) 주파수 보상을 수행 하였고, 더욱이 외부 커패시터가 없어 전체 면적과, 비용을 줄이고 PSRR특성을 향상 시켰다.

## V. 결 론

본 논문을 통해 외부 커패시터 없이 넓은 주파수 범위에서 높은 PSRR을 가지는 LDO를 제안하였다. 제안하는 LDO는 전체 3단으로 구성되며 nested Miller 보상방법을 사용하였고, 내부적으로는 캐스코드(cascode) 보상, 전류 완충(current buffer) 보상 방법을 사용하여 안정도를 확보하였다. 또한 외부 커패시터 없이 칩 내부에 작은 커패시터를 사용하여 설계함으로써 비용을 줄일 수 있게 하였다.

## REFERENCES

- [1] S. Han, J. Kim, "A Low-Noise Low Dropout Regulator in 0.18um CMOS," Journal of The Insitute of Electronics Engineers of Korea, Vol. 46, pp. 52-57, June. 2009.
- [2] A.Garimella and Paul M. Furth., "Frequency Compensation techniques for Op-Amps and LDOs: A Tutorial Overview," *Proceedings of the 54nd Midwest Symposium on Circuits and Systems*, Session Mp1H-3, Aug. 7-10, 2011.
- [3] K. N Leung and P. K. T. Mok "A capacitor-free CMOS low-dropout regulator with damping factor control frequency compensation," *IEEE J. Solid State Circuits*, vol. 38, no.10, pp.

1691-1702, Oct.2003.

- [4] W.-J. Huang and S.-I. Liu "Capacitor-free low dropout regulators using nested Miller compensation with active resistor and 1-bit programmable capacitor array," *IEEE Circuit, Devices & Systems*, IET, pp.306-316, 2008.
- [5] V. Gupta and G. A. Rincón-Mora, "A 5mA 0.6μm CMOS miller compensated LDO regulator with -27dB worst-case power-supply rejection using 60pF of on-chip capacitance," *IEEE Solid-State Circuits Conf.*, pp.520-521, 2007.
- [6] Jacob Day and Donald Y. C. Lie., "An Output-Capacitorless Linear Regulator for Integrated Portable Power Solutions," *Proceedings of the 54th Midwest Symposium on Circuits and Systems*, Session Ta1B-4, Aug. 7-10, 2011.
- [7] S. K. Lau, P.K.T. Mok, and K.N. Leung, "A low-dropout regulator for SoC with Q-reduction", *IEEE J. Solid-State Circuits*, vol. 42, no. 3, pp. 658-664, Mar. 2007.
- [8] R. J. Milliken, J. Silva and E. Sanchez-Sinencio, "Full On Chip CMOS Low Dropout Voltage Regulator," *IEEE Transactions on Circuits and Systems I*, vol. 54, no.9, pp. 1879-1890, Sept. 2007.
- [9] H. Y. Huang, C. Y. Chen, K. H. Cheng, "External capacitorless low dropout linear regulator using cascode structure", *IEEE 16th International Symposium on DDECS*, pp. 236-239, April. 2013.
- [10] H. C. Yang, M.H. Huang, and K.H. Chen, "High-PSR-Bandwidth Capacitor-Free LDO Regulator with 50uA Minimized Load Current Requirement for Achieving High Efficiency at Light Loads," *WSEAS Transactions on Circuits and Systems*, Vol. 7, Issue 5, pp. 428-437, May 2008.
- [11] Grasso, A.D. Palumbo, G. Pennisi, S. "Advances in Reversed Nested Miller Compensation," *IEEE Trans. Circuits Sys.*, vol. 54, no. 7, pp. 1459-1470, July 2007.
- [12] Gupta, V. "A low dropout, CMOS regulator with high PSR over wideband frequencies," *IEEE Transactions Circuits and Systems*, vol. 5, pp. 4245-4248, May 2005.
- [13] H. S. Jhuang, J. H. Wang, S. W. Lai, C. H. Tsai. "A high PSR over wideband frequency range low dropout voltage regulator," *ICGCS International Conf.*, pp.508-511, 2010.

---

저 자 소 개

---



김진우(학생회원)  
2012년 서경대학교 컴퓨터공학과  
학사 졸업.  
2013년~현재 서경대학교  
전자공학과 석사과정  
<주관심분야 : 아날로그 집적회로  
설계>



임신일(평생회원)-교신저자  
1980년 서강대학교 전자공학과  
학사 졸업.  
1983년 서강대학교 전자공학과  
석사 졸업.  
1995년 서강대학교 대학원  
전자공학 과 박사 졸업.  
1982년~1991년 한국전자통신연구원(ETRI)  
선임연구원  
1991년~1995년 전자부품연구원(KETI)  
선임연구원  
1995년~현재 서경대학교 전자공학과 교수  
<주관심분야 : 아날로그 집적회로 설계(통신, 바  
이오 메디컬, 산업, 가전)>