

논문 2013-50-12-4

DLL에서 루프 필터에 따른 Jitter 크기 변화

(A Jitter Variation according to Loop Filters in DLL)

최 현 우*, 최 영 식*

(Hyun-Woo Choi and Young-Shig Choi[©])

요 약

지연고정루프는 위상고정루프에 비해 작은 지터 값을 가지고 있음에도 불구하고 지연고정루프를 사용해서 지터를 줄이려는 연구는 꾸준히 이루어지고 있다. 이러한 연구의 결과로 기본 구조를 변형하거나 또는 다양한 구조들을 첨가하여 지터 특성을 개선하였다. 이 논문에서는 지연고정루프에서 다양한 루프필터 구조를 적용하면 지터 특성이 향상될 수 있음을 보여준다. 다양한 루프필터가 적용된 지연고정루프는 1.8V 0.18 μ m CMOS 공정을 이용하여 설계 하였다.

Abstract

There have been studies in improving jitter characteristic of delay locked loop (DLL) even it has a shorter jitter that of phase locked loop (PLL). These studies result in numerous architectures of DLL which improve jitter performance. The paper shows that the jitter characteristic can be improved with various loop filters in DLL. It has been designed with 1.8V 0.18 μ m CMOS process.

Keywords : DLL, clock generator, low jitter, loop filter

I. 서 론

대용량 처리를 위해 최근 시스템은 초고속의 동작속도를 요구하고 있다^[1~2]. 이러한 발전은 대용량 처리를 위한 칩들이 초고속으로 동작하며, 동시에 안정성이 유지되도록 요구되고 있다. 특히 CPU와 DSP와 같은 칩들은 높은 주파수의 클럭 신호가 필요하다. 그러나 안정적이며 고속인 클럭 신호는 내부에서 획득하기 어렵기 때문에 외부에서 인가해주어야 하며, 일반적으로 클럭 발생기로 위상고정루프 (PLL)와 지연고정루프

(DLL)가 가장 많이 이용된다^[3~5].

위상고정루프는 다수의 극점과 영점을 가진 부궤환 폐루프 구조이어서 안정하게 동작하도록 설계하기가 쉽지 않으며, 고정 시간이 늦다. 또한 VCO로 인해 지터가 축적되어 지터 값이 커지는 문제를 가지고 있다. 이러한 문제를 해결하기 위해 지터 특성이 좋은 LC-VCO를 사용하기도 한다. SoC 추세로 나가는 현재 상황을 고려하면 위상고정루프의 LC-VCO는 하나의 칩으로 집적화하기에 쉽지 않다. 반면 지연고정루프는 VCO대신 전압제어지연단 (Voltage Controlled Delay Line : VCDL)을 사용함으로써 하나의 커패시터로 구성된 루프 필터를 사용하면 항상 안정하게 동작하는 1차 시스템이 된다. 또한 빠른 고정 시간과 지터의 축적이 없다는 여러 장점을 가지고 있다. 그러나 위상고정루프에 비해 높은 주파수의 출력 신호를 생성하기 어려워 고정루프에서 높은 주파수와 더 낮은 지터를 획득하기 위해 다양한

* 정회원, 부경대학교 전자공학과
(Dept. of Electronics, Pukyong National University)

© Corresponding Author(E-mail: choiys@pknu.ac.kr)

※ 본 논문은 미래창조과학부 지원으로 수행한 ETRI SW-SoC융합 R&BD센터와의 IDEC의 공동연구 결과입니다.

접수일자: 2013년8월1일, 수정완료일: 2013년11월27일

연구가 이루어지고 있다^[6~10]. 기존 지연고정루프에 새로운 구조를 추가하여 지터성능을 향상시키는 연구는 많이 진행되고 있지만, 다양한 루프필터를 사용하여 성능을 향상시키는 연구는 이루어지지 않고 있다.

본 논문에서는 100MHz의 입력 신호를 사용하여 1GHz의 좋은 지터 특성을 가진 출력 신호를 얻기 위해 주파수 체배기를 사용하여 지연고정루프를 구성하였다. 기본적인 지연고정루프에 다양한 구조의 루프필터를 사용하면 고정시간이 증가하나 지터 특성이 향상됨을 보여준다. II장에서는 루프필터 배경지식과 루프필터 전압과 지터와의 관계 및 제한한 루프필터 구조를 기술하였다. III장에서는 본 논문에 사용한 블록을 소개하고, 제한한 루프필터 구조에 따른 시뮬레이션 결과를 IV장에서 보여준다. 마지막으로 V장에서 본 논문의 결론을 요약하였다.

II. 루프필터 이론

1. 기존 Loop Filter

그림 1은 기존 DLL의 블록도이다. 그림에서는 위상 주파수 검출기 (Phase Frequency Detector : PFD)와 전하펌프 (Charge Pump : CP), 하나의 커패시터로 구성된 루프필터 (Loop Filter : LF), 그리고 전압제어지연단 (Voltage-Controlled Delay Line : VCDL)을 포함해 총 4개의 주요 블록으로 구성되어 있다.

지연고정루프는 기준 주파수(F_{REF}) 주기마다 PFD에서 기준 신호와 VCDL 출력 신호 지연차를 감지하며, CP가 그 신호 차에 상응하는 전하를 출력하여 루프필터 커패시터를 충전 또는 방전시킨다. 이로 인해 형성된 전압은 VCDL의 지연정도를 조절한다. 그림 1의 블록 구조와 같은 DLL은 출력 지연 (D_O)과 입력 지연 (D_I) 전달함수는 다음과 같이 표현된다^[11].

$$D_O(s) = [D_I(s) - D_O(s)] F_{REF} \frac{I_{CP}}{s C_P} K_V \quad (1)$$

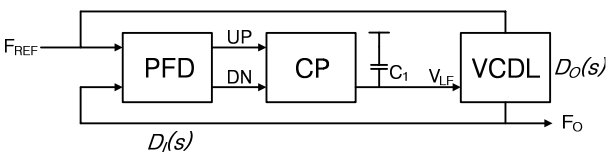


그림 1. 기존 지연고정루프 블록도
Fig. 1. Conventional DLL block diagram.

$$\frac{D_O(s)}{D_I(s)} = \frac{1}{1 + s/\omega_{BD}} \quad (2)$$

여기서 ω_{BD} 는 DLL의 대역폭이며 다음과 같다.

$$\omega_{BD} = I_{CP} K_V F_{REF} \frac{1}{s C_P} \quad (3)$$

F_{REF} 는 기준 주파수이고 K_V (s/V)는 전압제어지연단의 이득이다. I_{CP} 는 CP의 전류이며 루프 필터는 하나의 커패시터로 (CP)로 구성되어 있다. 일반적으로 DLL에서 DLL의 대역폭이 기준 주파수의 1/10 보다 작아 continuous-time approximation이 적용 되도록 하면, s항이 1차이어서 항상 안정하다.

2. V_{LF} 와 지터 관계

지연고정루프가 이상적이라고 가정하면, 고정이 된 이후 루프필터 전압은 일정해야한다. 그러나 실제 부궤환 루프 구조에서는 출력 신호를 입력 신호에 일치시키기 위해 끊임없는 미세한 전압의 변화가 있다. 그림 2는 부궤환 루프 구조인 지연고정루프가 고정이 된 이후, 루프필터 전압이 끊임없이 미세하게 변하는 모습을 보여주고 있다. 여기서 최대점과 최저점의 차이를 ΔV_{LF} 로 정의한다. ΔV_{LF} 크기는 수 mV에서 수 μV 이다.

ΔV_{LF} 는 지터와 밀접한 관련이 있다. 입/출력 신호의 위상과 VCDL의 지연시간과의 관계식, 즉 지터와 ΔV_{LF} 을 아래와 같이 표현할 수 있다.

$$\Delta T = \Delta V_{LF} K_V \quad (4)$$

여기서 ΔT 는 루프 필터 전압 변화에 (ΔV_{LF}) 따른 지연시간 변화량(지터)이다. 전체 DLL의 지터 특성은

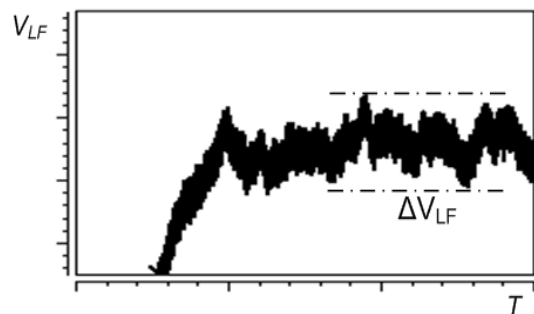


그림 2. ΔV_{LF} 정의를 위한 DLL 시뮬레이션 파형
Fig. 2. Simulation result of DLL to define ΔV_{LF} .

루프 필터 전압 변화량에 의해 결정된다. 즉, ΔV_{LF} 가 작을수록 ΔT 의 크기가 작아져 지터특성이 개선된다.

3. 제안한 루프필터

본 논문에서 제안한 루프필터 구조는 그림 3 (a)과 같은 기본 구조를 포함해서, 그림 4 (a)의 effective feedback loop가 포함된 구조와 그림 5(a)의 sampling 커패시터가 포함된 것이다. 앞서 언급한 3종류와 각 구조에 저역통과필터(low pass filter : LPF)를 추가로 연결시킨 구조까지 총 6개로 구분한다.

그림 3 (a)의 하나의 커패시터로 구성된 루프 필터는 구조가 간단하나 지터의 크기를 결정하는 ΔV_{LF} 의 크기를 줄이기는 미흡하다. 그림 3 (b)에 나타난 바와 같이 ΔV_{LF} 를 더욱 더 줄이기 위해 또 하나의 높은 주파수 대역에 위치하는 LPF를 추가 하였다. 추가된 LPF의 극점이 높은 주파수 대역에 위치함으로써 안정성을 해치지 않고 ΔV_{LF} 를 줄일 수 있다.

그림 4 (a)는 기존 구조인 하나의 커패시터로 구성된 루프필터에 effective feedback loop 역할을 하는 커패

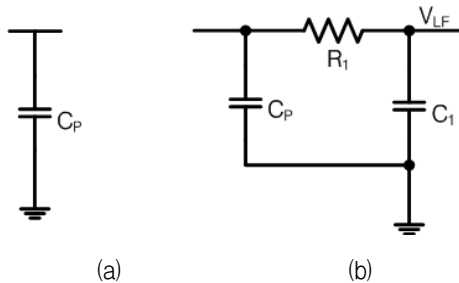


그림 3. (a) 기본 및 (b) LPF가 추가된 루프필터 구조
Fig. 3. (a) Basic LF (b) Basic LF with additional LPF.

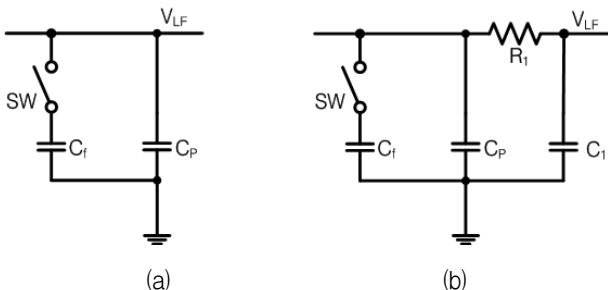


그림 4. (a) Effective feedback loop가 포함된 LF,
(b) Effective feedback loop가 포함된 LF에 LPF가 추가된 루프필터 구조
Fig. 4. (a) Basic LF with effective feedback loop
(b) Basic LF with effective feedback loop and additional LPF.

시터와 스위치를 추가 한 것이다. 스위치는 DLL의 출력 신호를 2분주한 신호에 의해 제어된다. 스위치가 “on” 되면, UP 신호에 의해 C_p 에 충전된 전하가 C_f 로 이동하여 V_{LF} 는 감소하고, DN 신호에 의해 C_p 에서 전하가 감소하면 C_f 에서 C_p 로 전하가 이동하여 V_{LF} 는 증가한다. C_f 는 V_{LF} 가 증가하면 감소시켜주고, 감소하면 증가시켜 주어 effective negative feedback 역할을 한다. 이는 기준 신호 한주기 동안 발생하는 지연 크기를 줄여준다. 그러므로 C_f 가 제안한 DLL이 기존 구조인 하나의 커패시터로 루프필터를 가진 DLL 보다 더욱 더 안정하게 동작하도록 하여 ΔV_{LF} 크기를 감소 시켜준다. 그림 4 (b)는 스위치 동작에 위한 루프필터 전압 변화를 줄이기 위해 높은 주파수 대역에 위치하는 LPF를 삽입하였다.

그림 5 (a)는 기존 구조인 하나의 커패시터로 구성된 루프필터에 sampling 역할을 하는 커패시터와 스위치를 추가 한 것이다. 스위치는 DLL의 출력 신호를 2분주한 신호에 동작한다. CP가 기준 신호와 VCDL 출력 신호 차이에 상응하는 전하를 출력하면 sampling 커패시터 C_s 가 충전/방전된다. 스위치가 “on” 되면 C_p 는 C_s 에 의해 충전/방전되어 V_{LF} 는 증가/감소한다. Sampling 커패시터 C_s 에 충전되어 있는 전하가 DLL의 출력 신호를 2분주한 신호에 의해 조금씩 로 전달되어 ΔV_{LF} 크기를 감소 시켜준다. 그림 5 (b)는 스위치 동작에 위한 루프필터 전압 변화를 줄이기 위해 높은 주파수 대역에 위치하는 LPF를 삽입하였다.

고정 시간은 기존 하나의 커패시터로 구성된 루프 필터로 이루어진 DLL 보다 증가한다. 루프필터 전압 변화를 더 줄이기 위해 LPF를 추가한 구조는 고정 시간이 더 길어진다. LPE가 추가되면 극점이 생성되어 안

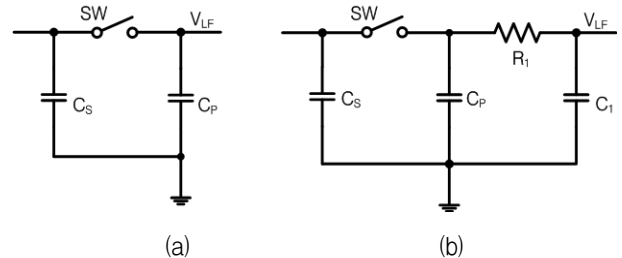


그림 5. (a) Sampling 커패시터가 포함된 LF,
(b) Sampling 커패시터가 포함된 LF에 LPF가 추가된 루프필터 구조
Fig. 5. (a) Basic LF with sampling capacitor, (b) Basic LF with sampling capacitor and additional LPF.

정도가 나빠질 수 있다. 그러므로 추가된 LPE의 R_1 과 C_1 값을 조절하여 생성된 극점이 높은 주파수 대역에 위치하도록 해야 한다.

III. DLL 주요 블럭

이 논문에서 사용된 지연고정루프는 그림 1의 기존 구조의 DLL에 주파수 체배기 (Frequency Multiplier) 추가된 것이다^[9, 12]. 전압제어지연단은 10개의 지연소자로 구성되어있으며, 각 지연소자는 차동구조로 설계하였다^[9]. 각 지연소자에는 지연고정루프의 루프필터에 걸리는 전압이 제어전압으로 인가되어 지연정도를 조절하고, 각 지연단에 공통으로 인가되어 전체 지연정도를 결정한다. 주파수 체배기는 엣지 검출기(edge detector)와 펄스신호합성기(pulse combiner)로 구성되며, 각 지연단의 출력신호를 엣지 검출기로 입력으로 하여 신호의 상승 엣지를 감지하여 펄스신호로 만들어 펄스 합성기에서 각 펄스신호를 합성하여 1GHz 주파수의 신호를 출력한다. 본 논문에서는 100MHz의 높은 주파수를 입력신호로 사용한다. 이러한 이유로 빠른 스위칭 동작뿐 아니라 적은 전력 소모의 우수한 성능을 나타내는 TSPC-DFF 2개와 NOR게이트로 구성된 위상-주파수 검출기를 사용하였다. 전하펌프를 구동하는 UP/DN 신호 경로에 버퍼를 사용하여 두 신호간의 시간적 불일치를 줄이도록 설계하였다. 전하펌프는 출력노드의 전압이 1.0V일 때 UP전류와 DN전류가 같아지도록 설계하였다.

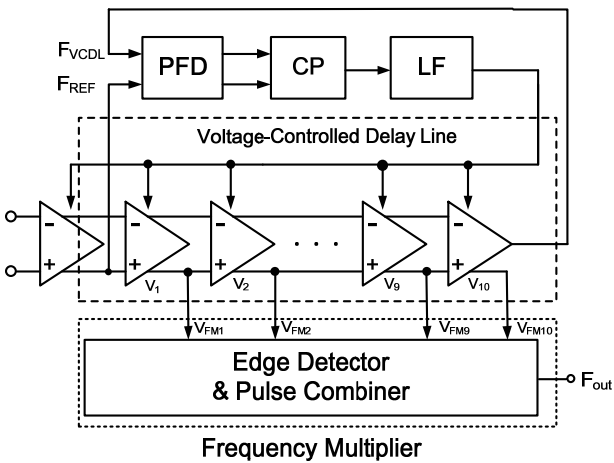


그림 6. 제안된 지연고정루프의 구조
Fig. 6. Architecture of proposed DLL.

전압제어지연단은 지연 정도를 결정하는 제어전압이 전압제어저항(Voltage-controlled resistance)을 통해 10개의 지연소자로 공통으로 인가되어 지연정도를 제어한다. 지연고정루프가 고정될 경우 100MHz 입력신호

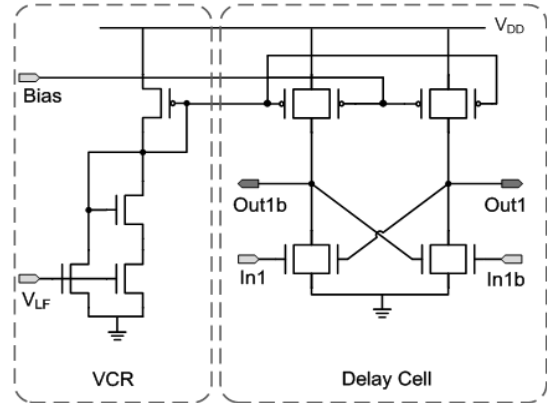
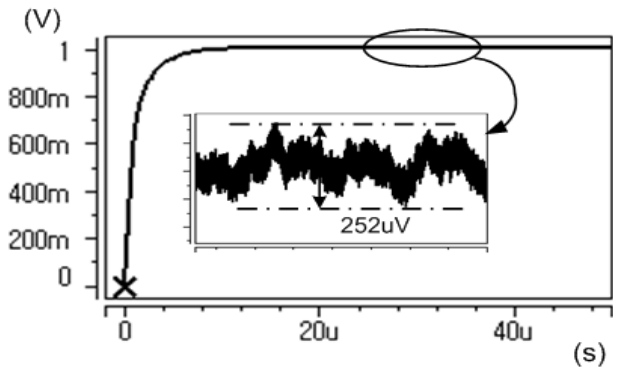
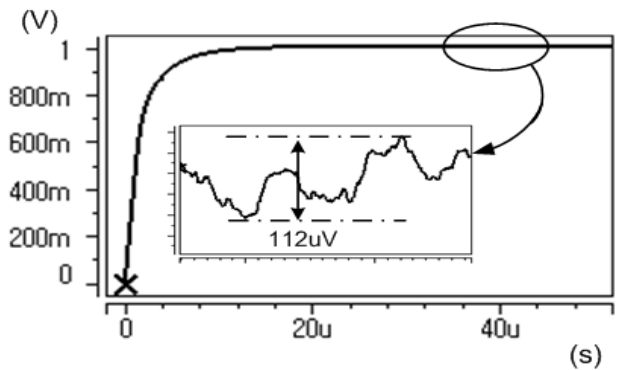


그림 7. 전압제어 저항과 지연소자
Fig. 7. Circuit of Voltage Controlled Resistor & Delay Cell.



(a)



(b)

그림 8. V_{LF} 및 ΔV_{LF} 시뮬레이션 파형 (a) 기본구조, (b) LPF가 추가된 루프필터 구조
Fig. 8. Simulation result of V_{LF} and ΔV_{LF} , (a) in basic LF, (b) in basic LF with additional LPF.

가 하나의 지연소자를 통과할 때 마다 1ns씩, 총 10ns 가 지연되도록 설계하였다. 그림 7은 전압제어지연단에 사용된 지연소자와 전압제어저항의 회로도이다. 주파수 체배기는 엡지 검출기와 펄스신호 합성기로 이루어져 있다^[9]. 엡지 검출기는 전압제어지연단의 각 단위 지연 단에서 받은 클럭 신호의 상승 엡지를 감지하고 약간의 지연 시간을 주어 하나의 작은 펄스신호를 만들어 낸다. 펄스신호합성기는 엡지 검출기에서 만든 펄스신호를 입력으로 받아 주파수 신호로 합성한다. 지연고정루프가 고정이 된 경우 각 지연단의 출력신호는 1ns의 간격을 가지며 주파수 체배기를 통과하여 1GHz의 주파수 신호가 출력이 된다.

IV. 시뮬레이션 결과 및 고찰

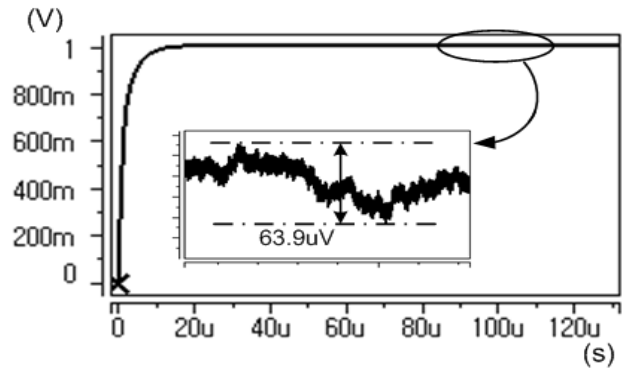
본 논문에서 사용한 지연고정루프는 0.18 μ m CMOS 공정 변수를 이용하여 HSPICE로 시뮬레이션을 수행하고 회로의 동작을 검증하였다. 기준 신호 100MHz에서 루프필터 전압이 1.0V일 때 고정이 되며, VCDL의 지연 시간이 10ns가 되도록 설계하였다. 그림 8-10은 본 논문에서 제안한 6개의 루프필터 구조에 대하여 각각의 V_{LF} 와 ΔV_{LF} 를 나타낸 것이다. 각 구조는 최대 200 μ s까지 시뮬레이션을 진행하였고, 고정이 된 이후 ΔV_{LF} 가 가장 높은 수치를 측정하였다.

시뮬레이션 조건은 다음과 같다. 기준 신호(F_{REF})는 100MHz이며 CP의 전류는 200 μ A이다. 루프필터 소자 값은 표 1과 같다.

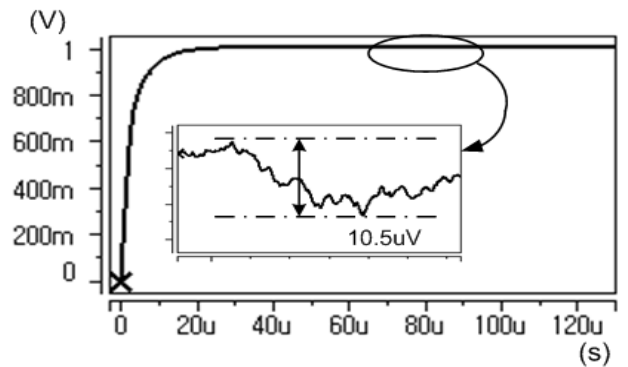
각 루프필터에 따른 V_{LF} 시뮬레이션 결과를 ΔV_{LF} 크기에 따라 표 2에 나타내었다. 가장 간단한 구조의 하나의 커패시터로 구성된 루프필터의 ΔV_{LF} 가 가장 크다. 이 루프필터에 LPF를 추가하면 ΔV_{LF} 는 1/2 크기로 작아진다.

기존 구조인 하나의 커패시터로 구성된 루프필터에 effective feedback loop 역할을 하는 커패시터와 스위치를 추가 한 것은 ΔV_{LF} 의 크기가 기존 하나의 커패시터로 구성된 루프필터와 비교하면 거의 1/4 크기로 줄어진다. 이 루프필터에 LPF를 추가하면 ΔV_{LF} 는 1/25 크기로 작아진다.

기존 구조인 하나의 커패시터로 구성된 루프필터에 sampling 역할을 하는 커패시터와 스위치를 추가 한 것은 ΔV_{LF} 의 크기가 기존 하나의 커패시터로 구성된 루



(a)



(b)

그림 9. V_{LF} 및 ΔV_{LF} 시뮬레이션 파형 (a) Effective feedback loop가 포함된 LF 구조, (b) Effective feedback loop가 포함된 LF에 LPF가 추가된 루프필터 구조

Fig. 9. Simulation result of V_{LF} and ΔV_{LF} (a) in basic LF with effective feedback loop, (b) in basic LF with effective feedback loop and additional LPF.

표 1. 루프필터 소자 값

Table 1. Resistance and capacitance of loop filter.

	C_P	C_f	C_S	R_1	C_1
그림 3 (a)	200pF	•	•	•	•
그림 3 (b)	200pF	•	•	1k Ω	200pF
그림 4 (a)	200pF	100pF	•	•	•
그림 4 (b)	200pF	100pF	•	1k Ω	200pF
그림 5 (a)	200pF	•	200pF	•	•
그림 5 (b)	200pF	•	200pF	1k Ω	200pF

프필터와 비교하면 거의 1/12 크기로 줄어진다. 이 루프필터에 LPF를 추가하면 ΔV_{LF} 는 1/25 크기로 작아진다.

지터 크기가 식 (4)에 나타난 것과 같이 ΔV_{LF} 에 선형적으로 비례한다면 제안된 다양한 구조의 루프필터는 지터 크기를 획기적으로 줄일 수 있다. 고정 시간이 기

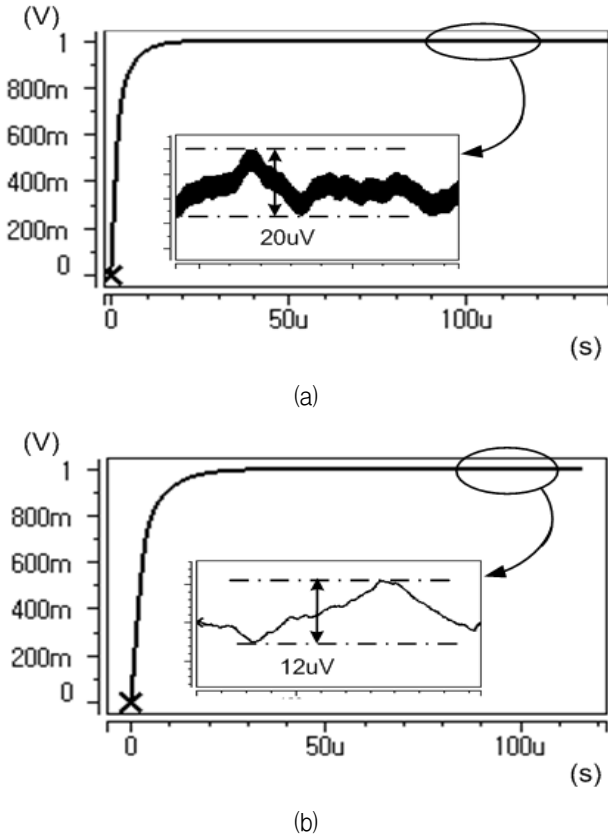


그림 10. V_{LF} 및 ΔV_{LF} 시뮬레이션 파형, (a) Sampling 커패시터가 포함된 LF (b) Sampling 커패시터가 포함된 LF에 LPF가 추가된 루프필터 구조

Fig. 10. (a) Simulation result of V_{LF} and ΔV_{LF} in basic LF with sampling capacitor, (b) Simulation result of V_{LF} and ΔV_{LF} in basic LF with sampling capacitor and additional LPF.

표 2. 다양한 루프필터를 사용한 위상고정루프의 고정시간과 ΔV_{LF} 결과

Table 2. Locking time and ΔV_{LF} of DLL with various filters.

구조	고정시간	ΔV_{LF}
그림 3 (a)	20us	252uV
그림 3 (b)	35us	112uV
그림 4 (a)	40us	63.9uV
그림 4 (b)	65us	10uV
그림 5 (a)	40us	20uV
그림 5 (b)	60us	12uV

존 구조보다 최대 3배로 증가한다. 루프필터에 사용된 커패시터 용량 증가와 저항에 의해 시정수 값이 커져 고정 시간이 증가 하였다. 지터의 크기가 고정 시간보다 더 중요한 부분에서는 다양한 구조의 루프필터를 사용하면 된다.

V. 결 론

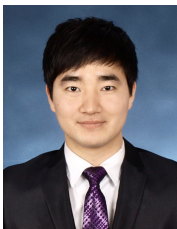
본 논문에서는 100MHz의 입력 신호를 사용하여 1GHz의 낮은 지터 값을 가지는 출력 신호를 얻기 위해 다양한 구조의 루프필터를 사용하여 지연고정루프를 설계하였다. 기존 구조인 하나의 커패시터로 구성된 루프필터에 sampling 역할을 하는 커패시터와 스위치, 그리고 LPF를 추가 한 것은 기존 하나의 커패시터로 구성된 루프필터와 비교하면 ΔV_{LF} 의 크기가 거의 1/25 크기로 줄어진다. 기본적인 지연고정루프에 다양한 구조의 루프필터를 사용하면 고정시간이 증가하나 지터 특성이 향상됨을 보여준다. 지터의 크기가 고정 시간보다 더 중요한 부분에서는 다양한 구조의 루프필터를 사용하면 된다. 가까운 미래에 칩으로 제작하여 루프필터에 따른 특성을 측정할 계획이다.

REFERENCES

- [1] Novak, O. and Charles, C. and Brown, R.B., "A fully integrated 19 pJ/pulse UWB transmitter for biomedical applications implemented in 65 nm CMOS technology", *IEEE International Conference on Ultra-Wideband (ICUWB)*, pp.72-75, Sept. 2011.
- [2] Hart, J. et al., "3.6GHz 16-core SPARC SoC processor in 28nm", *IEEE International Solid-State Circuits Conference*, pp. 48-49, Feb. 2013.
- [3] Zianbetov, E. et al. "A Digitally Controlled Oscillator in a 65-nm CMOS process for SoC clock generation", *IEEE International Symposium Circuits and Systems (ISCAS)*, pp. 2845-2848, May. 2011.
- [4] Y. G. Song, Y. S. Choi J. G. Ryu, "A Fast Locking Phase Locked Loop with Multiple Charge Pumps", *Journal of the Institute of Electronics Engineers of Korea-SD* vol. 46 no. 2, pp. 71-77, Feb. 2009.
- [5] Y. T. Kim et al., "A low-power programmable DLL-based clock generator with wide-range anti-harmonic lock", *International SoC Design Conference (ISOCC)*, pp. 520-523, Nov. 2009.
- [6] K. H. Ryu and D. H. Jung and S. O. Jung, "A DLL With Dual Edge Triggered Phase Detector for Fast Lock and Low Jitter Clock Generator", *IEEE Transactions On Circuits And Systems -*

- I: Regular Papers*, vol. 53, no. 5, pp. 1860-1870, May. 2006.
- [7] S. W. Hwang et al., "A Self-Calibrated DLL-Based Clock Generator for an Energy-Aware EISC Processor", *IEEE Transactions On Very Large Scale Integration (VLSI) Systems*, vol. 21, no. 3, pp. 575-579, March. 2013.
- [8] Po-Chun Huang et al, "A phase error calibration DLL with edge combiner for wide-range operation", *New Circuits and Systems Conference (NEWCAS)*, 2011 IEEE 9th International, pp.1-4, June. 2011.
- [9] J. H. Nam, Y. S. Choi, "A Clock Generator with Jitter Suppressed Delay Locked Loop" *Journal of the Institute of Electronics Engineers of Korea-SD*, vol. 49 no. 7, pp.17-22, July. 2012.
- [10] K. J. Hsiao and T. C. Lee, "An 8-GHz to 10-GHz distributed DLL for multiphase clock generation," *IEEE J. Solid-State Circuits*, vol. 44, no. 9, pp. 2478-2487, Sept. 2009.
- [11] John G. Maneatis, "Low-jitter process-independent DLL and PLL based on self-biased techniques," *IEEE J. Solid-State Circuits*, vol. 31, no. 11, pp. 1723-1732, Nov. 1996.
- [12] G. Chien and P. R. Gray, "A 900-MHz local oscillator using a DLL-based frequency multiplier technique for PCS applications", *IEEE J. Solid-State Circuits*, vol. 35, no. 12, pp. 1996-1999, Dec. 2000.

저 자 소 개



최 현 우(정회원)
2012년 부경대학교 전자공학과
학사 졸업.
2012년 부경대학교 전자공학과
석사 입학.
<주관심분야 : PLL, DLL 설계>



최 영 식(정회원)
1982년 경북대학교 전자공학과
학사 졸업.
1986년 Texas A&M University
전자공학과 석사 졸업.
1993년 Arizona State University
박사 졸업.
1987년~1999년 SK Hynix (구 현대전자)
1999년~2003년 동의대학교 전자공학과 교수
2003년~현재 부경대학교 전자공학과 교수
<주관심분야 : PLL, DLL, CDRC 설계>