

Heat Conduction Analysis of Metal Hybrid Die Adhesive Structure for High Power LED Package

Hae-Dong Yim, Bong-Man Choi, Dong-Jin Lee, Seung-Gol Lee, Se-Geun Park, and Beom-Hoan O[†]

School of Information and Communication Engineering, Inha University, LED-Smart Technology Advanced Research Center (LED-STAR), 253 Yonghyun-dong, Nam-gu, Incheon 402-751, Korea

(Received September 26, 2013; Revised manuscript November 27, 2013; Accepted November 27 2013)

We present the thermal analysis result of die bonding for a high power LED package using a metal hybrid silicone adhesive structure. The simulation structure consists of an LED chip, silicone die adhesive, package substrate, silicone-phosphor encapsulation, Al PCB and a heat-sink. As a result, we demonstrate that the heat generated from the chip is easily dissipated through the metal structure. The thermal resistance of the metal hybrid structure was 1.662 K/W. And the thermal resistance of the total package was 5.91 K/W. This result is comparable to the thermal resistance of a eutectic bonded LED package.

Keywords: Light emitting diode (LED), Die bonding, Thermal bypass metal, Metal-silicone network

OCIS codes: (230.0230) Optical devices; (230.3670) Light-emitting diodes

고출력 LED 패키지의 열 전달 개선을 위한 금속-실리콘 병렬 접합 구조의 특성 분석

임해동 · 최봉만 · 이동진 · 이승걸 · 박세근 · 오범환[†]

인하대학교 정보통신공학과 고성능 LED 조명모듈 핵심기술 연구센터(LED-STAR)

☎ 402-751 인천광역시 남구 용현동 253

(2013년 9월 26일 받음, 2013년 11월 27일 수정본 받음, 2013년 11월 27일 게재 확정)

고출력 LED 패키지의 방열 특성 향상을 위하여, 다이 접합부에 실리콘 접착제와 금속 패턴의 병렬 접합 구조를 적용하여 열 유동 해석을 수행하였다. 그 결과, LED 칩에서 발생한 열은 주로 금속 패턴 구조물을 통해 기판으로 효과적으로 전달되고 있으나, 패턴 구조물의 크기에 따라 효율의 차이가 있음을 확인하였고, 그 효과를 정량화하기 위해 정규화 길이를 도입하여 칩과 금속 패턴 구조물의 면적에 따른 열 저항을 비교하였다. 정규화 길이가 길어지면 금속 패턴 구조물에 의한 열 우회 경로가 칩에 고르게 분포하여 열 저항이 감소하였으며, 그 값은 단순 병렬 열 저항 이론 값보다 다소 큰 수치로 수렴하지만, 충분한 열 저항 개선 효과를 얻을 수 있었다.

Keywords: 발광 다이오드, 다이 본딩, 열 우회 금속, Metal-epoxy network, 금속-실리콘 네트워크

OCIS codes: (230.0230) Optical devices; (230.3670) Light-emitting diodes

I. 서 론

질화갈륨(GaN) 기반의 청색 LED(Light Emitting Diode)가 개발된 이후로 LED는 그 응용분야가 급격하게 확산되고 있다. 특히, 청색 빛과 형광물질(Phosphor)을 이용한 백색 LED는 광 출력이 향상됨에 따라 일반 조명 분야에서도 사용되기 시작했다. 기존의 연구들은 LED 패키지의 광 출력 향상을 목표로 수행되고 있으며,^[1, 2] LED의 광 출력이 향상됨에 따라 발생하는 발열 문제를 해결하기 위한 연구도 다방면으

로 진행되고 있다. 방열 측면에서는 새로운 칩 구조, 칩의 부착 방법, 고 방열 기판 등이 연구되고 있다.^[2-5] 특히, 칩을 부착하는 다이 본딩(Die bonding) 방법에 따라 접합부 열 저항(Thermal resistance) 변화폭이 크기 때문에 패키지의 방열 특성에 매우 중요한 역할을 한다.^[6-8]

LED 칩을 패키지 기판에 부착하는 다이 본딩 방법은 크게 두 종류로, 패키지 기판에 고분자계 접착제를 토출(Dispensing)하여 LED를 부착하는 방법과 솔더링(Soldering)을 포함하여 합금으로 용접을 하는 공융 접합(Eutectic bonding) 방법이

[†]E-mail: obh@inha.ac.kr

Color versions of one or more of the figures in this paper are available online.

있으며, 그 장단점을 정리하면 다음과 같다.^[6-8]

첫 번째로, 고분자계 접착제는 낮은 가격과 탁월한 공정성을 무기로 주로 1 W급 이하 수평형(Lateral) 칩의 부착에 사용되어 왔다. 고분자 접착제 중에 주로 실버 에폭시(Ag epoxy)가 사용되며, 그 열전도도(Thermal conductivity)는 23 W/m·K 수준으로 향상되었다. 또한, 최근에는 광학적 특성이 뛰어난 실리콘 접착제(Silicone die adhesive)도 사용되고 있지만, 열전도도는 1 W/m·K 이하 수준으로 매우 낮기 때문에 고효율 LED의 접합에 사용하기에는 무리가 있다. 이러한 에폭시 계열을 이용한 접합 방식은 열팽창 계수가 LED나 기판 물질과 비슷하며, 기포(Air void) 발생 비율이 작아 접착 신뢰성이 뛰어나다. 하지만, 공정과정에서 접착제가 균일하게 퍼지지 않는 경우, 접착력이 떨어지고 발광 효율에 영향을 미치며, 재료 자체의 낮은 열전도도로 인하여 열 방출이 어렵고, 고온에서 열화 현상이 발생하는 단점이 있다. 특히 낮은 열전도도로 인하여 LED 칩 내에 갇혀있는 열은 패키지의 수명과 효율에 큰 영향을 미친다.

두 번째로, 금속 합금 재료가 사용되는 공용 결합방법은 금속 합금의 높은 열전도도(AuSn_(80/20) = 57 W/m·K, SnPb_(63/37) = 50 W/m·K)로 인하여 열이 많이 발생하는 고효율 LED의 접합에 주로 사용된다. 대부분의 고효율 LED 패키지는 수직형(Vertical) 칩을 공용 접합 방법으로 패키지 기판에 부착하는 구조이며, 이러한 구조는 열 전달 경로상에 열전도율이 높은 물질만 사용함으로써 이론적으로는 패키지의 열저항을 2~3 K/W 이하로 제작할 수 있다. 하지만 접합부에 발생하는 기포에 의하여 접촉 열저항(Contact thermal resistance)이 증가할 수 있으며, 금속의 용융점(180~280°C)이 상대적으로 높아 열 응력에 의한 LED 칩의 손상이 발생할 수 있고, LED 사용 환경에서 결합층이 약해져 접합 신뢰성이 떨어질 수 있다. 또한, 비용적 측면에서 에폭시 토출 방법보다 경쟁력이 떨어진다.

따라서 금속 접합 방법과 에폭시 토출 방법의 혼합을 통해 기존의 패키지 방열 성능을 향상시키기 위하여, 본 논문에서는 다이 접합부에 금속 패턴과 실리콘 접착제의 혼합 구조를 적용하여 열·유동 전산모사를 수행하였으며, 그 결과 다이 접합부의 방열 특성이 향상된 것을 확인하였다. 전산모사를 통해 LED 칩에서 발생한 열은 주로 금속 패턴을 통해 기판으로 효과적으로 전달됨을 확인하였다. 또한, 금속 패턴과 실리콘 접착제 간의 접합부 경계 길이를 칩의 둘레로 정규화하여 금속 패턴의 최적화 크기를 도출 하였다. 이와 같은 결과는 LED 패키지의 방열 향상에 중요하게 활용될 수 있을 것으로 기대한다.

II. 다이 접착제의 열전도도에 따른 방열 특성 비교

칩에서 발생한 열은 주로 전도를 통해 방열판(Heat sink)에 전달되며, 전달된 열은 대류와 복사를 통해 공기 중으로 방사된다. 따라서 패키지 방열은 주로 전도를 고려하여 열 저항을 낮추는 방향으로 설계한다. 전도만 고려하는 경우, 물

질의 열 저항은 열 전도도와 물리적 크기에 의해 다음과 같은 식으로 계산된다.

$$R_{th} = \frac{L}{kA}$$

위 수식에서 k(W/m·K)는 열 전도도, A는 접합 면적, L은 두께이다. 다이본딩 물질도 위 수식을 통해 열 저항 예측이 가능하지만, 이종 물질간의 접합부에서 발생하는 접촉 열 저항에 의해, 계산 결과와 실제 측정 결과는 상당한 차이를 보인다. 접촉 열 저항은 접합 특성, 유효 접합 면적, 기포의 분포(air void distribution), 기판의 접합부 표면 특성 등에 따라 달라지는 것으로 알려져 있지만, 쉽게 예측하기 어렵다. 이론 수식을 통한 계산된 열 저항과 측정 결과의 차이를 접촉 열 저항으로 정의하면, 접촉 열 저항은 합금 계열에 비해 에폭시를 사용한 경우가 더 작으며, 첨가물이 없는 실리콘 접착제의 경우 열 전도도가 낮아 열 저항은 크지만 접촉 열 저항은 매우 작은 편이다. 전산모사에서는 접촉 열 저항의 영향을 고려하기 어렵기 때문에, 먼저 본 논문에서는 접촉 열 저항이 작은 재료를 고려하여 열 전도도에 따른 패키지의 방열 특성을 전산모사 하였다. 패키지 구조를 1차원 열전도 모델로 고려하여 나타내면 그림 1과 같다. 패키지는 접착제를 이용하여 수평형 칩을 리드 프레임(lead-frame)에 부착한 구조이며, 패키지는 알루미늄(Al PCB)기판에 접합하여 방열판 위에 올려놓았다. 각 물질의 열 전도도와 크기는 표 1에

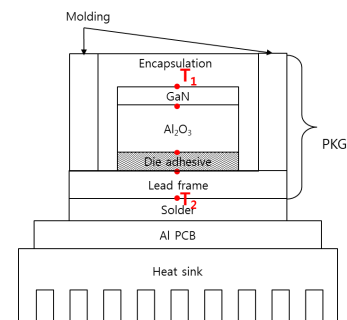


FIG. 1. Simplified model of simulation structure.

TABLE 1. Geometrical dimensions and thermal conductivity of LED package components

Part	Dimension (mm)	K (W/m·K)
GaN	1.15 x 1.15 x 0.003	130
Al ₂ O ₃ (Sapphire)	1.15 x 1.15 x 0.14	23
Die adhesive	1.15 x 1.15 x 0.01	0.2 0.6 8 22
Molding	3.5 x 3.5 x 0.35	0.6
Lead Frame	3.5 x 3.5 x 0.25	259.55
Encapsulation	R : 1.05 H : 0.35	0.2
Al PCB	20 x 20 x 1.2	205
Heat sink (Al-Extruded)	50 x 50 x 50	205

TABLE 2. Comparison of thermal resistance between the silicone and Ag epoxy

Thickness = 10 μm k (W/m · K)	Silicone die adhesive				Ag epoxy			
	0.2		0.6		8		22	
	CFD	Calculated	CFD	Calculated	CFD	Calculated	CFD	Calculated
$R_{th,sapphire}$ (K/W)	4.400	4.603	4.520	4.603	4.542	4.603	4.542	4.603
$R_{th,die\ adhesive}$ (K/W)	24.413	37.807	8.409	12.602	0.871	0.945	0.338	0.344
$R_{th,lead\ frame}$ (K/W)	11.382	0.079	4.391	0.079	0.627	0.079	0.569	0.079
$R_{th,j-c}$ (K/W)	40.240	42.506	17.329	17.301	6.049	5.644	5.458	5.042
$(R_{th,die\ adhesive}/R_{th,j-c}) \times 100$ (%)	60.7	88.95	48.5	72.84	14.4	16.74	6.2	6.8

나타내었다. 접착제 물질은 실리콘 접착제($k = 0.2 \sim 0.6$ W/m · K)와 실버 에폭시($k = 8 \sim 22$ W/m · K)를 고려하였으며, 접합 면적(A)은 1.15×1.15 mm², 두께(L)는 10 μm 로 설정 하였다. 칩의 발열량은 2.25 W, 주변부 온도 20°C이며, 전산모사는 전산 유체 역학(Computational Fluid Dynamics, CFD) 소프트웨어 Ansys ICEPAK 을 이용하여 정상상태 자연대류 조건에서 수행하였다. 계산 영역은 $0.5 \times 0.5 \times 0.5$ m³ 으로 표준 열 저항 측정 챔버 크기와 같으며, 총 격자 수는 약 120만 개다.

전산모사 결과는 그림 1에 표시된 각 위치의 온도를 확인하여 패키지 구성 요소별 열 저항 및 전체 열 저항을 계산하여 표 2에 나타냈다. 표 2에서 CFD는 전산모사 결과에서 PN 접합(junction)과 리드 프레임 바닥 면의 온도차이를 이용하여 $R_{th,j-c} = \frac{T_1 - T_2}{P}$ 로 계산하였으며, Calculated는 $R_{th} = \frac{L}{kA}$ 수식을 통해 계산된 이론적인 열 저항 값을 의미한다.

표 2에 따르면, 패키지 열 저항 $R_{th,j-c}$ 전산모사 $r_{area} = A_m/A_d$ 결과는, 단순 직렬 접합 구조에 대한 이론 계산 결과와 매우 유사하지만, 세부 요소별 열 저항 값은 차이가 발생했다. 특히, 접합 면적이 달라지는 접착제와 리드프레임에서 열 저항 전산모사 값과 이론 값의 차이가 발생하며, 그 차이는 단순 직렬 접합 구조에 대한 이론 수식의 경우 물질간 접합 면적의 차이가 고려되지 않기 때문이다. 접착제의 좁은 면적에서 리드 프레임의 넓은 면적으로 전도가 이루어지기 때문에, 접착제의 열 저항은 이론 계산 값보다 감소하며, 리드 프레임의 열 저항은 이론 계산 값보다 증가한다. 그 증가, 감소 값은 서로 보상되기 때문에, 전체 패키지의 열 저항은 전산모사 결과와 단순 이론 수식 계산 결과가 유사하다. 또한, 열 저항 전산모사 값과 이론 계산 값의 차이는 열전도도가 낮은 실리콘 접착제의 경우가 더 크게 나타났으며, 이것은 접착제의 열전도 개선을 통해 접착제 열 저항뿐만 아니라 열 전달 경로상 접착제 이후 물질들의 열 저항도 개선됨을 나타낸다.

III. 금속-실리콘 병렬 접합 구조의 방열 특성

기존의 실리콘 접착제를 이용한 접합방식은 낮은 열전도도에 의해 열 저항이 상당히 크게 나타나기 때문에, 다이본딩

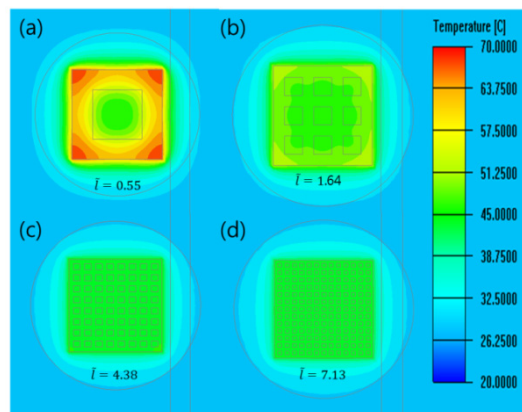


FIG. 2. Temperature distribution of LED top surface with thermal bypass metal. Normalized length is defined as boundary length between metal and epoxy divided by perimeter of chip. (a) N = 1, $\tilde{l} = 0.55$ (b) N = 3, $\tilde{l} = 1.64$ (c) N = 8, $\tilde{l} = 4.38$ (d) N = 13, $\tilde{l} = 7.13$.

부의 열전도 개선을 위하여 열 우회 금속(Thermal bypass Metal)을 적용하였다. 제안하는 접합 방법은 패키지 기판의 다이 접합부 또는 LED 칩 하부에 금속 패턴을 형성하고 기존의 디스펜싱 공정으로 칩을 접합하는 방법이다. 금속 패턴 (Ag, $k = 411$ W/m · K) 면적은 칩 면적의 30%로 하였으며, 접착제는 실리콘($k = 0.2$ W/m · K)을 고려하여 전산모사 하였다. 금속 패턴 적용 결과 패키지 열 저항은 기존 40.24 K/W 에서 16.3 K/W로 감소하였고, 다이 접합부 열 저항은 기존 24.41 K/W에서 9.42 K/W로 감소하여, 다이 접합부의 열 전달 특성이 매우 향상될 수 있음을 확인하였다. 금속 패턴이 적용된 LED 칩의 표면 온도 전산모사 결과를 그림 2(a)에 나타냈다. 그림 2(a)에 따르면 금속 패턴이 적용된 칩의 중심부는 효율적으로 열 전달이 이루어져 온도가 낮지만, 칩 바깥부분은 상대적으로 온도가 높은 것을 확인하였다. 따라서, 금속 패턴을 통한 열 전달 효과를 칩 전체에 고르게 분포하도록 하기 위해, 금속 패턴의 면적은 동일하게 유지하면서 패턴을 $N \times N$ 개로 분할하여, 분할 수(N)에 따른 전산모사를 수행하였다. 분할 수 N에 따른 칩 표면의 온도 분포 전산모사 결과를 그림 2에 나타냈으며, 그림 2에서 볼 수 있

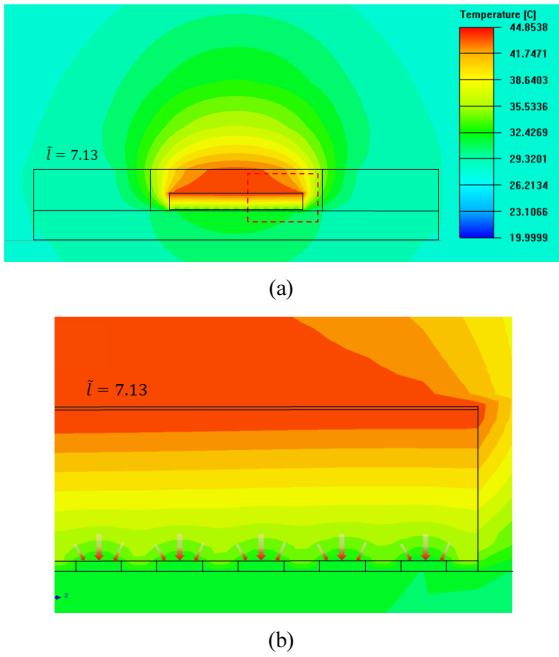


FIG. 3. Temperature distribution of LED package with thermal bypass metal. (a) cross-section of LED package. (b) enlarged result of LED chip and die bonding part.

듯이 N 이 커짐에 따라 금속이 고르게 분포하여 칩 표면 온도가 감소하는 경향을 보였다. 열 저항 값은 $N = 1$ 일 때 9.42 K/W 에서, $N = 13$ 일 때 1.662 K/W 로 감소하여, 열 전달 특성이 더욱 향상된 것을 확인하였지만, 단순 병렬 열 저항 이론에 의한 수치($\sim 0.06 \text{ K/W}$) 보다는 다소 큰 수치로 수렴한다. 그림 3은 $N = 13$ 인 경우, LED 패키지 및 칩 부분 확대 단면의 온도 분포를 나타내며, 그림 3(b)를 통해, 사파이어에 축적되어 있는 열이 주로 금속 패턴을 통해 패키지 기판에 효율적으로 전달되고 있는 것을 볼 수 있다. 이 때, 패키지의 열 저항은 5.91 K/W 이다. 이러한 경향성을 정량화하기 위해, 정규화 길이(normalized length, \tilde{l})를 정의하였다. 정규화 길이 \tilde{l} 은 금속 패턴과 실리콘 접착제간의 접합부 경계 길이와 칩 둘레 길이 비로 정의하였다. 칩의 폭(w_d)과 길이(l_d), 칩과 금속 패턴의 면적 비($r_{area} = \frac{A_m}{A_d}$)를 이용하여 금속 패턴의 면적을 나타내면 $A_m = r_{area}A_d = r_{area}w_d l_d$ 이고, $N = 1$ 일 때 금속 패턴의 폭(w_m)과 길이(l_m)를 이용하여 금속 패턴의 면적을 나타내면 $A_m = w_m l_m$ 이 된다. 두 식을 이용하면 금속 패턴의 폭 $w_m = \sqrt{r_{area}w_d}$ 이 되며, 길이 $l_m = \sqrt{r_{area}l_d}$ 이 된다. N 분할 된 금속 패턴과 실리콘 접착제간 접합부 경계 길이는 $2N(w_m + l_m)$ 이 되며, 칩 둘레 길이는 $2(w_d + l_d)$ 이므로 정규화 길이는

$$\tilde{l} = \frac{2N(w_m + l_m)}{2(w_d + l_d)} = \frac{2N\sqrt{r_{area}}(w_d + l_d)}{2(w_d + l_d)} = N\sqrt{r_{area}}$$

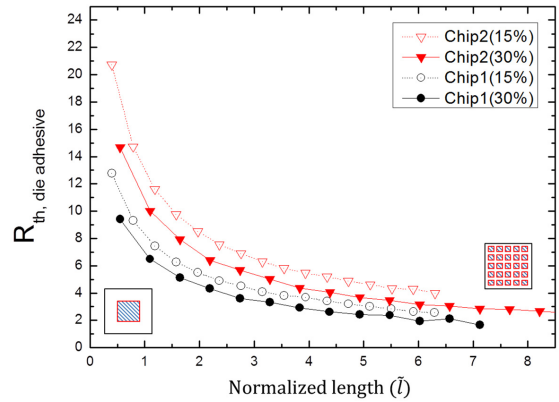


FIG. 4. Thermal resistance of die adhesive as a function of normalized length of thermal bypass metal.

이 된다. \tilde{l} 은 $N = 1$ 인 경우, 최소가 되며, 그 최소 값은 r_{area} 에 따라 달라짐을 알 수 있다.

정규화 길이에 따른 다이 접착부 열 저항 전산모사 결과를 그림 4에 나타내었으며, LED 칩 크기와 금속 패턴의 면적 (15%, 30%)에 따른 전산모사를 추가로 수행하여 정규화 길이에 따라 비교하였다. 참고로 칩2의 면적은 칩1 면적의 절반으로 $A_{chip2} = 1.12 \times 0.61 \text{ mm}^2$ 이다. 앞서 설명한 바와 같이, 분할 수 N 이 커져 열 우회 경로가 고르게 분포할수록 열 저항이 감소하며, 모든 경우에 그 값은 단순 병렬 열 저항 이론에 의한 수치보다는 다소 큰 수치로 수렴하고 있다. 이는 상당히 큰 정규화 길이 \tilde{l} 의 경우에도 금속 패턴 주변의 열 전도 벡터가 이론에서의 근사 조건을 만족하지 못하기 때문이지만, 실제적인 경우에 있어서는 충분한 열 저항 개선 효과를 주는 영역을 확인하고 활용하고자 한다. 면적 비 r_{area} 에 대하여, 금속을 통한 열 전달 효과가 칩 전체에 고르게 분포하도록 하는 적절한 분할치 N 을 선택함으로써 금속 패턴의 최적 크기를 도출할 수 있다. 또한, 그림 4를 통해 동일 정규화 길이 \tilde{l} 에 대하여 면적 비 r_{area} 이 15%에서 30%로 2배가 되면, 열 저항은 0.79-0.83배로 감소하며, 칩2에서 칩1로 면적이 2배가 되면, 열 저항은 0.66-0.69배로 감소한다. 일반적으로 단순 직렬 접합 구조에서는 면적이 2배로 증가하면 열 저항은 절반으로 감소될 것으로 기대되지만, 금속 패턴을 적용한 경우의 열 저항은 절반보다 큰 수치를 보이게 되는데, 이는 금속 패턴에 의한 열 저항 개선이 이미 적용되어 있어 면적 증대에 의한 추가 개선이 희석되었기 때문이다.

IV. 결 론

패키지의 방열 특성 분석을 위해, 칩 접착제의 열전도도에 따라 전산모사를 수행하여, 단순 이론 수치 계산 결과와 전산모사 결과를 비교하였다. 전체 패키지 열 저항은 이론 수치 계산 결과와 전산모사 결과가 유사하지만, 단순 이론 수치 계산 결과는 물질간 접합 면적의 차이가 고려되지 않기

때문에 세부 요소별 열 저항 전산모사 값은 이론 값과 차이가 발생한다. 특히, 열전도도가 낮은 실리콘 접착제의 경우 그 차이가 더 크게 나타났다. 반면에, 실버 에폭시의 경우, 현재 개발되고 있는 열전도도 수준으로도 열전도 특성이 뛰어난 패키지 설계가 가능함을 보였으나, 실버 함유량 증가에 따른 접촉 열 저항에 의한 영향을 예측할 수 없다는 단점이 있다.

따라서, 다이 접합부의 방열 특성 향상을 위해, 금속 접합 방법과 디스펜싱 방법의 혼합 구조를 고려하여, 다이 접합부에 금속 패턴을 적용하고 실리콘 접착제로 접합하는 방법을 제안하였다. 전산모사 결과, 대부분의 열이 금속 패턴을 통해 기판으로 효율적으로 전달되는 것을 확인하였으며, 혼합 구조의 열 저항은 실리콘 접착제만 사용한 경우에 비해 크게 감소하였다. 또한, 금속 패턴 구조물의 크기에 따라 효율의 차이가 있음을 확인하고, 금속 패턴을 분할하여 열 전달 경로를 칩 전체에 고르게 분포시킨 결과, 열 저항은 더욱 감소하였으며, 이러한 경향성을 정량화하기 위해, 정규화 길이(\tilde{l})를 도입하였다. 정규화 길이가 길어지면 금속 패턴 구조물에 의한 열 우회 경로가 칩에 고르게 분포하여 열 저항이 감소하며, 그 값은 단순 병렬 열 저항 이론 값보다 다소 큰 수치로 수렴하지만, 충분한 열 저항 개선 효과를 얻을 수 있었다. 마지막으로, 칩 크기 증가에 따른 열 저항 감소를 확인한 결과, 일반적인 기대 값보다 큰 값을 보였으나, 이는 금속 패턴에 의한 열 저항 개선 효과가 이미 적용되어 있어 면적 증가에 의한 열저항 개선 효과가 희석되었기 때문으로 판단된다. 이와 같이 제안된 금속-실리콘 병렬 접합 구조는 설계 및 공정이 간단하고 효율적으로 열 전달이 가능하여, LED 패키지의 방열 향상에 중요하게 활용될 수 있을 것으로 기대한다.

감사의 글

본 연구는 지식경제부 및 정보통신산업진흥원 대학 IT연구센터 육성지원 사업의 연구결과로 수행되었음(NIPA-2013-H0301-13-1010).

References

1. Z.-T. Li, Q.-H. Wang, Y. Tang, C. Li, X.-R. Ding, and Z.-H. He, "Light extraction improvement for LED COB devices by introducing a patterned leadframe substrate configuration," *IEEE Electron. Dev. Lett.* **60**, 1397-1403 (2013).
2. R.-H. Horng, K.-C. Shen, Y.-W. Kuo, and D.-S. Wu, "GaN light emitting diodes with wing-type imbedded contacts," *Opt. Express* **21**, A1-A6 (2013).
3. C. Tsou and Y.-S. Huang, "Silicon-based packaging platform for light-emitting diode," *IEEE Transactions on Advanced Packaging* **29**, 607-614 (2006).
4. L. Yin, L. Yang, W. Yang, Y. Guo, K. Mac, S. Li, and J. Zhang, "Thermal design and analysis of multi-chip LED module with ceramic substrate," *Solid-State Electronics* **54**, 1520-1524 (2010).
5. T. Kunimune, M. Kuramoto, S. Ogawa, M. Nogi, and K. Saganuma, "Low-temperature pressure-less silver direct bonding," *IEEE Trans. Compon. Packag. Manuf. Technol.* **3**, 363-369 (2013).
6. H.-H. Kim, S.-H. Choi, S.-H. Shin, Y.-K. Lee, S.-M. Choi, and S. Yi, "Thermal transient characteristics of die attach in high power LED PKG," *Microelectronics Reliability* **48**, 445-454 (2008).
7. B. Yan, J. Pyng You, N. T. Tran, Y. He, and F. G. Shi, "Influence of die attach layer on thermal performance of high power light emitting diodes," *IEEE Transactions on Components and Packaging Technologies* **33**, 722-727 (2010).
8. T.-y. Chung, J.-H. Jhang, J.-S. Chen, Y.-C. Lo, G.-H. Ho, M.-L. Wu, and C.-C. Sun, "A study of large area die bonding materials and their corresponding mechanical and thermal properties," *Microelectronics Reliability* **52**, 872-877 (2012).