

디스플레이용 박막 트랜지스터 기술의 이노베이션

Innovation of TFT Technology for Display

유병곤 (B.-G. Yu) 산화물 TFT 연구팀 책임연구원
박상희 (S.H. Ko Park) 산화물 TFT 연구팀 책임연구원
황치선 (C.S. Hwang) 산화물 TFT 연구팀 팀장

- I. 머리말
- II. TFT 기술개발의 역사
- III. 향후의 장래 기술 전망
- IV. 맺음말

액정 디스플레이의 산업 규모는 놀라운 속도로 확대되고 있다. 그 원동력이 된 것이 박막 트랜지스터(Thin Film Transistor: TFT) 기술의 발전에 있다. 비정질 실리콘(Amorphous Silicon: a-Si) TFT 기술은 대형 액정 TV를 탄생시키고, 저온 폴리실리콘 TFT는 휴대전화 등의 중소형 디스플레이와 AMOLED의 핵심 기술이 되었다. 또한 다양한 TFT 기술 seeds가 계속해서 출현하여 정보 인프라와 생활 스타일에 맞춘 새로운 정보기기의 출현을 예감시키고 있다. 새로운 응용제품의 요구는 새로운 기술 개발의 견인차가 되고 있다. 최근에는 이러한 요구에 따라 산화물 TFT, 마이크로 결정실리콘(microcrystalline Si: μ c-Si) TFT, 유기물 TFT 등의 기술도 활발하게 연구개발되고 있다. 본고에서는 지금까지의 TFT 기술 개발의 발전사를 되돌아보고 지금부터의 발전 방향을 박막 트랜지스터 기술 이노베이션 관점에서부터 전망하였다.

I. 머리말

제2차 세계대전 후 레이더의 성능을 개량하기 위해서, 반도체 검파기의 개량이나 진공관 증폭기 반도체화의 연구개발이 추진되어, 미국의 AT&T 벨 연구소에서는 1939년에 레이더의 검파기로서 게르마늄 반도체 다이오드가 발명되었다. 반도체 증폭기 개발 연구도 실시되고 있었는데, 1948년 6월 30일에 AT&T 벨 연구소의 월터 브래튼(Walter Brattain), 존 바딘(John Bardeen), 윌리엄 쇼클리(William Bradford Shockley)가 소속된 연구팀에 의해 반도체를 사용한 트랜지스터(transistor)가 발명되었다. 그것은 게르마늄에 가는 바늘을 접촉시킨 점접촉형 트랜지스터라고 하는 것이었다[1]. 트랜지스터의 어원은 '변화하는 저항을 통한 신호 변환기(transfer of a signal through a varister)'로부터 만들어진 합성어이다. 트랜지스터는 반도체를 이용한 전기신호를 증폭하는 소자로, 전자기기 산업에 있어서 가장 중요한 소자이다. 전계 효과 트랜지스터(field-effect transistor: FET)는 1925년에 캐나다의 리리언필드(Julius Edgar Lilienfeld)에 의하여 개념적인 특허가 출원되어 1930년에 등록되었다[2]. 그러나 제작이 쉬운 접합 트랜지스터(junction transistor)가 구현되고, 재료의 한계 때문에 오히려 전계효과 트랜지스터는 그 이후에 구현되었다. 1958년에는 복수의 트랜지스터를 작은 반도체 기판 상에 만들어 넣어 하나의 부품으로 완성한 집적회로(Integrated Circuit: IC)를 TI (Texas Instruments)사의 잭 킬비(Jack Kilby)가 만들어, 집적회로의 제조 기술은 경이적인 발전을 이루어 오늘의 계산기나 통신 기기, 가전제품에 다수 사용되고 정보화 사회를 지명하는 중요한 기술로 자라났다. 그 시기에 전계 효과 금속산화물 반도체(MOS-FET: Metal Oxide Semiconductor-Field Effect Transistor)를 강대원 박사가 1960년 미국 벨 연구소에서 세계 최초로 개발한 공로가 뒤늦게 알려져 최근에 미국 발명가 명예의 전당에 헌액된 것은 뜻

깊은 일이다¹⁾.

비정질 실리콘(Amorphous Silicon: a-Si) TFT(Thin Film Transistor) 기술은 연구개발이 시작된 지 아직 30년 정도 밖에 되지 않았다. 이 정도로 세상에 널리 퍼져서 생활 중의 필수품이 될 것이라고 누가 예상을 했을까? 이것을 생각하면 지금까지 경과한 시간의 짧은 것이 다시 한 번 놀라울 따름이다. 그러나 되돌아보면 그 길은 결코 평탄한 길은 아니었다.

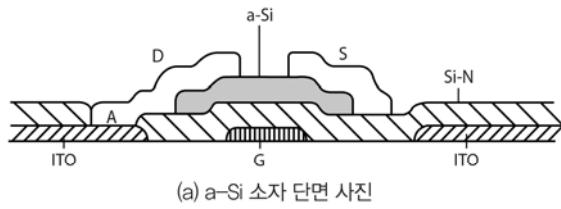
고성능 TFT의 연구개발은 아직 진행 중에 있으며, 어느 기술이 우승 후보자가 될지 정확하게 예측하기는 어렵다. 이러한 상황에서 TFT 기술의 발전 방향을 예측하기는 무척 어려우나 지금까지의 역사를 거슬러 올라가 달려온 길을 되돌아보는 것은 이제부터 나아갈 방향을 생각하는 데에 의미가 있을 것이다. 본고에서는 이러한 관점에서 박막 트랜지스터 기술의 이노베이션과 그 장래 전망에 대하여 서술하고자 한다.

II. TFT 기술 개발의 역사

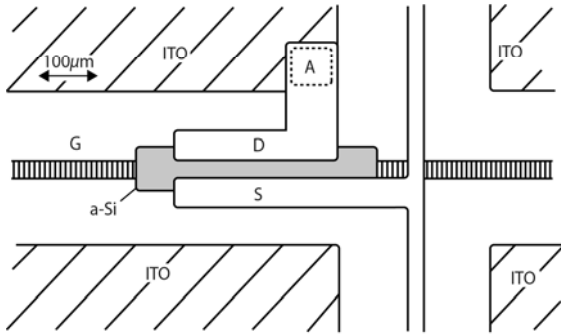
1. 비정질 실리콘 TFT 기술

수소화 비정질 실리콘(a-Si:H)의 박막 트랜지스터에 의 가능성을 제시한 것은 스코틀랜드에 있는 Dundee 대학의 W.E. Spear와 P.G. Le Comber이다. 그들은 1975년 glow 방전 플라즈마 CVD 장치를 이용하여 성막한 비정질 반도체 박막으로부터 p/n 제어가 가능하다는 것을 보여주었다. 이것은 a-Si:H에서는 실리콘 박막 중의 수소에 의해 dangling bond가 중단되기 때문에 P 또는 B 첨가에 의하여 그 전기 특성을 제어할 수 있다는 것을 보여주는 것이었다[3]. 또 1979년에는 a-Si를 사용하여 TFT를 제작하고 그 트랜지스터 특성으로부터 이 기술이 active matrix에 적용 가능한 것을 보여주었

1) http://www.invent.org/hall_of_fame/398.html



(a) a-Si 소자 단면 사진



(b) LCD array의 FET 소자

(그림 1) LCD에 FET 소자 적용

다. 1981년 a-Si TFT가 액정 디스플레이(Liquid Crystal Display: LCD)의 구동에 사용될 수 있는 가능성을 보여 주었다[4]. 이것을 계기로 하여 a-Si TFT의 연구개발이 일시에 가속화되는 전기가 되었다(그림 1) 참조).

1982년부터 각 패널메이커 회사의 a-Si TFT LCD의 시작품 발표가 이어졌다. 샤프는 1983년에 3인치 풀컬러 액정 패널의 proto type을 제작·발표하였다. 또 1986년에는 양산 실용화를 목표로 한 3인치 컬러 TV를 개발하여 다음 해인 1987년부터 생산·판매를 개시하였다. 그래서 1988년에는 14인치 TFT-LCD를 개발하였고, a-Si TFT-LCD가 음극선관(Cathode Ray Tube: CRT) 디스플레이를 교체하게 될 차세대 주류가 될 평판 패널 디스플레이(Flat Panel Display: FPD) 기술인 것을 보여주었다[5].

한편 TFT의 프로세스, 소자구조 개선도 진행되었다. 양산 개시 당초에는 TFT는 채널 부분을 절연막으로 보호하는 etch-stopper 구조를 채용하였지만 프로세스 단축, 간략화를 위하여 보호막을 사용하지 않은 channel etch 구조를 채용하게 되었다. 게이트 배선도 당초에는

Ta, Mo, Cr계 등의 고용점 재료로부터 전기저항이 낮은 Al계 재료로 교체되고 있다. 더욱이 액정 디스플레이 개구율 향상을 위해 bus line의 미세화와 기생용량의 소형화를 기하기 위해 수지층 간 절연막에 의하여 화소 전극을 확대한 SHA(Super High Aperture-ratio) 구조와 TFT 기판과 대향 기판의 alignment 정도의 향상을 위한 것을 포함하여 폭넓게 기술 개발이 이루어지고 있다.

또 당시에 종래기술만으로는 실현이 곤란하다고 생각되었던 40인치 이상의 대형 액정 패널 개발도 수행되었다. 두 장의 패널을 한 장과 같이 보이게 연결 결합시키는 'seamless multi panel' 기술과 플라즈마 디스플레이(Plasma Display Panel: PDP) 기술을 활용하여 플라즈마로 액정을 addressed하는 PALCD(Plasma Addressed Liquid Crystal Display)가 개발되었지만 생산까지는 가지 않았다.

a-Si TFT는 제조 프로세스가 짧고, 프로세스 온도가 낮기 때문에 대형 유리 기판을 이용한 디스플레이 생산에 적합하다. <표 1>에는 LCD를 사용한 유리 기판 사이즈의 추이를 표시하고 있다. 제1세대(G1) 사이즈의 TFT 액정 패널의 생산은 1987년에 개시하였다. 또 2009년에 Sharp사의 Sakai 공장에서는 G10 사이즈의 기판을 가진 액정 패널 생산이 시작되었다. 지금까지 22년 동안 유리 기판의 면적은 0.13m²에서부터 8.7m²으로 68배의 크기 변화가 이루어졌다. 또한 유리 두께

<표 1> Display 제작용 유리 기판 사이즈의 변천

Generation	Size(mm×mm)	면적(m ²)	개시연도
G1	320×400	0.13	1987
G2	360×465	0.17	1991
G3	550×650	0.36	1995
G4	730×920	0.67	2000
G5	1,100×1,300	1.4	2002
G6	1,500×1,800	2.8	2004
G8	2,160×2,460	5.3	2006
G10	2,850×3,050	8.7	2009

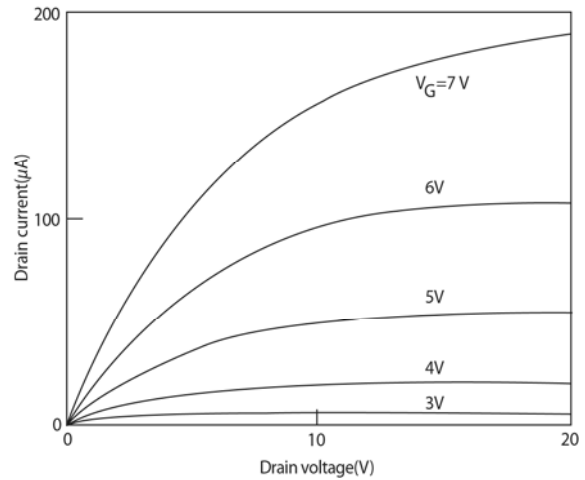
도 당초에 1.1mm였던 것이 현재는 0.7mm이며, 최근에는 더 얇은 roll-to-roll용의 수십 μm 의 유리 기판도 선보이고 있다. a-Si TFT의 역사는 한마디로 말하면 유리 기판의 대형·박화와 프로세스의 간략화에 의한 cost down, 그리고 안정적인 생산을 위한 process window 확대의 싸움이었던다고 말할 수 있다.

2. 저온 폴리실리콘 TFT 기술

비정질 실리콘(a-Si)을 결정화하여 TFT 성능을 향상시킬 수 있다고 하면 유리 기판 상에 집적회로(Integrated Circuit: IC)를 형성할 수 있지 않을까. 그 연장선 상에는 유리 기판을 사용하는 태블릿 PC도 있게 될 것이라고 생각된다.

다결정 실리콘(polycrystalline Silicon: p-Si) TFT는 a-Si TFT와 비교하여 전계 효과 이동도(μ_{FE})가 수백 배 높고, 고주파에서 높은 신호처리 능력을 발휘한다. 이것을 이용하여 액정 drive뿐만 아니라 전원과 controller, sensor 등의 회로, 기능소자를 유리 기판 상에 모놀리식(monolithic)하게 형성한다. 이것이 system-on-panel 개념이다.

p-Si TFT 개발은 IC 프로세스·소자를 모델로 한 고온 p-Si TFT로부터 시작되었다. 이것은 석영 기판 상에 $1,000^{\circ}\text{C}$ 정도의 고온 프로세스에서 TFT를 형성하는 것으로서 주로 view finder 등의 소형 디스플레이를 위해 개발·양산되고 있다. 이것을 유리 기판 상에 사용할 수 있도록 저온화가 가능하면 대면적의 유리 기판 상에도 회로 제작이 가능하다. 이것을 위해서는 600°C 이하의 저온 프로세스의 개발이 필요하다. 이것을 목표로 하여 기술적인 모색이 계속되었는데, (그림 2)에 보여주는 바와 같이 1986년에 Sony의 T. Sameshima에 의하여 발표된 엑시머 레이저 장치를 이용한 TFT 기술에 의하여 상황이 급변하였다. 질화 실리콘(SiN_x)을 알칼리 배리어 막으로 형성한 저알칼리 붕규산 유리(borosilicate glass) 위에 a-Si 막을 형성한 후 레이저를 이용하여



(그림 2) LTPS에 의한 소자의 전기적인 특성
($W/L=160\mu\text{m}/20\mu\text{m}$)

실온에서 결정화하였다. 얻어진 TFT 특성은 $V_{th}=3\text{V}$, $\mu_{FE}=180\text{cm}^2/\text{V}\cdot\text{s}$ 로 대단히 우수한 특성을 얻었다[6]. 이 보고를 계기로 저온 폴리실리콘(Low-Temperature Polycrystalline Si: LTPS)의 연구개발이 한층 가속되었다.

저온 폴리실리콘에서는 고온 폴리실리콘의 고온 프로세스가 저온처리로 치환된다. 사용되는 유리 기판은 열팽창 계수가 단결정 실리콘 기판과 가까워서 내열성이 우수한 알루미늄 실리케이트계의 재료이다. 우선 유리 기판 상에 SiO_2 등의 절연막을 하지층(buffer layer)으로 형성한다. 다음으로 실리콘 박막을 플라즈마 CVD(Plasma Enhanced Chemical Vapor Deposition: PECVD)로 형성한다. 그 후에 실리콘 막을 레이저에 의하여 결정화하지만 그 막 중에는 수%의 수소를 포함하고 있어서 그대로 레이저 조사를 행하게 되면 막이 벗겨질 위험이 있기 때문에 우선적으로 탈수소 열처리를 해두어야 한다. 레이저는 고출력 엑시머 레이저(KrF (248nm) 또는 XeCl(308nm))를 사용한다. 이 장치는 수십 ns의 극단자 간에 실리콘을 용융시킬 정도의 대출력을 내는 것이 가능하여 용융·재결정에 필요한 시간은 불과 100ns 정도이다. 그렇기 때문에 buffer층을 형성

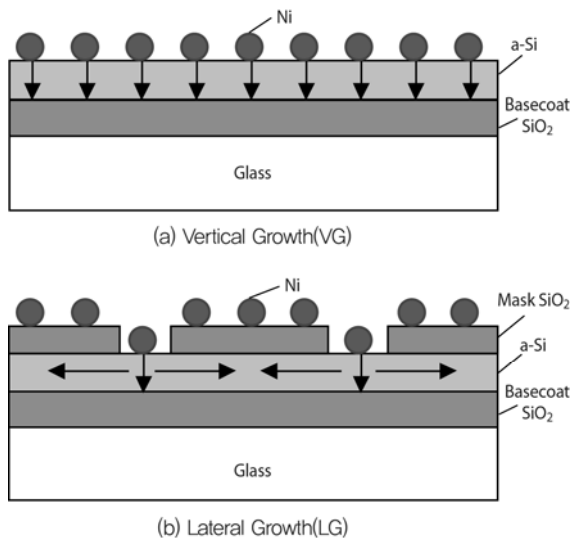
해 두면 유리 기판 상에 대한 손상은 거의 문제가 되지 않는다[7].

결정화가 완료된 반도체 막은 띠 모양으로 패턴하여 그 위에 게이트 절연막 SiO_2 를 형성한다. 이때에 반도체 IC 프로세스에서는 열산화에 의하여 절연막을 형성하지만 TFT에서는 CVD법으로 성막한다. 그 후에 불순물(P, 또는 B)의 도핑과 활성화, 배선·전극의 형성, 층간막·보호막의 형성, 수소화처리 등의 공정을 거쳐서 TFT 프로세스는 완료가 된다. 이러한 방법으로 얻어진 전계 이동도(μ_{FE})는 $50\sim 120\text{cm}^2/\text{V}\cdot\text{s}$ 정도이다[8].

3. TFT의 고성능화 동향

Sharp에서는 보다 높은 성능이 얻어지는 p-Si TFT의 기술 개발을 일본 반도체에너지연구소와 공동으로 진행하였다.

이 기술은 금속 촉매를 이용한 결정을 고상성장을 시키는 것을 특징(Metal-Induce Crystallization: MIC)으로 하고 있다. (그림 3)은 Ni 금속을 촉매로 하고 vertical growth와 lateral growth(MILC)법에 의해 p-Si를 형성하는 공정의 모식도를 보여준다. 여기에서

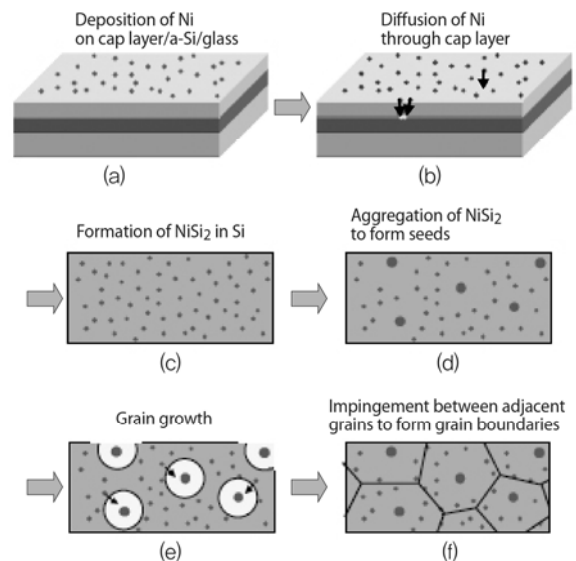


(그림 3) 금속 촉매 결정화법에 의한 p-Si 형성의 VG와 LG의 모식도

lateral growth법에 의해 한층 더 낮은 온도와 빠른 결정화 속도를 얻게 된 결과를 보고하고 있다[9].

장진 교수 그룹은 1998년에 Nature지에 전계인가 결정화에 대한 논문을 발표하였고, 그 이후에 전계인가 금속유도 결정화법(FE-MIC)을 발표하였다[10]. 이 기술은 비정질 실리콘층의 하부에 금속 촉매층을 형성하고 1차적으로 금속유도 결정화(MIC)에 의해 poly와 비정질 상태가 혼재하는 층을 형성한 다음에 2차적으로 전계를 인가하여 poly-Si층을 만드는 방법이다. 이것을 SMC (Silicide-Mediated Crystallization)법이라고 부르기도 하는데 기존의 MIC에 비해 저온 공정 및 시간단축이 가능하고, 금속 촉매층을 비정질 실리콘층의 하부층에 형성할 수 있으므로 poly-Si 표면의 잔류 금속 물질을 최소화하여 소자 특성을 개선할 수 있는 장점이 있다.

Samsung사는 대형 OLED(Organic Light-Emitting Diode) 구현을 위한 TFT 기술로 SGS(Super Grain Crystallization)법을 제안하였다. 이 기술은 SMC의 일종으로 grain size를 크게 하여 특성을 향상시킨 기술이다[11]. (그림 4)에서 보는 것 같이 유리 기판 위에 a-Si를 증착한 후에 SiN_x 또는 SiO_2 의 capping layer를 증착

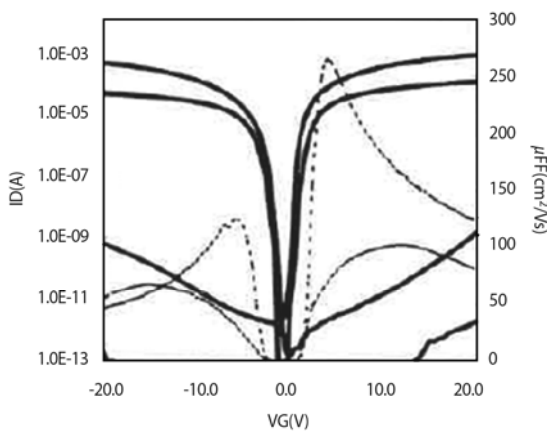


(그림 4) SGS법의 제조공정의 모식도

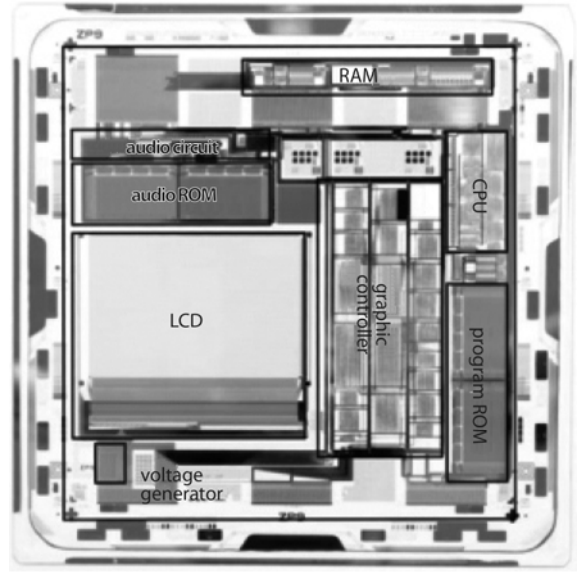
한 후에 Ni 원자를 $10^{12}/\text{cm}^2$ 에서 $10^{14}/\text{cm}^2$ 의 농도로 하여 증착한다(a). 그리고 열처리하여 Ni 원자가 capping layer를 통하여 a-Si에 도달하도록 확산시킨다(b). 그리고 capping layer를 제거한 다음에 열처리를 하게 되면 니켈 실리사이드(NiSi₂)가 형성되고(c), 이것이 seeds가 되어 NiSi₂ 주위로 모이게 된다(d). 그 이후에 seeds를 중심으로 grain 성장이 이루어지고(e), super grain size가 형성되게 된다(f). 이것은 계면의 신뢰성도 우수할 뿐만 아니라 $63\text{cm}^2/\text{V}\cdot\text{sec}$ 의 우수한 전계 이동도도 얻었다[11].

또한 Sharp사에서는 결정성을 높이기 위하여 이온을 주입하고 고온 열처리로 잔류가스를 제거하는 새로운 방법이 제안되었는데, 이 방법으로 형성된 결정은 결정 입계가 연결되어 있는 구조로 되어 있기 때문에 “Continuous Grain silicon(CG silicon)”으로 이름이 붙여졌다. 또 CG silicon TFT에서는 종래의 p-Si TFT와 비교하여 얻어진 결정입계가 크므로 높은 이동도($\mu_{FE} = 250\text{cm}^2/\text{V}\cdot\text{s}$)를 나타내고 있다(그림 5) 참조).

Sharp사에서는 CG silicon TFT 기술을 핵심 기술로 한 콘셉트(시스템 결정)를 제안하였다. 이것은 유리 기판 상에 각종 회로와 기능을 집적화함으로써 네트워크 사회와 모바일 사회에 매칭된 고부가가치 소자를 실현하는 것이고, 디스플레이 비즈니스 면에서 크게 변화를



(그림 5) CG Silicon TFT의 특성



(그림 6) 5인치 유리 기판 위에 제작된 System Panel 사진

가져올 수 있는 가능성이 크다. 2004년에 시스템 결정의 궁극적인 모습으로 Sharp와 일본 반도체에너지연구소는 유리 기판 상에 8bit 중앙연산 처리장치(Central Processing Unit: CPU)와 주변회로를 형성한 ‘full fractional 액정 디스플레이’를 발표하였다(그림 6) 참조[12]. CG silicon TFT 기술이 도달할 수 있는 최고의 기술로서 sheet computer 실현의 가능성을 보여주는 것으로 당시에는 센세이션한 화제가 되었다. 제작된 CPU는 Z80이었다. 또 Arithmetic Logic Unit(ALU), resistor array, data bus interface, instruction detector, CPU timing control, address logic, buffer 등의 block이 탑재되어 있다. CPU용 TFT는 싱글 드레인 구조로 하였고, 액정표시용의 TFT는 Lightly-Doped Drain(LDD) 구조로 되어있다. 제작된 CPU의 평가 결과 Z80의 IC chip과 비교해도 손색이 없는 동작 특성을 나타내는 것을 확인하였다. 그러므로 당시의 게임기 등에 충분히 사용 가능한 것을 보여준 것은 의미가 크다.

4. SOI 정도의 성능을 목표

21세기에 들어와서 더욱 고성능 TFT의 실현을 목표

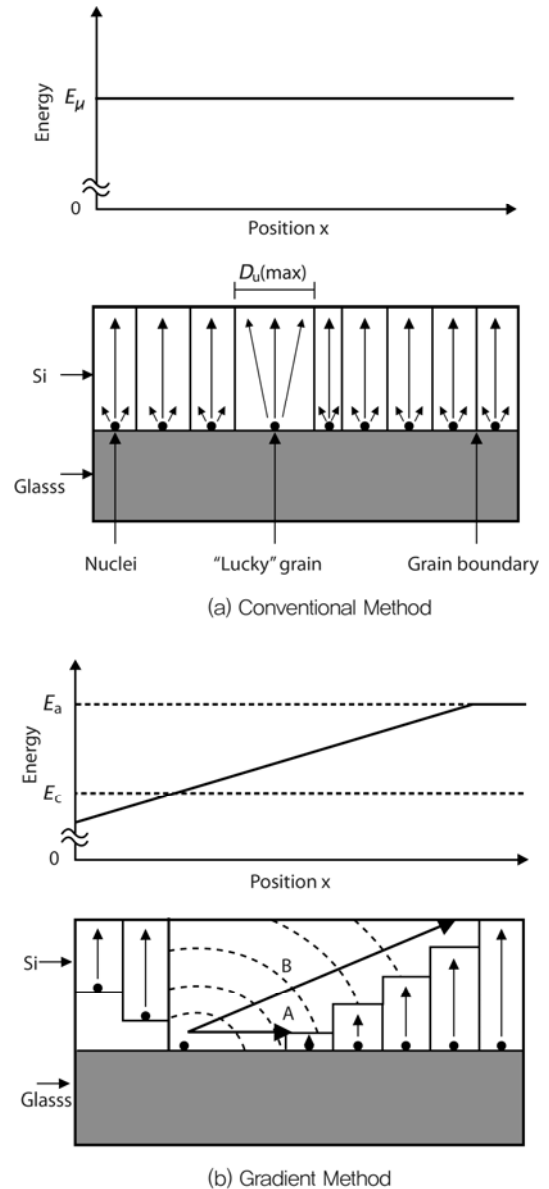
로 하여 대학, 기업을 중심으로 연구개발이 진행되었다. 당시 반도체 IC 업계에서는 실리콘 기판 상에 절연막을 넣어서 단결정 실리콘 박막을 형성한 Silicon On Insulator(SOI) 기판이 고속 MOS-IC(Metal Oxide Silicon-Integrated Circuit)의 일부로 사용되고 있었다. 그들이 개발 목표로 하는 것은 SOI와 동등한 성능의 실현이고, 그러기 위해서는 품질 높은 결정화법과 양질의 게이트 절연막 형성 기술이 필요하게 된다. 이러한 흐름을 받아서 2001년에 패널 메이커와 장치·재료 메이커가 공동으로 ALTEDEC(Advanced LCD Technologies Development Center)를 설립하였다. 여기에서는 결정화, 게이트 절연막뿐만 아니라 미세 가공, 배선, 평가해석 등 폭넓은 연구가 진행되게 되었다. 이 연구개발 중 결정화 기술 등을 비롯한 중요 기술 등에 대하여 소개하고자 한다.

가. 고품위 결정화법

1998년 당시에 큰 입자 결정질 실리콘 결정을 형성하는 방법으로서 Matsumura에 의해 횡방향(lateral) 결정 성장법이 제안되었다. 이것은 엑시머 레이저광을 부분적으로 차폐하는 것에 의해 광강도 분포를 만들어 내어 생성된 용융 실리콘 중의 온도구배에 의하여 $5\mu\text{m}$ 의 큰 입자 결정을 lateral 형성시켰다는 보고이다[13]. (그림 7)에 lateral(gradient) 결정성장법과 종래의 레이저 결정화법과의 대비를 나타내었다. (그림 7a)는 종래의 방법에 의한 결정화, (그림 7b)는 lateral 결정성장의 개념을 보여주고 있다.

종래의 방법으로는 균일한 레이저광을 실리콘 표면에 조사하기 때문에 용융 실리콘의 온도는 균일하게 분포된다. 용융 실리콘 중의 열은 기판 방향으로 흐르기 때문에 기판 쪽에서 표면 방향으로 종축 방향으로 결정화가 되고 있다. 형성된 결정립의 크기는 통상 $0.1\mu\text{m}$ 부터 $0.2\mu\text{m}$ 정도이다.

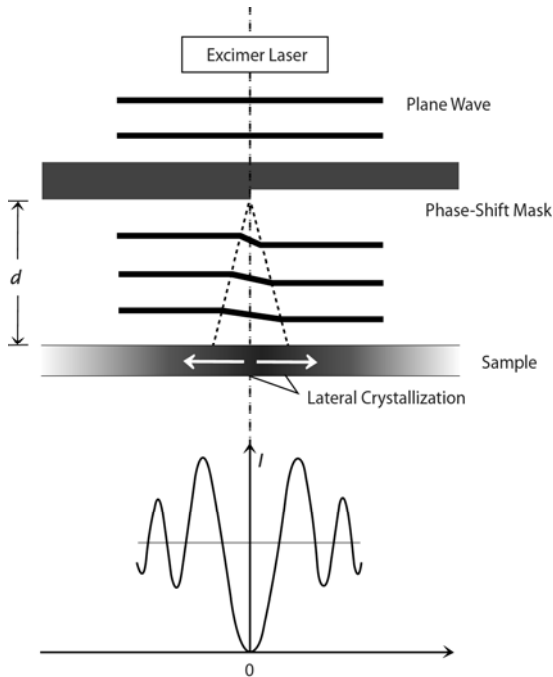
lateral 결정성장법은 사전에 레이저 에너지 강도에



(그림 7) Grain Growth의 모식도

경사 분포를 만들어 둔다. 용융 실리콘은 레이저 강도 분포에 따라서 온도 분포가 생긴다. 실리콘 중의 열은 기판 방향으로 흐르지만 그때, 용융 실리콘은 응고점에 도달한 위치로부터 순차적으로 결정화되어 가기 때문에 결정은 온도의 낮은 위치로부터 횡방향(lateral)으로 신장되어가고, 큰 입자의 결정립이 생성될 수 있다.

ALTEDEC에서는 이 'lateral 결정성장 방식'의 콘셉

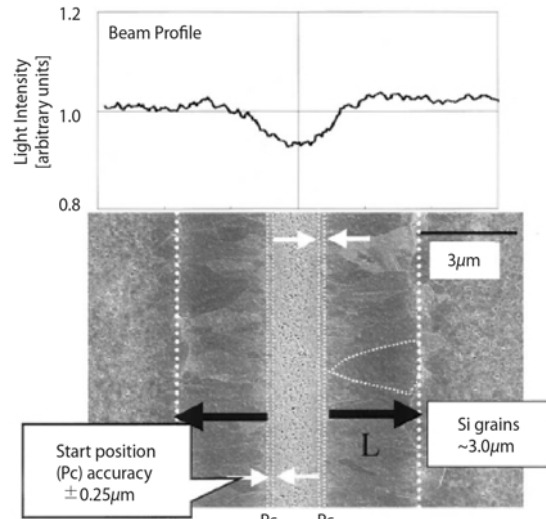


(그림 8) PMELA법의 모식도

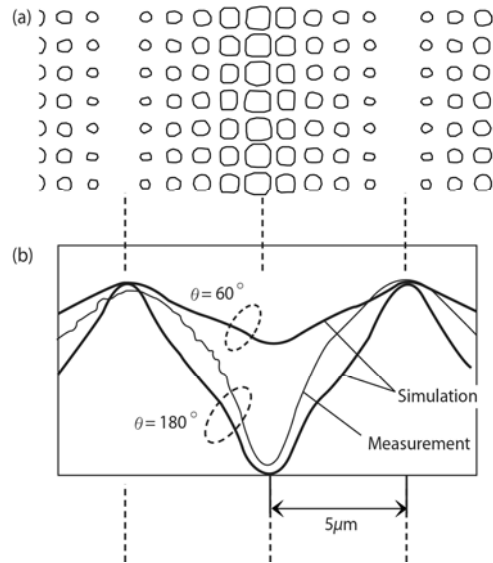
트를 한층 더 진보시킨 위상변조 마스크(Unipolar Phase-Modulator: UPM)를 이용하여 광분포를 만들어 내는 Phase-Modulated Excimer-Laser Annel(PMELA)법 연구개발을 진행하고 있다[14],[15].

PMELA법의 하나의 포인트는 마스크 설계이다. (그림 8)은 위상변조 마스크를 통과했을 때 레이저 강도 변조의 개념을 나타낸다. 마스크는 석영 기판에 단차를 그려 넣은 것이다. 마스크를 통과하는 빛은 단차 부분에서 위상이 변조되어 서로 간섭이 되기 때문에 강도 분포가 생긴다. 이러한 광강도 분포는 (그림 8)에서 보여주는 것 같이 $x=0$ 을 최하점으로 하여 파형의 형태가 된다.

(그림 9)는 실제로 위상변조 마스크를 이용하여 결정화한 실리콘 표면의 주사형 전자현미경(Scanning Electron Microscope: SEM)상을 보여 준다. 위상변조 마스크에 의해 생성된 레이저 강도 분포에 따라서 결정성장이 일어나고 있는 모양이 보이는 것을 알 수 있다. 그럼에도 불구하고, 이 단순한 선상 단차를 형성한 위상변조 마스크는 빔 프로파일을 고정도로 반복하여 패턴으로



(그림 9) 위상변조 마스크에 의한 레이저 강도 변조와 결정성장



(그림 10) 위상변조 마스크와 레이저 강도 변조

생성하기가 어려워서 소정의 크기로 결정립을 기판 전면에 형성하는 것은 어려웠다.

ALTEDEC에서는 이것을 개선하는 새로운 위상변조 마스크를 고안하였다. 그 개념을 (그림 10)에 나타내었다[16]. 위상변조 마스크는 석영 기판 상에 dot 상의 요철부 오목 부분(凹) 또는 요철부 볼록 부분(凸)의 한쪽을 형성하는 것이기 때문에 Unipolar Phase-Modulator

(UPM)라고 이름 지어졌다. 이 마스크에 의하여 한 쪽 방향으로 늘어진 결정립을 기판 상에 형성할 수 있다. 다음으로 더욱 고성능을 실현하기 위해서는 일차원 결정으로는 충분하지 않은 것으로 생각되어 이차원 결정 형성에 매진하였다. 이러한 결과로부터 PMELA법을 이용한 것으로 레이저 강도 프로파일을 정밀하게 제어하는 것이 가능하게 되고, 설계 대로 결정박막을 기판 상에 형성하는 것이 가능하다는 것을 확인하였다. 더욱이 새로운 위상변조 마스크로써 요철부(凹와 凸)의 양방향을 형성·배치하는 마스크를 개발하여 dot 형상하는 것으로부터 Bipolar Phase-Modulator(BPM) 마스크로 이름 붙였다. 이 마스크를 사용하는 것으로 home base 상의 이차원 결정을 기판 상에 깔 수 있게 된 것이 확인되고 있다[17].

나. 고성능 게이트 절연막

저온 p-Si TFT에서는 유리의 내열성 제한으로 최고 열처리 온도를 600°C 이하로 할 필요가 있기 때문에 열산화법은 사용할 수 없다. 한편, CVD로 형성된 게이트 절연막은 실리콘 막과의 계면의 청정성을 유지하기가 어려워서 계면준위 밀도가 큰 것이 문제였다. 실리콘 표면을 저온 산화하는 방법으로 몇 개의 방법이 제안되고 있다. Huyuki 등은 remote plasma에 의해 생성된 활성화된 산소원자에 의해 산화를 행하였다[18]. Ueno 등은 Kr/O₂ 혼합가스를 이용하여 보다 효율적인 활성화된 산소 원자를 생성하여 산화 속도를 높일 수 있다는 것을 보여주고 있다[19]. Ohmi 등은 Kr/O₂ 혼합가스와 마이크로플라즈마를 이용한 방식을 제안하였다[20]. 또한, 광산화[21], 오존산화[22]의 효과도 검토되고 있다.

ALTEDEC에서는 양호한 계면 특성과 낮은 누설전류 특성이라는 두 가지 과제를 동시에 해결하는 방법으로써 실리콘 표면을 저온 산화하고 그 위에 양질의 SiO₂를 적층하는 2층 적층법을 개발하였다. 첫 번째 층의 계면 산화법으로써 엑시머 램프를 이용한 광산화와 표면과

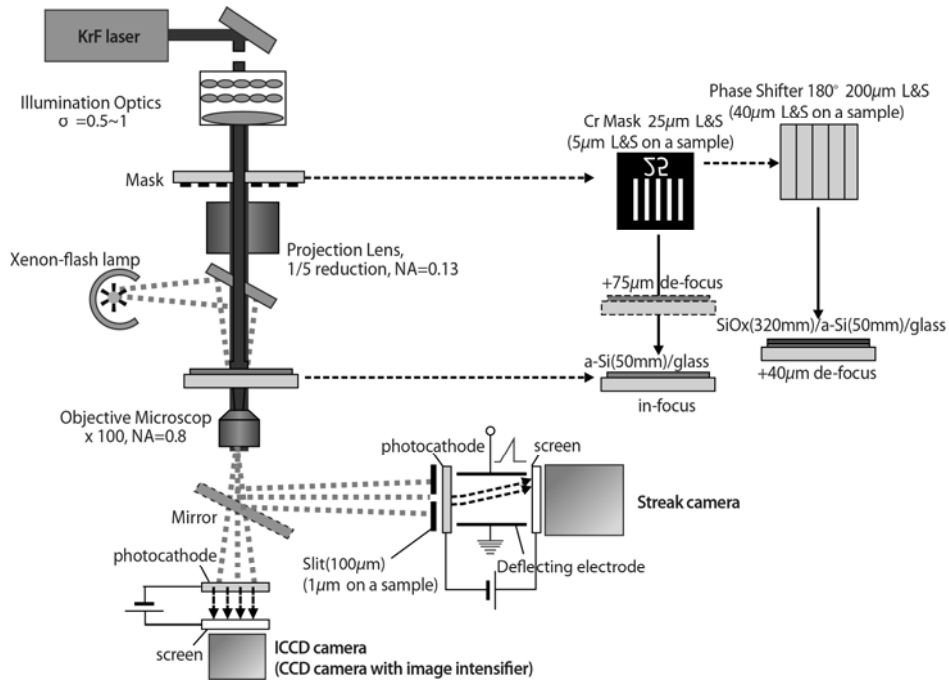
모드 플라즈마 산화의 두 가지 방법을 검토하였다. 그 결과 광산화 방식은 장시간의 산화처리에 있어서도 계면준위 밀도가 증가하지 않은 장점이 있지만 광강도를 올려도 산화 속도가 실용 레벨에까지 도달하지 않은 것을 알 수 있었다. 그러므로 광산화 기술은 개발 후보로부터 제외하고, 플라즈마 산화 방식을 검토하는 것으로 하였다.

또, 상부층의 CVD 막의 성막에는 대형장치에의 전개도 고려하여 정재파(定在波)의 문제가 적은 마이크로파 플라즈마 CVD를 이용하는 것으로 하였다. 플라즈마에 의한 기판의 손상을 고려하면 기판 부근에서의 플라즈마 전자온도가 낮으면서 전자밀도가 높은 것이 바람직하다. 이 요구에 대하여 표면과 플라즈마 CVD에서는 전극 부근의 전자온도, 전자밀도가 함께 높지만 완화층을 넘어서 위치, 기판 스테이지 부근에서는 전자온도가 낮은 상태로 된다. 또 산화 프로세스의 활성화 에너지를 평가한 바로는 플라즈마 산화로 0.14eV의 값이 얻어졌으므로, 열산화의 활성화 에너지, 1.24eV와 비교하여도 낮은 값으로 저온에서도 고속으로 성막할 수 있을 것으로 기대된다.

열산화의 경우에 약 1nm 정도의 계면 거칠기가 보이지만 플라즈마 산화의 경우에는 계면의 거칠기가 0.6nm 정도로 낮아, 평탄한 경계면이 실현되고 있다. 이것에 대하여 Itoh[23]는 산화라디칼은 적당한 운동 에너지를 가지고 계면의 Si cluster를 산화하기 때문에 원자 레벨의 평탄화가 진행된다고 하였다. 또 Si-Si 결합, Si dangling bond에 작용하여 SiO₂ network에 결합수복에 기여한다고 한다. 발생하는 산소 라디칼 O1D는 일중항 상태로 되어 동일한 일중항 상태의 Si-Si 결합에 빠르게 삽입되는 것도 계면의 산화에 좋은 작용을 하는 조건이다.

다. 횡방향 실리콘 결정성장 과정과 관측

PMELA의 결정화 프로세스의 본질을 이해하여 제어



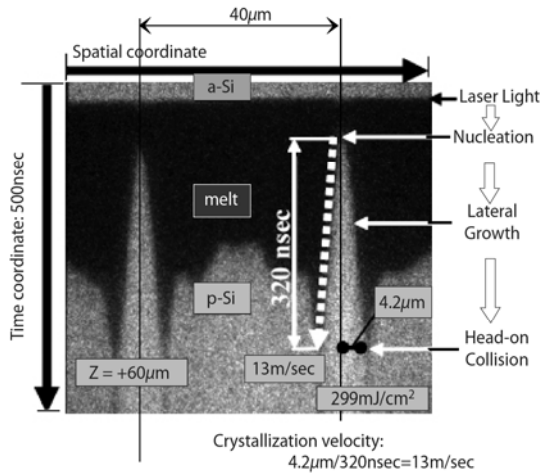
(그림 11) ELA System의 모식도 및 Real-time Monitoring System

하는 것으로 결정성장 과정을 실시간으로 계측하는 것은 극히 주요한 것으로 생각된다. 그러나 레이저 조사에 의한 재결정화 프로세스는 비평형인 프로세스이고, 그 메커니즘에 대한 이해가 약하고, 특히 횡방향 결정 성장에 대한 해석보고는 거의 없다. 그 이유는 횡방향 결정화 과정이 극미소 영역(~수 μm) 중의 액상 계면이동 현상이고, 오히려 고화하기까지의 과정이 수백 ns로 굉장히 단시간의 현상이기 때문에 포착하는 것이 어려웠던 것이다. 그래서 ALTEDEC에서는 측정장치를 제작하여 횡방향 결정성장을 공간해상도 $1\mu\text{m}$ 이하, nano second order의 시간 분해능의 측정을 시도하였다[24].

제작한 ‘결정성장 과정의 현장 관찰 시스템’의 구성을 (그림 11)에 나타내었다. 광원의 엑시머 레이저는 KrF 레이저(파장 248nm)를 사용한다. 엑시머 레이저로부터 출사되는 단형빔은 균일화된 후에 위상변조 마스크를 통하여 샘플 위에 축소 투영된다. 성장과정의 관찰 시스템은 조명광학계(Xenon flash lamp)와 현미경 대물 렌즈를 개입시켜 접속시킨 두 개의 검출계, image inten-

sified 부착된 CCD(Image intensified Charge Coupled Device)와 스트리크(streak) 카메라에 의해 구성되고 있다. 조명광학계로부터 나온 빛은 샘플에 조사되어 투과된 광은 대물 렌즈에 의해 확대되어 미러를 삽입한 ICCD와 스트리크 카메라 앞면의 광전면에 상이 맺힌다. 실리콘은 a-Si, 용융 Si, 결정화 Si의 3가지 상태에 의하여 광의 광의 소실계수 k 가 다르다. 여기서는 가시광의 투과율이 다른 것을 이용하여 계측하고 있다. 액상 상태의 Si은 자유전자가 많은 금속적 상태이므로 광은 거의 통과하지 못한다. 따라서 투과광의 2차원 계측화상에서는 용융 Si은 흑색, 결정화 Si은 백색, a-Si은 그 중간색인 회색으로 나타난다[25].

위상변조 레이저를 이용하여 결정화하였을 때의 스트리크 상을 (그림 12)에 나타내었다. 샘플은 유리 기판 상에 a-Si(50nm)을 형성하고, Cap 막으로서 $\text{SiO}_2(320\text{nm})$ 를 형성한 것이다. 스트리크 상은 스트리크 카메라의 광전면에 결상한 시료상의 시간변화를 종축으로 전개하여 얻어진 도형이고, 고액계면이 시간의 경과와 함께 변화



(그림 12) 촬영된 Streak 상의 SEM 사진

하는 모양이 기록되고 있다. 얻어진 스트리크 상으로부터 고액계면 위치가 시간과 함께 이동하게 되고 결정화가 진행되고 있는 모양이 관찰되고 있다. 이 스트리크 상으로부터 고액계면의 이동속도는 12m/s로 계산되고 있다. 레이저 프로파일의 한쪽 경사의 폭 4.5 μ m에 대하여 거의 4.2 μ m 길이의 lateral 성장 결정립이 얻어지고 있다. 횡방향 결정화 과정의 실시간 관측에 의하면 최초의 고액계면의 lateral의 이동과정이 실제측되고 있다. 또 본 기술은 lateral 결정화 기술이 실용화되었을 때 결정화 공정 프로세스 모니터, 공정품질 관리용으로 서도 유용하게 사용될 것이다[26].

III. 향후의 장래 기술 전망

TFT 기술에 관한 연구개발은 1990년도부터 저온 p-Si TFT를 중심으로 크게 성황을 이루었지만 실용화 후 기술완성도가 포화되어 보다 높은 성능을 목표로 새로운 기술 탐색이 시작이 되었다. 현재는 탐색기를 벗어나서 각각의 기술이 깊이와 폭을 넓히는 시기에 들어선 것으로 생각된다. 금후에 반도체를 포함한 각종의 TFT 재료는 기술을 심화하고 고유의 특징을 살려서 실용화의 길을 모색하고, 여러 가지 시행착오를 반복하게 될 것이

다. 어떠한 기술이 차세대의 근간 기술이 될 것인지는 예측이 불가능하지만 새로운 seeds가 다시금 네트워크 사회의 키 디바이스로서 세계를 변화시켜 나가는 원동력이 될 것은 자명한 일이다. 다음에서 그 장래를 전망하여 본다.

1. 고성능 대형 디스플레이를 목표

2009년도 말에 개봉된 Avatar에 의하여 본격적인 3D 영화의 제작이 시작되었다. 이 영화의 흥행 수익은 2010년 3월 18일 시점에서 26억 달러에 달하였고, 역대 1위로 기록되었다. 영화 업계에서는 3D화가 확실하게 확산되어 나가고 있다. FPD 시장에서는 어떻게 전개될 것인지 사뭇 궁금하다. 3D 방식은 안경 방식과 무안경 방식의 두 가지 방식이 있다. 현재, 일반적으로 시판되고 있는 TV용 디스플레이는 거의 안경식이다. 안경 방식에도 시간분할 방식과 공간분할 방식의 두 가지 방식이 있다.

시간분할 방식은 왼쪽 눈용과 오른쪽 눈용의 화상을 화면상에서 서로 교대로 표시하고 셔터안경으로 그것을 분할하는 방식이다. 왼쪽 눈과 오른쪽 눈의 화상은 독립적으로 표시될 필요가 있어, 그것이 혼합되어버리면 화상의 이중화(crosstalk)를 발생시킨다. Crosstalk을 방지하기 위하여 각 화상 간의 흑색 화면을 삽입시키는 방법이 있지만 화면이 어두워지는 문제가 있다. Crosstalk을 방지하기 위해서는 구분된 화상을 표시하기 위해서는 고속표시 기술이 필요하다.

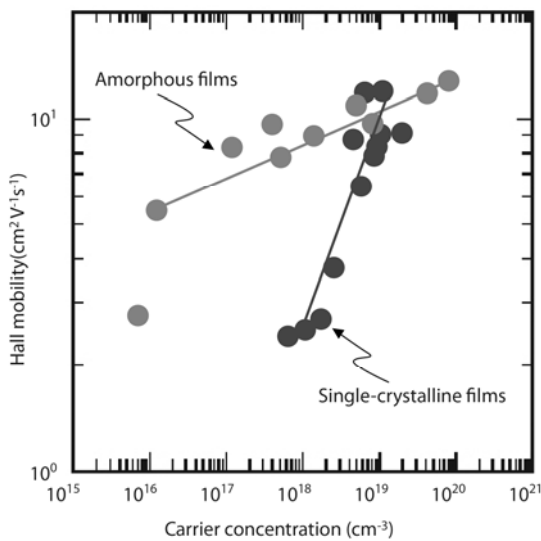
공간분할 방식은 한 개의 화면에 좌측용과 우측용의 두 개의 화면을 동시에 표시하여, 안경으로 그것을 분리하는 방식이다. 주사라인 마다 위상을 변조하여 편광안경을 이용하여 분리하는 방식(line by line 방식)이 제안되고 있다. 이 방식에서는 좌우의 화상이 한 개의 화상에 표시되기 때문에 디스플레이에서는 높은 해상도가 요구되고 있다[27]. 상기처럼 3D용 디스플레이와 차세대 평판 디스플레이에서는 전계 효과 이동도가 꽤 높은 (μ_{FE} : 10cm²/V.s 이상) 성능이 요구되고 있다. 또한

OLED 디스플레이에서는 OLED 소자에 구동 TFT에서 높은 이동도(μ_{FE})와 전류 스트레스 안정성을 요구하고 있다.

가. 산화물 반도체 기술

차세대 디스플레이 및 3D 디스플레이 분야에 적용되는 고성능 TFT 기술로서 ‘산화물 TFT’와 ‘마이크로 결정실리콘 TFT’이 연구개발되고 있다. 산화물 TFT는 당초, ZnO계의 재료가 연구되었지만 2004년 말에 Hosono 그룹이 (그림 13)에 보여주듯이 Nature지에 “IGZO(In, Ga, Zn, O의 4원소 화합물)”를 사용하여 TFT를 제작하여 우수한 트랜지스터 특성이 실현될 수 있는 것을 보여준 이래, IGZO가 주류가 되었다[28].

IGZO는 비정질 반도체이면서, a-Si TFT보다도 10배 이상의 높은 이동도를 나타내는 새로운 재료이다. 얻어진 TFT의 전자 이동도는 $10\text{cm}^2/\text{V}\cdot\text{s}$ 정도가 일반적이지만 이것보다도 높은 값도 보고되고 있고, 더 다양한 재료도 시도되고 있다[29]. IGZO-TFT가 가진 본질적인 특징의 하나로서 TFT의 인접 간 특성의 분산이 적은 것을 들 수 있다. 이것은 p-Si에 보여지는 결정립과 입계의 영향이 없는 것에 기인한다고 할 수 있다. 상세한 것

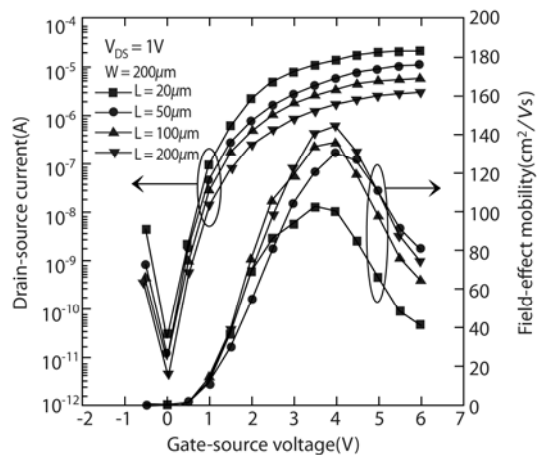


(그림 13) Hosono그룹의 a-IGZO 특성

은 별도의 review 논문인 참고문헌 [30], [31]을 참고하기 바란다.

나. 마이크로 결정 실리콘 기술

한편, 마이크로 결정 실리콘(microcrystalline Si: $\mu\text{-Si}$) 기술은 태양전지 용도로서 개발·실용화되고 있다. TFT에의 응용에 관한 연구개발의 역사는 길지만 TFT의 누설전류에 큰 문제가 있어서 아직까지 실용화가 되지 않고 있다. Bottom gate 구조의 마이크로 결정 실리콘 TFT는 현재 양산되고 있는 a-Si TFT 프로세스와 거의 같은 공정으로 생산 가능하기 때문에 ‘반도체 성막 공정’만 변경하는 것으로 현재 생산 장치를 거의 대부분을 사용할 수 있게 된다. TFT 특성은 성막 초기에 생성하는 ‘incubation층’의 막질의 영향을 받기 때문에 얼마나 고품질의 성막 초기층을 형성하는가에 달려 있다. 특히 bottom gate 구조에서는 게이트 절연막과의 계면에 incubation층이 존재하기 때문에 그 영향을 크게 받게 된다. 또 실리콘 박막 중에 산소 등의 불순물이 특성에 영향을 미치는 것으로 알려져 있어 이것을 줄이는 것도 중요한 포인트 중에 하나이다. Bottom gate 구조의 TFT에서는 통상의 a-Si TFT의 수 배의 이동도가 얻어지고, 오히려 TFT 특성의 안정성이 높은 것이 보고되고 있다[32]. 한편 C.-H. Lee 등은 수소처리된 nano-



(그림 14) nc-Si:H 막으로 얻어진 특성

crystalline silicon(nc-Si:H)막 중의 산소 농도를 $1.5 \times 10^{17} \text{atoms/cm}^3$ 이하로 하고, 또한 incubation층을 거의 생성시키지 않는 조건으로 하는 것으로 top gate 구조에서 전자 이동도(μ_{FE})가 $150 \text{cm}^2/\text{V}\cdot\text{s}$ 로 얻어진 것을 보고하고 있다(그림 14 참조)[33]. 누설전류 등의 어려운 문제도 개선되어 가고 있어서 지금부터의 개발에 기대가 모아지고 있다.

반도체 재료의 변경은 TFT에 있어서 매우 큰 변화이다. TFT 특성뿐만 아니라 신뢰성 등도 크게 변화한다. 이것을 어떻게 잘 사용해야 할 것인가가 기술 개발자들의 당면한 과제이다.

2. 메모리 기능 탑재의 모바일 기기

모바일 정보기기는 IT 세계를 크게 변화시키려고 하고 있다. 대표적인 모바일 기기인 휴대전화에 전자책, 태블릿 PC 등이 추가되었다. 또, 장래의 디스플레이로서 이야기되던 웨어러블(wearable) 디스플레이와 디스플레이 카드도 현실감을 띠게 되었다. 이를 위한 기술 seeds이 착실하게 준비되고 있다.

휴대전화의 세계 시장은 2008년까지 순조롭게 신장되어 왔지만 금융위기의 영향을 받아서 2009년에는 감소하였다. 전자책 시장은 활성화가 시작되는 단계로 그 견인차가 된 것은 아마존의 전자책 리더기인 'Kindle(킨들)'의 성공이다. 아마존의 시스템은 전자화된 책을 인쇄물보다도 싸게 구입할 수 있다. 더불어 구입할 때 net 통신료는 무료이다. 아마존은 2007년 11월에 Kindle 제 1세대 발매를 시작하였고, 2009년 2월에는 제2세대 (Kindle2)를 발표하였다. 또 같은 해 6월에 Kindle DX를 발표하였다. 이것이 2009년 크리스마스에 폭발적인 판매 대수를 기록하였다. 아마존에 의하면 12월 25, 26일 양일의 매출액은 전자책이 처음으로 종이책을 상회하게 되었다[34].

전자책에 요구되는 성능은 문자가 깨끗하게 표시되고(고해상도), 선명하게 보기 쉽고(고 콘트라스트), 충전을

신경 쓰지 않아도 되는(저소비전력) 것이다. 이것을 실현하는 기술로서 아마존은 E-ink의 전자 페이퍼 기술(마이크로 캡슐형 전기영동 방식)을 채용하였다. 이 표시매체에는 메모리성이 있어 전원을 끊어도 표시가 지워지지 않는다. 반사형이면서 옥외에서도 보기가 쉬운 점 등의 특징이 있지만 현시점에서는 흑백의 정지화면 표시 밖에 되지 않는다. 전지 수명은 일주일 정도로 전자책의 viewer로서는 충분하다고 할 수 있을 것이다.

한편, Apple사가 2010년 1월에 발표한 iPad는 휴대전화와 모바일 PC의 연장선상에서 위치하게 된다. 액정 디스플레이를 사용하고 있고, 컬러 동영상 표시가 가능하지만 전지 수명은 10시간 정도이다. 전자책용 디스플레이는 패널 사이즈가 최대 15인치이고, 그 중심은 5~10인치가 대세이다. 과제는 역시 전지의 수명이다.

디스플레이 저소비 전력화 기술로서 표시매체 자체로 메모리성을 갖도록 하는 방법이 있다. 상기의 E-ink이 외에 방법으로서 Hattori 등이 전자분말유체 기술을 제안하고 있다[35]. 이것은 대전된 흑백의 분말을 기관 사이에 봉입하여 전극에 전압을 인가하는 것으로 분말유체를 이동시켜서 표시를 행하는 것이다. 분말유체는 기체 중을 이동하기 때문에 응답 속도가 빠른 것이 특징이고, 0.2ms의 응답시간이 실현될 수 있으며, 기본적으로는 흑백 표시이지만, 컬러필터를 부착한 컬러 디스플레이도 가능하다. 그 외에 코레스테릭(Cholesteric: Ch) 액정의 선택반사를 이용한 디스플레이도 제안되고 있다[36].

한편, TFT 패널에 메모리성을 부가하는 시도로서 화소 내에 static RAM을 탑재하는 기술도 보고되고 있다[37]~[39]. 정보를 메모리에 보존하는 것으로 써넣기 빈도를 낮추거나 불필요하게 하여 패널의 소비전력을 크게 낮추고 있다. 화소 내의 TFT 수의 증가에 의하여 개구율의 저하가 과제이다.

제2의 요구는 높은 모바일성, 박형, 경량화이다. 이것을 실현하기 위해서는 기관을 유연성 있는 재료로 사용

하여야 한다. 첫 번째는 유리 기판에 플라스틱을 붙여서 제조하는 것이고, 두 번째는 SUS와 같은 메탈 기판을 사용하는 것이다. 세 번째는 플라스틱 기판을 사용하는 것이다. 최근에는 유리 기판을 플라스틱으로 바꾼 플라스틱 기술이 많이 제안되고 있다[40]. 여기서 특히 반도체 막과 게이트 절연막 등이 저온에서 성막되는 것이 큰 과제로 떠오르고 있다. 최근에는 200°C 이하의 온도에서 고품질의 절연막과 반도체 막의 형성 기술이 요구되고 있다. 열처리에 의하여 왜곡과 변형이 생기지 않는 기판 재료의 개발과 기판 핸들링 기술의 개발도 필요하게 될 것이다.

3. 다양한 디스플레이 기술의 개발

디스플레이 최근에 들어와서 고해상도 경쟁이 뜨겁게 일어나고 있다. 이를 구현하기 위해서는 TFT 기술이 핵심 기술이 되고 있다. 또한 디스플레이는 향후 다양화된 방향으로 진행될 것으로 생각된다. 접어서 마는 것이 가능한 롤러블(rollable) 디스플레이와 몸에 부착시키는 웨어러블 디스플레이의 요소 기술도 개발이 진행되고 있다. 80 μ m의 두께의 기판을 이용하여 유기 TFT로 OLED를 구동하는 롤러블 디스플레이가 보고되고 있다. 또한 4mm의 roller에 부착하여 organic TFT OLED를 제작하여 동작하는 것을 보여주었다[41].

TFT 형성 기술 중에 인쇄 기술을 활용하는 시도도 진행되고 있다. 이것의 목표는 간단하면서도 대규모로 디스플레이를 대량생산하는 기술이고, 전자 태그와 카드형 디스플레이를 필두로 하여 언제, 어디서나 디스플레이가 존재하는 세계가 시작된다. 또, 연구개발 단계이지만 여러 종류의 다양한 seeds의 개발이 진행되고 있다. 기술의 완성도 레벨에서는 미진한 부분이 많아서 성능, 신뢰성과 생산성 측면에선 남은 과제가 많지만 연구개발은 착실하게 진보하고 있다. 당분간 디스플레이 세계에서는 화려한 시대가 될 것으로 기대된다.

IV. 맺음말

현재 실용화되고 있는 a-Si:H TFT, LTPS TFT, 다결정 Si TFT 등은 대형 FPD에 필요한 제8세대 이후의 제조 기술에는 한계가 있는 것으로 나타나고 있다[31]. LTPS 기술은 유리 기판 상에 CPU 등의 기능 회로를 모놀리식하게 형성할 수 있는 장점이 있다. 그럼에도 불구하고 그 가능성은 지금까지 큰 성과를 보이지 않고 있다. 그래서 산화물 반도체 기술, 마이크로 결정 Si 기술, 유기반도체 기술 등이 적극적으로 검토되고 있다.

끝으로 여기서 초고성능 TFT 기술에 필요한 포인트를 몇 가지 정리하겠다. 우선 미세 가공 레벨이다. 전기 특성을 높이기 위하여는 트랜지스터 크기를 축소하지 않으면 안 된다. 미세 가공을 저해하고 있는 하나의 요인은 유리 기판이다. 노광 shot 내의 초점심도가 균일하지 않으면 높은 가공 정도는 얻어지지 않는다. 계산에 의하면 0.5 μ m의 미세 가공 레벨을 실현하기 위해서는 유리 기판의 표면 평탄도는 커도 1 μ m 이하여야 한다. 이에 대한 기술 진보는 착실하게 진행되는 것으로 보인다.

제2의 과제는 결정립의 면방위를 정렬시키는 것이다. LSI 수준의 고성능 회로를 실현하기 위해서는 현재의 저온 p-Si TFT 특성의 분산은 용인되지 않는다. 결정면 방위 제어의 문제는 꼭 해결되어야 한다. 해결의 방향은 현시점에서는 보이지 않으나 가까운 장래에 새로운 발상과 기술이 생겨날 것으로 기대하고 싶다.

제3의 과제는 산화물, 유기물과 같은 신재료를 가지고 외부의 환경의 영향이 없이 고이동도를 가진 특성을 얻는 것이다. 아직 빛에 의한 영향과 전압에 따른 V_{th} shift 등의 메커니즘을 밝히지 못하여 해결하지 않으면 되지 않는 숙제가 남아 있다. 좀 더 상세한 최근의 차세대 TFT 기술은 다른 지면을 통해 소개할 예정이다.

평판 디스플레이의 궁극적인 목표는 인간에게 친숙하고 플렉서블하면서도 낮은 가격의 고품질의 디스플레이

를 구현하는 것일 것이다. 이러한 요구에 따른 고해상도와 3D 등에 대응한 고성능의 TFT 특성을 얻는 것이 제일 중요한 일이다. 과학자들의 새로운 도전은 그러한 꿈을 이룰 수 있을 것으로 굳게 믿어 의심치 않는다.

용어해설

TFT(Thin Film Transistor) 기판 위에 진공증착 등의 방법으로 형성된 박막을 이용하여 만들어진 트랜지스터. 제작을 위해서는 반도체와 절연체, 그리고 금속의 박막을 차례로 증착하여 만들.

약어 정리

ALTEDEC	Advanced LCD Technologies Development Center
μ c-Si	microcrystalline Silicon
ALU	Arithmetic Logic Unit
a-Si	Amorphous Silicon
BPM	Bipolar Phase-Modulator
CG Silicon	Continuous Grain Silicon
Ch	Cholesteric
CPU	Central Processing Unit
FPD	Flat Panel Display
IC	Integrated Circuit
IGZO	In-Ga-Zn-O
LDD	Lightly-Doped Drain
LTPS	Low-Temperature Polycrystalline Si
MIC	Metal-Induced Crystallization
MOS-IC	Metal Oxide Silicon-Integrated Circuit
nc-Si	nanocrystalline Silicon
OLED	Organic Light-Emitting Diode
PALCD	Plasma Addressed Liquid Crystal Display
PDP	Plasma Display Panel
PECVD	Plasma Enhanced CVD
PMELA	Phase-Modulated Excimer-Laser Anneal
p-Si	polycrystalline Silicon
SGS	Super Grain Crystallization
SHA	Super High Aperture-ratio
SMC	Silicide-Mediated Crystallization
SOI	Silicon On Insulator
TFT	Thin Film Transistor

TI	Texas Instruments
UPM	Unipolar Phase-Modulator

참고문헌

- [1] Wikipedia, Transistor. <http://en.wikipedia.org/wiki/Transistor#History>
- [2] Wikipedia, Field-effect transistor. <http://en.wikipedia.org/wiki/FET>
- [3] W.E. Spear and P.G. Le Comber, "Substitutional Doping of Amorphous Silicon," *Solid State Commun.*, vol. 17, no. 9, pp. 1193-1196.
- [4] A.J. Snell et al., "Application of Amorphous Silicon Field Effect Transistors in Addressable Liquid Crystal Display Panels," *Appl. Phys.*, vol. 24, 1981, pp. 357-362.
- [5] H. Kawamoto, "The History of Liquid-Crystal Display," *Proc. IEEE*, vol. 90, no. 4, 2002, pp. 460-500.
- [6] T. Sameshima, S. Usui, and M. Sekiya, "XeCl Excimer Laser Annealing Used in the Fabrication of Poly-Si TFT's," *IEEE Electron Device Lett.*, vol. EDL-7, no. 5, May 1986, pp. 276-278.
- [7] T. Sameshima, M. Hara, and S. Usui, "Measuring the Temperature of a Quartz Substrate during and after the Pulsed Laser-Induced Crystallization of a-Si:H," *Jpn. J. Appl. Phys.*, vol. 28, no. 12, 1989, pp. L2131-L2133.
- [8] T. Sameshima, M. Hara, and S. Usui, "XeCl Excimer Laser Annealing Used to Fabricate Poly-Si TFT's," *Jpn. J. Appl. Phys.*, vol. 28, no. 10, 1989, pp. 1789-1793.
- [9] H. Sakamoto et al., "2.6 inch HDTV Panel Using CG Silicon," *SID Symp. Digest Tech. Papers*, vol 31, no. 1, 2000, pp. 1190-1193.
- [10] W.K. Kwak et al., "High Performance Thin-film Transistor Using a Low Temperature Poly-Si by Silicide Mediated Crystallization," *IEEE Electron Device Lett.*, vol. 21, no. 3, 2000, pp. 107-109.
- [11] H.K. Chung, "Challenges of Large-Size AMOLED," *EuroDisplay*, 2005, pp. 8-13.
- [12] T. Ikeda et al., "Full-Functional System Liquid Crystal Display Using CG-Silicon Technology," *SID Symp. Digest Tech. Papers*, 2004, pp. 860-863.

- [13] K. Ishikawa et al., "Excimer-Laser-Induced Lateral-Growth of Silicon Thin-Films," *Jpn. J. Appl. Phys.*, vol. 37, no. 3A, 1998, pp. 731-736.
- [14] C.-H. Oh et al., "A Novel Phase-Modulated Excimer-Laser Crystallization Method of Silicon Thin Films," *Jpn. J. Appl. Phys.*, vol. 37, no. 5A, 1998, pp. L492-L495.
- [15] M. Jyumonji et al., "High-Resolution Beam Profiler for Engineering Laterally-Grown Grain Morphology," *IEICE Trans. Electron.*, vol. E86-C, no. 11, 2003, pp. 2275-2277.
- [16] M. Hiramatsu, "Advanced Laser-Crystallization Technologies of Si for Next-Generation TFTs," *Proc. Int. Disp. Workshop*, 2004, pp. 325-328.
- [17] Y. Taniguchi, T. Katou, and M. Matsumura, "Advanced Phase-Modulators for Next-Generation Low-Temperature Si Film Crystallization Method," *Dig. IDW/AD, Takamatsu*, 2005, p. 981.
- [18] T. Fuyuki, T. Oka, and H. Matsunami, "Single Crystalline Si Metal/Oxide/Semiconductor Field-Effect Transistors Using High-Quality Gate SiO₂ Deposited at 300C by Remote Plasma Technique," *Jpn. J. Appl. Phys.*, vol. 33, no. 1B, 1994, pp. 440-443.
- [19] T. Ueno et al., "Low-Temperature and Low-Activation-Energy Process for the Gate Oxidation of Si Substrates," *Jpn. J. Appl. Phys.*, vol. 39, no. 4B, 2000, pp. L327-L329.
- [20] M. Hirayama et al., "Low-Temperature Growth of High-Integrity Silicon Oxide Films by Oxygen Radical Generated in High-Density Krypton Plasma," *IEDM Tech. Digest Int. Electron Devices Meeting, USA*, 1999, pp. 249-252.
- [21] J.Y. Zhang and I.W. Boyd, "Low Temperature Photo-oxidation of Silicon Using a Xenon Excimer Lamp," *Appl. Phys. Lett.*, vol. 71, no. 20, 1997, pp. 2964-2966.
- [22] Y. Ebiko and Y. Mishima, "Effects of Ozone Oxidation for Poly-Si TFTs," *Dig. IDW, Hiroshima*, 2002, p. 271.
- [23] H. Itoh et al., "A Study of Atomically-Flat SiO₂/Si Interface Formation Mechanism, Based in the Radical Oxidation Kinetics," *Microelectron. Eng.*, vol. 48, no. 1-4, 1999, pp. 71-74.
- [24] Y. Takami and T. Warabisako, "Realtime Monitoring of Solid-Liquid Interface Motion Induced by ELA of Amorphous-Silicon Thin-Films," *Dig. IDW, Niigata*, 2004, pp. 319-320.
- [25] Y. Takamia, T. Warabisako, and M. Matsumura, "Nanosecond Monitoring of Lateral Crystallization Dynamics induced by ELA," *ECS Trans.*, vol. 3, no. 8, 2006, pp. 127-136.
- [26] Y. Yamamoto, "Technology Innovation of Thin-Film Transistors (TFTs)-TFT Technology Development, History and Future," *日本應用物理*, vol. 79, 2010, p. 965.
- [27] 최승중, "3D TV 기술 개발 동향," *TTA J.*, vol. 127, 2010, pp. 65-68.
- [28] K. Nomura et al., "Room-temperature Fabrication of Transparent Flexible Thin-film Transistors Using Amorphous Oxide Semiconductors," *Nat.*, vol. 432, no. 7016, 2004, pp. 488-492.
- [29] S.-H. Ko Park et al., "Channel Protection Layer Effect on the Performance of Oxide TFTs," *ETRI J.*, vol. 31, no. 6, 2009, pp. 653-659.
- [30] H. Kumomi, "Application of Amorphous Oxide Semiconductors to Thin-film Transistors," *日本應用物理*, vol. 79, 2010, p. 981.
- [31] E. Fortunato, P. Barquinha, and R. Martins, "Oxide Semiconductor Thin-Film Transistors: A Review of Recent Advances," *Adv. Mater.*, vol. 24, no. 22, 2012, pp. 2945-2986.
- [32] M. Moriguchi et al., "Gate Driver and Data Switching Circuit Integrated LCD Panel by High Performance Bottom Gate MicroCrystalline Si TFT," *Dig. IDW, Miyazaki*, 2009, p. 253.
- [33] C.-H. Lee, A. Sazonov, and A. Nathan, "High-mobility Nanocrystalline Silicon Thin-film Transistors Fabricated by Plasma-enhanced Chemical Vapor Deposition," *Appl. Phys. Lett.*, vol. 86, no. 22, 2005, pp. 222106-1-222106-3.
- [34] C. Cuddy, "E-book Readers," *J. Electronic Resour. Med. Libraries*, vol. 5, no. 4, 2008, pp. 389-394.
- [35] R. Hattori et al., "Novel Type of Bistable Reflective Display Using Quick Respose Liquid Powder," *Dig. SID, USA*, 2003, pp. 846-849.
- [36] Y. Kurosaki et al., "Improvement of Reflectance and Contrast Ratio of Low-Power-Driving, Bendable, Color Electronic Paper Using Ch-LCs," *SID Digest*, 2009, pp. 764-767.

- [37] N. Matsuda et al., "Ultra-Low Power System-LCDs with Pixel-Memory Circuit," Dig. IDW, Miyazaki, 2009, p. 243.
- [38] Y. Nakajima et al., "Ultra-Low-Power LTPS TFT-LCD Technology Using a Multi-Bit Pixel Memory Circuit," Dig. SID, USA, 2006, p. 1071-1075.
- [39] S.-M. Yoon et al., "Polymeric Ferroelectric and Oxide Semiconductor-based Fullytransparent Memristor Cell," *Appl. Phys. A*, vol. 102, no. 4, 2011, pp. 983-990.
- [40] M. Okamoto et al., "Development of a Color Reflective TFT-LCD Using Plastic Substrates," Dig. IDW, Hiroshima, 2002, p. 315
- [41] M. Noda et al., "A Rollable AM-OLED Display Driven by OTFTs," Dig SID, USA, 2010, p. 710.