고전압용 LDI 칩의 정전기 보호를 위한 EDNMOS 소자의 특성 개선

양준원*, 서용진** 정회원

Improvements of Extended Drain NMOS (EDNMOS) Device for Electrostatic Discharge (ESD) Protection of High Voltage Operating LDI Chip

Jun-Won Yang*, Yong-Jin Seo** *Regular Members*

요 약

본 논문에서는 ESD 방지를 위한 최적 방법론에 목표하여 확장된 드레인을 갖는 EDNMOS 소자의 더블 스냅백 현상 및 백그라운 도핑 농도 (BDC)의 영향을 조사하였다. 고전류 영역에서 낮은 BDC를 가진 EDNMOS 소자는 강한 스냅백으로 인해 취약한 ESD 성능과 높은 래치업 위험을 가지게 되나, 높은 BDC를 가진 EDNMOS 소자는 스냅백을 효과적으로 방지할 수 있음을 알 수 있었다. 따라서 BDC 제어로 안정적인 ESD 방지 성능과 래치업 면역을 구현할 수 있음을 밝혔다.

Key Words : Electrostatic discharge (ESD), Extended drain N-type MOSFET (EDNMOS), Background doping concentration (BDC), Transmission line pulse (TLP), Double snapback, Latchup

ABSTRACT

High current behaviors of the extended drain n-type metal-oxide-semiconductor field effects transistor (EDNMOSFET) for electrostatic discharge (ESD) protection of high voltage operating LDI (LCD Driver IC) chip are analyzed. Both the transmission line pulse (TLP) data and the thermal incorporated 2-dimensional simulation analysis demonstrate a characteristic double snapback phenomenon after triggering of biploar junction transistor (BJT) operation. Also, background doping concentration (BDC) is proven to be a critical factor to affect the high current behavior of the EDNMOS devices. The EDNMOS device with low BDC suffers from strong snapback in the high current region, which results in poor ESD protection performance and high latchup risk. However, the strong snapback can be avoided in the EDNMOS device with high BDC. This implies that both the good ESD protection performance and the latchup immunity can be realized in terms of the EDNMOS by properly controlling its BDC.

I. 서 론

우주환경에서 쏟아지는 고에너지 입자들은 위성체 내부에 일종의 정전기를 형성하게 된다. 이 정전기의 전압이 일정 수준 이상 높아지게 되면 한 번에 에너지를 방출하기 때문에 위성체의 전자 시스템에 심각한 손상을 줄 수 있다. 따라서 위성통신 등에서 사용되는 마이크로 칩 (microchip)을 제조함에 있어서 외부의 정전기 (electrostatic discharge; ESD)로부터 칩 내부의 회로를 보호하는 것은 매우 중요하다. 마이크로 칩을 설계하거나 또는 그 제조 기술을 개발함에 있어서 이러한 정전기로부터 칩 내부의 회로를 보호할 수 있는 정전기 보호회로 (ESD protection circuit) 또는 정전기 보호소자 (ESD protection device)를 개발하는 문제는 항상 중요한 연구 과제들 중의 하나였다. 정전기 보호기술이 문제가 되는 제조기술의 대표적인 예는 LDI (LCD driver IC) 칩을 들 수 있다. DRAM 산업에 편중되어 있는 국내 반도체 산업 구조를 개선하기 위한 핵심 육성 분야로 각광 받고 있는 LDI 칩의 경우, 그 동작 전압이 예외적으로 높다. 따라서

*세한대학교 컴퓨터교육과(jwyang@sehan.ac.kr)
**세한대학교 나노정보소재연구소(syj@sehan.ac.kr), 교신저자 : 서용진
접수일자 : 2012년 7월 16일, 수정완료일자 : 2012년 9월 17일, 최종게재확정일자 : 2012년 9월 21일

기존의 표준 CMOS 기술과는 다른 MOSFET 구조와 이에 따른 특화된 제조 기술이 필요하다. 그런데 LDI 칩은 그 입·출력단의 구성상 정전기 스트레스에 매우 취약한 특성을 가지고 있다. 뿐만 아니라 다수의 output driver를 갖추고 있는 LDI 칩의 구조로 인해 출력회로가 차지하는 면적의 크기가 LDI 칩의 크기를 결정하는 중요한 요소가 된다. 따라서 LDI 칩을 제조함에 있어서 ESD 보호기술은 제품 개발의 성·패 여부를 가름할 뿐만 아니라 제품의 경쟁력을 좌우하는 핵심 기술이라 할 수 있다.

안정한 ESD 보호 성능은 고전압 동작용 N형 MOSFET 소자에서는 특히 어려우며, ESD 스트레스에 취약한 것은 매우 강한 스냅백(snapback)에 그 원인이 있다. 그 결과 전류 집중, 멜팅 손상(melting damage), 불규칙한 멀티핑거 트리거링(multi-finger triggering), 높은 래치업(latchup) 위험 등을 초래한다 [1-3]. 그 동안 많은 연구가 안정한 ESD 보호 성능을 달성하기 위해 이루어져 왔으나 아직까지 제한된 성공만 있을 뿐 아직 연구가 끝나지 않은 현실이다[4-7]. 균일한 멀티핑거 트리거링과 안정한 ESD 보호 성능을 구현하기 위해 게이트 아래에 N-드리프트(drift) 층을 중첩시키는 것이 강한 스냅백의 발생을 효과적으로 막을 수 있는 것으로 입증되었으나[7], 높은 동작 전압에서는 확신할 수 없다. 이들 소자들에서 안정한 ESD 보호 특성을 구현하기 위한 일반적인 방법론(methodology)을 얻기 위하여 고전류 영역에서 전류전도 메커니즘의 이해가 선행되어야 한다. 또한 동작 전압에 무관한 안정한 ESD 보호 성능을 달성하기 위해서는 공정 변화(process variations)에 대한 영향이 자세히 논의되어야 한다.

최근에 고전압에서 동작하는 이중 확산된 N형 MOSFET (Double Diffused Drain N-type MOSFET ; DDDNMOS) 소자는 더블 스냅백 (double snapback) 현상을 본시부터 가지고 있으며, 매우 낮은 스냅백 홀딩(snapback holding) 전압에 의해 두번째 on-상태가 일어난다고 보고된바 있다[8]. 이와 관련된 메커니즘은 고전자 주입에 의한 베이스 푸쉬 아웃(base push-out)으로 알려져 있다[9][10]. 주입된 전자밀도가 백그라운드(background)의 캐리어 밀도를 초과할 때 베이스 푸쉬 아웃이 일어나므로 BDC (background doping concentration)는 더블 스냅 백(snapback) 현상의 발생에 영향을 주는 중요한 인자가 된다.

따라서 고전압 동작용 N형 MOSFET의 전류-전압(I-V) 특성에 대한 BDC의 영향이 조사되어야 할 필요가 있다. 따라서 본 논문에서는 ESD 방지를 위한 최적 방법론에 목표하여 확장된 드레인을 갖는 EDNMOS 소자의 더블 스냅백 현상 및 백그라운 도핑 농도 (BDC)의 영향을 조사하였다.

Ⅱ. 소자 구조 및 시뮬레이션 방법

1. 소자 구조

고전압에서 동작하는 반도체 소자가 갖추어야 할 기본적인 특성 중의 하나는 애발란치 브레이크다운 전압(avalanche breakdown voltage)이 동작전압 (operation voltage) 보다 높아야한다는 조건이다. 이와 같은 특성을 만족시키기 위해서는 그림 1에 개략적으로 도시한 바와 같이 이중으로 불순물을 확산시킨 드레인을 채용한 MOSFET 구조, 즉, Extended Drain(ED) 구조를 갖는 Double Diffused Drain (DDD)-MOSFET를 소자로 사용한다. ED-DDD-MOSFET 구조를 만들기 위해서는 그림 1과 같은 드레인을 구성하는 도판트(dopant) 이온주입을 이중으로 실시하면서 내부의 드레인 활성영역 (drain active area)은 충분히 높은 농도로 불순물을 주입하고 (N^+ Active or P^+ Active, Dose : 10^{15} ~ $10^{16}cm^{-2}$), 그 외부에 N-드레인 드리프트(drift) 영역은 상대적으로 낮은 농도로 불순물 주입을 실시한다. (N^- Drift or P^- Drift, Dose : $10^{13}cm^{-2}$). 대부분의 경우 소스 활성영역 (source active area)은 드레인 활성영역과 동시에 불순물 주입을 실시하기 때문에 소스 활성영역의 불순물 농도는 드레인 활성영역과 동일하다. 채널을 형성하는 HP-well(High voltage P-type well)은 드레인 드리프트 영역보다 낮은 농도로 P-형 또는 N-형 불순물을 주입 한다 (Typical Dose : $10^{12}cm^{-2}$).

따라서 애발란치 브레이크다운 전압은 전기적으로 서로 반대되는 극성을 갖고 만나는 두 영역의 불순물 농도에 의해 결정된다. 즉, DDDNMOS 소자의 애발란치 브레이크다운 전압은 N-Drift/HP-Well 접합의 측면 브레이크다운 전압에 의해 결정되며 이는 다시 N-드리프트 영역과 HP-Well 영역에 주입되는 이온주입 도즈(dose)에 의해 결정된다. 일반적으로 전기적으로 서로 반대되는 극성을 갖고 만나는 두 영역의 불순물 농도가 낮을수록 애발란치 브레이크다운 전압은 높아지는 경향이 있다. DDD 구조를 채용하면 웰 영역과 접촉하는 드레인 드리프트 영역의 불순물 농도를 충분히 낮출 수 있기 때문에 원하는 만큼 높은 애발란치 브레이크다운 전압을 구현할 수 있다.

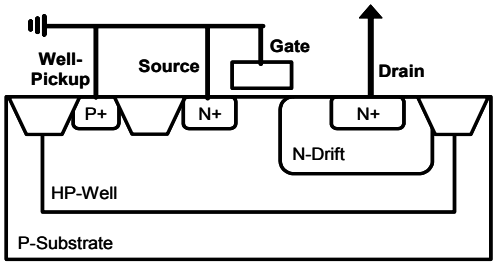


그림 1. GG_EDNMOS 구조를 갖는 ESD 보호 소자의 개략도

본 연구에서는 고전압 동작용 EDNMOS 소자가 이중 확산된 드레인 구조와 N+ 확산층의 드레인과 게이트가 서로 인접하지 않은 구조로 그림 1과 같이 특성화 되었다. EDNMOS 소자의 백그라운드 도핑 농도(background doping concentration; BDC)는 표 1에 보인 바와 같이 HP-well 영역과 N-드리프트 영역의 농도에 의해 결정되었다.

표 1. 백그라운드 영역의 이온주입 조건

Background conditions	HP-well implant dose	N-drift implant dose
Low BDC	7.5×10^{12} cm^{-2}	1.1×10^{13} cm^{-2}
High BDC	1.7×10^{13} cm^{-2}	4.0×10^{13} cm^{-2}

EDNMOS 소자는 드레인의 N+ 확산층은 Vdd 파워 패드에(또는 각각의 I/O 패드)에 연결되었고, 게이트, 소오스, 웰-픽업(well-pickup)은 서로 연결되어 Vss 그라운드 패드에 연결되었다.

2. 정전기 보호회로 및 전류-전압 특성

일반적인 마이크로 칩의 입·출력 회로는 입출력 신호를 전달하는 Input/Output(I/O) 단자, 전력을 공급하는 Vdd 단자, 그리고 접지된 Vss 단자로 구성되어 있다. 정전기 스트레스는 각각의 단자들 사이의 어떤 조합에 대해서도 발생 가능하며 양방향의 특성을 갖는다. 이상적인 정전기 보호회로는 모든 정전기 스트레스에 대해 효율적으로 대응하여 내부 회로를 보호할 수 있어야 하며 대표적인 정전기 보호회로를 도식적으로 나타내면 그림 2 (A)와 같다.

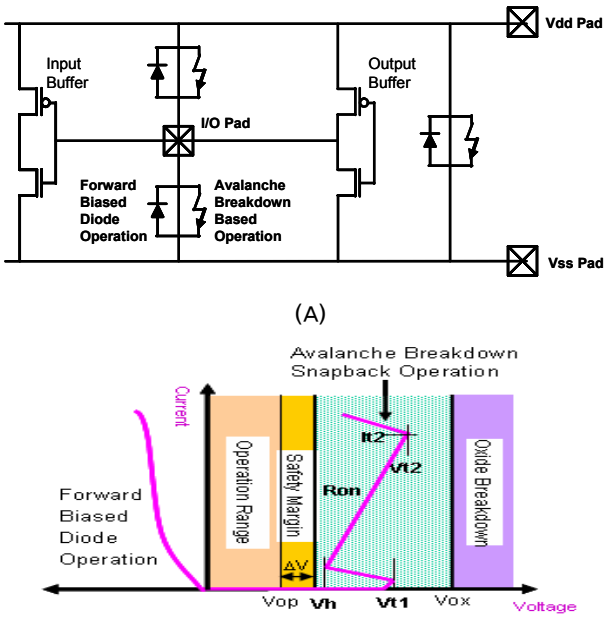


그림 2. (A) 대표적인 정전기보호 회로, (B) 정전기 보호소자의 전류-전압 특성

양방향 정전기 스트레스에 효율적으로 대응하면서 회로의 정상 동작에 방해가 되지 않기 위해서는 각각의 정전기 보호소자는 그 스트레스가 인가되는 방향에 따라 순방향 바이어스된 다이오드(forward biased diode) 동작 특성과 애발란치 브레이크다운 스냅백(avalanche breakdown snapback) 동작 특성을 함께 나타내야 한다. 이와 같은 전기적인 특성을 그래프로 도식화 하면 그림 2 (B)와 같다. 그림 2 (B)에 의하면 정전기 보호소자는 회로가 정상적인 조건 하에 있을 때 ($0 \leq$ Voltage $\leq$ Vop)에는 동작하지 않고, 정전기 스트레스와 같이 비정상적인 조건 하에 있을 때에만 동작해야 한다.

3. 시뮬레이션 방법

EDNMOS 소자의 고전류 특성은 열적(thermal) 특성이 내장된 2차원 시뮬레이션을 사용하여 조사되었다. 0.18um_30V의 동작전압에서 공정시뮬레이터인 TSUPREM4 (Avanti Co./Synopsys Co.)를 사용하여 도핑 프로파일을 시뮬레이션한 후[11], 소자 특성은 DESSIS (ISE Inc./Synopsys Co.) 소자 시뮬레이터를 사용하여 분석하였다[12]. HBM(human body model)의 ESD 스트레스를 시뮬레이션하기 위해 MMT (mixed mode transient) 시뮬레이션이 10 nsec의 상승 시간(rise time)과 100 nsec의 지속시간(duration time)을 갖는 사다리꼴의 전류 펄스를 채택하여 수행되었다. Barth 4002의 TLP(transmission line pulse) 테스트 시스템이 EDNMOS 소자의 고전류 반응을 실험적으로 모니터링하기 위해 사용되었다[13]. 측정동안, 펄스 상승시간과 지속시간은 각각 10 nsec와 100 nsec를 유지하였다. 또한, BDC의 영향을 효과적으로 분석하기 위해 표 1에 보인 것처럼 HP-well과 N-드리프트 이온주입량을 반복적으로 변화시켜 가며 시뮬레이션을 수행하였다.

Ⅲ. 결과 및 고찰

1. 더블 스냅백 현상

더블 스냅백(double snapback)에 관련된 메커니즘을 조사하기 위한 첫 단계로 전압과 온도의 시간 의존성 동작특성이 시뮬레이션에 의해 모니터링 되었다. 그림 3에 화살표로 보인 것처럼, 2mA/um의 스트레스 전류가 인가되었을 때, 대략 37V의 스냅백 홀딩(holding) 전압에서 1차 스냅백이 일어한 후 안정화되었다. 이는 첫번째 온-상태(on-state)에 있음을 의미한다. 그러나 인가된 스트레스 전류가 4mA/um인 경우, 스냅백 홀딩 전압은 27V로 감소한 후 2차로 안정화되었다. 스트레스 전류가 증가함에 따라 감소하는 홀딩 전압은 소자가 더블 스냅백을 일으켜 두 번째 온-상태에 들어갔음을 지적하는 것이다. 또한 최대 로컬(local) 온도의 급격한 증가 현상도 소자가 2차 온-상태에 들어갔을 때 나타났다. 열 소모

는 전류밀도와 전계의 곱에 비례하므로 최대 로컬 온도의 증가는 고전류 밀도(J) 또는 고전계(E)를 의미한다.

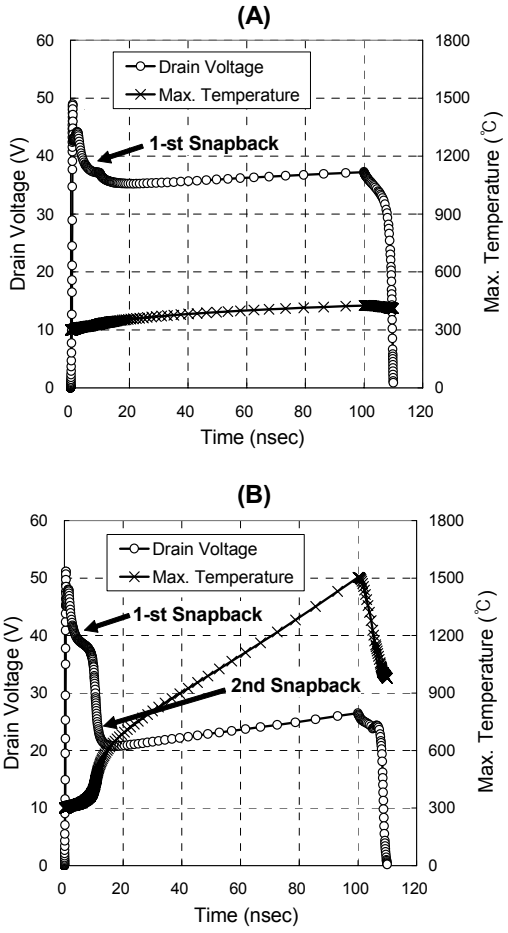


그림 3. EDNMOS 소자의 시간-전압 및 시간-온도 특성 의 과도 시뮬레이션 결과. (A) 인가된 스트레스 전류밀도 = 2.0mA/um, (B) 인가된 스트레스 전류밀도 = 4.0mA/um

그림 4는 인가된 전류 밀도가 각각 2.0mA/um, 4.0mA/um 일 때, EDNMOS 소자의 온도, 전계, 전체 전류 및 전자밀도의 2차원 등고선(contour) 분석을 나타낸 것이다. 그림 4에 보인 것처럼, 첫번째 온-상태와 두번째 온-상태 사이에서 명백한 차이를 보였다. 인가된 스트레스 전류가 2mA/um의 경우 소자가 첫번째 온-상태에 있을 때 전형적인 BJT 소자와 비슷한 등고선 특성이 나타났다. 이 상태에서 소스로 부터 주입된 전자들과 이로 인한 전류 흐름은 N-드리프트 영역의 하부 방향을 통해 지나가며 다소 수직적으로 분포되어졌다. 스트레스 전류를 4mA/um까지 증가시키면 소스로부터의 고전자 주입(high electron injection)으로 인해 소스로부터 드레인까지 전자 풍부 영역(electron rich region)이 측면 확장됨을 볼 수 있다. 이러한 전자 풍부 영역의 측면 확장으로 N+ 확산의 소스와 N+ 확산의 드레인 사이를 연결하는 게이트 아래에 깊은 전자 채널이 형성되었다. 즉, 깊은 전자 채널을 수반하는 낮은 저항성 경로가 강한 스냅백과 낮은 온-저항을 갖는 두번째 온-상태를 일으킨 것으로 생각된다.

그림 5는 소자 깊이가 0.2 um인 위치에서 EDNMOS 소자의 전자 밀도, 호울 밀도 및 백그라운드 도핑 농도(BDC)의 1차원 프로파일을 보인 것이다. HP-well 영역과 N-드리프트 영역에서의 전자 밀도는 스트레스 전류가 2mA/um에서 4mA/um까지 증가함에 따라 대략 2승만큼 증가를 하였다. 4mA/um의 스트레스 전류에서 N-드리프트 영역의 캐리어 밀도는 N-드리프트 영역의 백그라운드 도핑 레벨보다 훨씬 더 높게 형성되었다. 이러한 프로파일에서 백그라운드 도핑은 자유 캐리어에 의해 완전히 차단되어지므로 N-드리프트 영역은 전계가 없는 베이스(field-free base) 영역의 역할을 하였다. 2mA/um에서 4mA/um까지 스트레스 전류를 증가시키면 공핍영역은 N-드리프트 영역으로부터 드레인 N+ 확산과 N-드리프트 영역의 경계로 이동하였다. 공핍영역의 이동에 따라 최대 전계도 변위되어 국부적(local)으로 형성될 것이다. 다시 말해서, 소자가 두번째 온-상태에 들어가면 전계의 등고선 분포는 N- 드리프트 영역과 N+ 확산의 드레인 경계에서 국부적으로 형성되는 것이다. 그림 3 (B)에서 설명한 바 있는 최대 로컬 온도의 급격한 증가는 국부적인 전류의 형성보다는 고전계의 위치와 최대 국부(local) 온도의 위치 사이의 정확한 매칭(matching)은 그림 4 (B)에서 명백히 확인되었다.

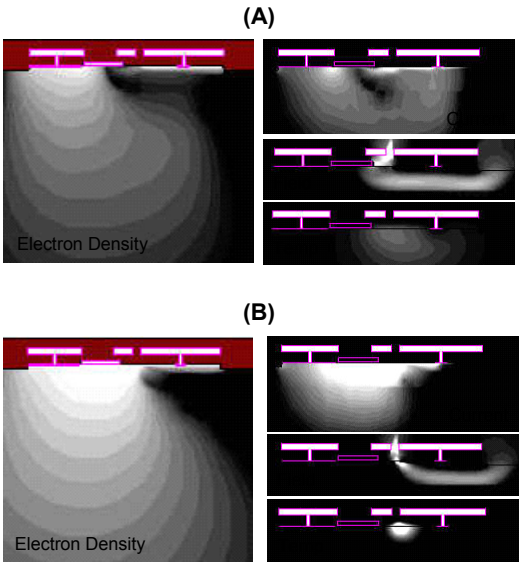


그림 4. EDNMOS 소자의 온도, 전계, 전류 및 전자밀도의 등고선 분석.
(A) 인가된 전류 밀도가 2.0mA/um일 때,
(B) 인가된 전류 밀도가 4.0mA/um일 때

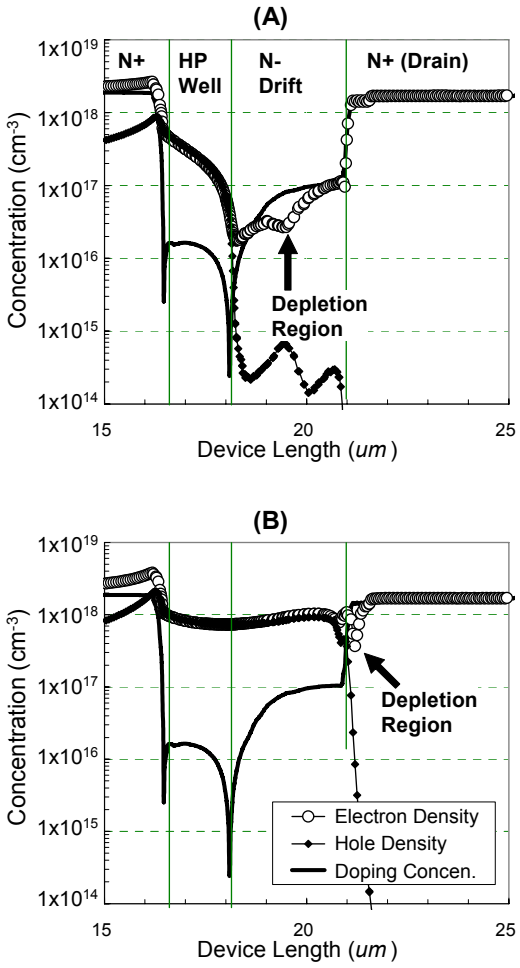


그림 5. EDNMOS0 소자의 전자밀도, 호울밀도 및 도핑 농도의 1차원 프로파일 시뮬레이션 결과.
(A) 인가전류밀도=2.0,
(B) 인가전류밀도=4.0mA/um

2. 백그라운드 도핑 농도의 영향

앞 절에서 설명했던 결과들로 부터 두 번째 스냅백이 일어나지 않는 안정하고 강한 ESD 보호 성능을 구현하기 위해서는 깊은 전자 채널의 형성이 일어나지 않아야 함을 알 수 있었다. 온-상태의 전자 밀도 분포는 소자 내의 백그라운드 도핑 분포에 매우 의존하기 때문에 N- 드리프트 이온주입 조건은 깊은 전자 채널 형성을 결정하기 위한 임계 인자가 된다. 따라서 N+ 확산, P-well 및 N- 드리프트와 같은 이온주입 도즈(dose)의 영향이 조사되었다.

그림 6에 보인 것처럼, N-드리프트 도즈가 $3.3\times10^{13}cm^{-2}$ 보다 더 높게 유지되면 더블 스냅백의 발생을 피할 수 있음을 알 수 있다. 이는 N- 드리프트 이온주입 도즈를 조절하는 것이 EDNMOS 소자에서 안정한 ESD 보호를 구현하기 위해 효과적인 방법이 될 수 있음을 암시하는 것이다. 따라서 N-드리프트 이온주입 도즈가 $3.3\times10^{13}cm^{-2}$ 보다 더 낮은 경우에는 N- 드리프트 영역에 깊은 전자채널이 형성되어 자유 캐리어의 농도가 N- 드리프트 영역의 백그라운 도핑을 차단할 만큼 충분히 높게 되지만, N-드리프트의 이온주입 도즈가 $3.3\times10^{13}cm^{-2}$ 보다 더 높은 경우에는 고전류 주입에 의한 깊은 전자 채널이 높은 전류 레벨에서도 일어나지 않을 것으로 여겨진다.

그림 7은 BDC 변화에 따른 EDNMOS 소자의 (A) 시뮬레이션된 I-V 특성 및 (B) TLP 측정된 I-V 특성과의 관계를 나타낸 것이다. 여기서 BDC가 EDNMOS 소자의 고전류 동작에서 더블 스냅백 특성에 중요한 영향을 주는 인자임이 입증되었다. 더블 스냅백 현상은 낮은 BDC (Low BDC : HP-Well implant dose = $7.5\times10^{12}cm^{-2}$, N-Drift implant dose = $1.1\times10^{13}cm^{-2}$)를 갖는 EDNMOS 소자에서 나타났다. 두번째 온-상태가 일어났을 때, 스냅백 홀딩 전압, 열적 브레이크다운 전압은 동작 전압보다 더 낮았으며, 트리거링 전압보다 훨씬 더 작은 브레이크다운 전압을 나타내었다. 이러한 특성을 갖는 EDNMOS 소자는 국부적인 전류의 집중과 이로 인한 멜팅 손상으로 ESD 스트레스에 대해 취약할 수밖에 없다. 하지만 BDC (High BDC : HP-Well implant dose = $1.7\times10^{13}cm^{-2}$, N-Drift implant dose = $4.0\times10^{13}cm^{-2}$)를 증가시킬 경우, EDNMOS 소자는 더블 스냅백 현상을 보이지 않음과 동시에 양호한 스냅백 홀딩 전압과 높은 브레이크다운 전압을 갖는 첫번째 온-상태를 유지하였다. 즉, BDC가 높을수록 안정한 ESD 보호 성능과 래치업 면역 특성을 얻을 수 있음을 예측할 수 있다. 이는 시뮬레이션 결과가 그림 7 (B)에 보인 TLP 데이터와 비교적 일치하고 있는 점에서 증명되고 있다.

그림 7과 관련된 메커니즘들은 그림 8에 보인 것과 같이 전류밀도, 전계, 최대 온도 영역에 대한 등고선 분포로 명확하게 설명될 수 있다. U자 모양의 전류경로가 N+ 확산 소스와 N+ 확산 드레인 사이에서j 형성되었는데, 이는 더블 스냅백이 일어나기 전의 첫번째 온-상태로 생각된다. [8]

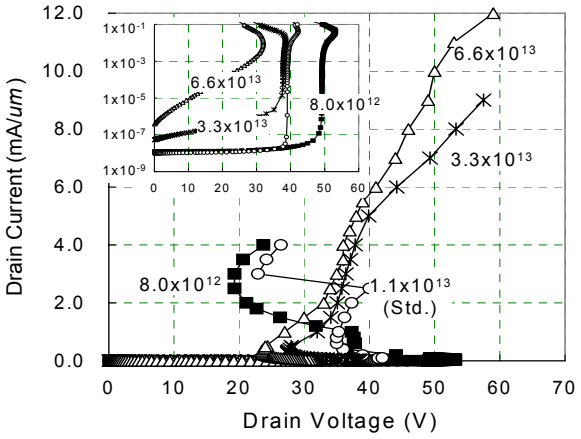
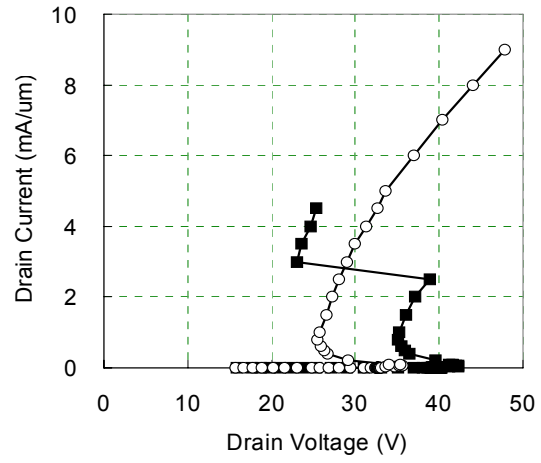
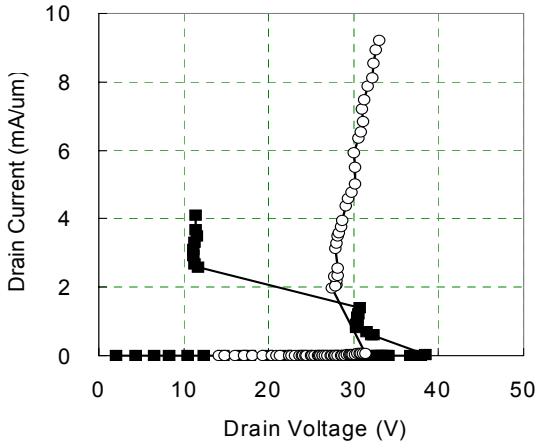


그림 6. N-드리프트 이온주입 도즈 변화에 따른 EDNMOS 소자의 전류-전압 특성의 시뮬레이션 결과. 삽입된 그림은 EDNMOS 소자의 동일한 N- 드리프트 이온 도즈에서 애발란치 브레이크다운 전압을 보인 것임



(A)



(B)

그림 7. 서로 다른 백그라운드 도핑 농도를 갖는 EDNMOS 소자의 (A) 시뮬레이션된 전류-전압 특성과 (B) TLP 실험 데이터

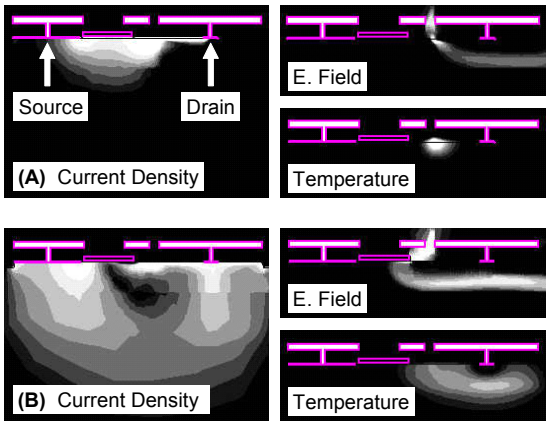


그림 8. BDC 변화에 따른 EDNMOS 소자의 전류밀도, 전계, 국부적인 온도의 등고선 특성.
(A) 낮은 BDC(HP-Well implant dose = $7.5\times10^{12}cm^{-2}$, N-Drift implant dose = $1.1\times10^{13}cm^{-2}$), 드레인 전류 = 4mA/um,
(B) 높은 BDC(HP-Well implant dose = $1.7\times10^{13}cm^{-2}$, N-Drift implant dose = $4.0\times10^{13}cm^{-2}$), 드레인 전류 = 8mA/um.

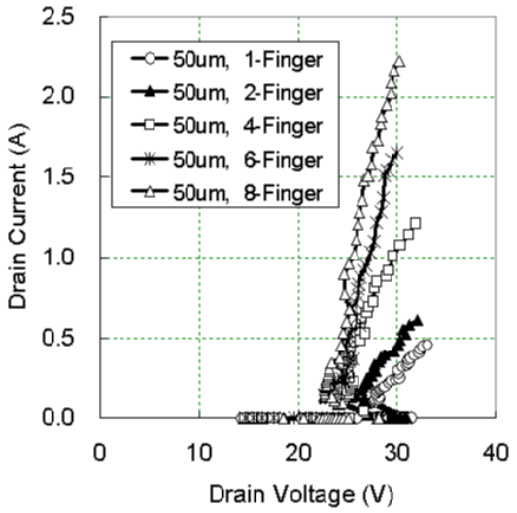


그림 9. 높은 BDC를 갖는 EDNMOS 소자의 핑거 수에 따른 전류-전압 특성의 TLP 데이터

그림 8 (A)와 같이 낮은 BDC를 갖는 EDNMOS 소자의 경우, 깊은 전자 채널이 게이트 아래의 오른쪽에 형성되었다. 베이스 영역의 경계를 표시하는 고전계 영역은 HP-well/N-드리프트 경계에서 N-드리프트 층과 N+ 확산층의 경계로 변위하여 국부적인 최대 온도 영역이 N-드리프트/N+확산 경계의 표면에서 나타났다. 높은 BDC를 갖는 EDNMOS 소자는 그림 8 (B)와 같이 고전류 영역에서도 베이스 푸쉬-아웃을 보이지 않았다. 따라서 초기에 형성된 U자 모양의 전류 전도 경로는 열적 브레이크 다운이 발생할 때까지 유지되었으며, 고전계 영역도 HP-Well / N-Drift 경계에서 변위되지 않았다.

그림 9에 보인 TLP 데이터는 그림 8 (B)의 높은 BDC (HP-Well implant dose = $1.7\times10^{13}cm^{-2}$, N-Drift implant dose = $4.0\times10^{13}cm^{-2}$)조건을 갖는 EDNMOS 소자에서 핑거 수(finger number) 변화에 따른 I-V 관계를 보인 것이다. 균일한 멀티-핑거 트리거링과 핑거 수에 대한 전류 면역 특성의 선형 의존성이 명백히 나타났다. 이는 EDNMOS 소자의 스케일링(scaling)에서 나타나는 한계는 BDC를 적절히 조절함으로써 조절될 수 있음을 제안하는 것이다.

Ⅳ. 결 론

이 연구에서는 ESD 보호를 위한 EDNMOS 소자의 더블 스냅백 현상 및 이를 해결하기 위한 N- 드리프트 이온주입 및 백그라운드 도핑 농도(BDC)에 대해 시뮬레이션 되었다. 이들 소자의 고전류 동작 특성은 처음에는 전류통로가 N-드리프트 영역의 바닥(bottom)을 흐르는 수직으로 분포된 BJT 동작에 의해 지배되었다. 스트레스 전류를 증가시킴으로써 고전자 주입은 N+확산 소스로부터 N+확산 드레인까지 깊은 전자 채널을 형성하여 더블 스냅백 현상을 나타내었다.

이는 깊은 전자 채널을 통해 흐르는 확산 전류가 두번째 온-상태의 발생에 매우 중요한 역할을 하고 있음을 의미한다. EDNMOS 소자가 ESD에 대해 취약한 이유는 매우 낮은 스냅백 홀딩 전압과 낮은 온-저항을 갖는 두번째 온-상태의 발생에 그 원인이 있는 것으로 판단된다. N-드리프트 이온주입 도즈가 증가할수록 깊은 전자채널의 형성을 효과적으로 방지할 수 있었다. 또한, 높은 BDC를 갖은 EDNMOS 소자는 더블 스냅백을 보이지 않고, 첫번째 온-상태를 유지하였다. 이는 안정한 ESD 방지 성능과 래치업 면역이 EDNMOS 소자에서 가급적 BDC를 충분히 높게 유지시킴으로써 구현될 수 있음을 알 수 있었다.

참 고 문 헌

[1] G. Bosselli, S. Meeuwsen, T. Mouthaan and F. Kuper, "Investigations on double diffused MOS (DMOS) transistors under ESD zap conditions", in Proc. EOS/ESD Symp., pp. 11-18, 1999.

[2] M. P. J. Mergens, W. Wilkening, S. Mettler, H. Wolf, A. Stricker and W. Fichtner, "Analysis of lateral DMOS power devices under ESD stress conditions", IEEE Trans. Electron Devices, 47, pp. 2128-2137, 2000.

[3] B. Keppens, M. P. J. Mergens, C. S. Trinh, C. C. Russ, B. V. Camp and K. G. Verhaege, "ESD protection solutions for high voltage technologies", in Proc. EOS/ESD Symp., pp. 289-298, 2004.

[4] C. Duvvury, F. Carvajal, C. Jones and D. Briggs, "Lateral DMOS design for ESD robustness", in IEDM Tech. Dig., pp. 375-378, 1997.

[5] K. Kawamoto, S. Takahashi, S. Fujino and I. Shirakawa, "A no-snapback LDMOSFET with automotive ESD endurance" IEEE Trans. Electron Devices, 49, pp. 2047-2053, 2002.

[6] V. Parthasarathy, V. Khemka, R. Zhu, J. Whitfield, R. Ida and A. Bose, "A double RESURF LDMOS with drain profile engineering for improved ESD robustness", IEEE Electron Device Lett., 23, pp. 212-214, 2002.

[7] B. C. Jeon, S. C. Lee, J. K. Oh, S. S. Kim, M. K. Han, Y.I. Jung, H. T. So, J. S. Shim and K. H. Kim, "ESD characterization of grounded-gate NMOS with 0.35um/18V technology employing transmission line pulser (TLP) test", in Proc. EOS/ESD Symp., pp. 362-372, 2002.

[8] M. D. Ker and K. H. Lin, "Double snapback characteristics in high-voltage nMOSFETs and the impact to on-chip ESD protection design", IEEE Electron Device Lett., 25, pp. 640-642, 2004.

[9] S. M. Sze, Physics of Semiconductor Devices, 2nd ed. New York: Wiley, 1981.

[10] M. Streibl, K. Esmark, A. Sieck, W. Stadler, M. Wendel, J. Szatkowski and H. Goner, "Harnessing the base-pushout effect for ESD protection in bipolar and BiCMOS technologies" in Proc. EOS/ESD Symp., pp. 73-82, 2002.

[11] TSUPREM4TM Process Simulator, User's Manual (Avanti Co.)

[12] DESSISTM Device Simulator, User's Manual (ISE Inc.)

[13] J. E. Barth, K. Verhaege, L. G. Henry and J. Richner: IEEE Trans. Electron. Packaging Manufact. 24 p. 99, 2001.

저자

양 준 원(Jun-Won Yang) **정회원**

- 1989년 2월 : 영남대학교 전자공학과 학사졸업
- 1995년 3월 : Keio대학교 이공학연구과 전기공학과 석사졸업
- 1999년 3월 : Keio대학교 이공학연구과 전기공학과 박사수료
- 1999년 3월 ~ 현재 : 세한대학교 컴퓨터교육과 부교수

<관심분야> 위성통신, 전자파 해석

서 용 진(Yong-Jin Seo) **정회원**

- 1987년 2월 : 중앙대학교 전기공학과 학사졸업
- 1989년 2월 : 중앙대학교 전기공학과 석사졸업
- 1994년 2월 : 중앙대학교 전기공학과 박사졸업
- 1995년 3월 ~ 현재 : 세한대학교 교수

<관심분야> 반도체소자, 정전기보호소자, CMP공정