

<http://dx.doi.org/10.7236/JIWIT.2012.12.5.1>

JIWIT 2012-5-1

DAC를 적용한 DDS Driven Offset PLL모델링 및 설계

Design and Modeling of a DDS Driven Offset PLL with DAC

김동식*, 이행수*, 김종필*, 김선주**

Dong-Sik Kim, Hang-Soo Lee, Jong-Pil Kim, Seon-Ju Kim

요약 본 논문은 레이더 시스템에 적용되는 고성능 PLL 주파수 합성기를 설계하고, 그 성능을 분석하였다. 소형화 제작을 위해 PLL 간접합성방식을 적용하였으며, 광대역특성에서 우수한 위상잡음과 고속의 주파수합성시간을 갖기 위해 offset 방식의 PLL에 DDS를 기준신호로 설계 하였다. 또한, offset PLL에서 고속의 주파수 변환을 위해 DAC를 이용하여 coarse tune을 적용하였다. 이러한 구조에서의 성능 예측을 위해 각각의 잡음원에 대해 모델링을 적용하여 출력위상잡음을 예측하였으며, 제작결과와 비교 분석하였다. 그 결과 simulation과 측정결과가 일치함을 확인하였으며, 100KHz 오프셋 주파수에서 -126dBc/Hz의 우수한 위상잡음 특성과 10usec 이내의 고속의 주파수변환시간을 갖는 항공 기용 레이더 주파수합성기를 설계하였다.

Abstract In this paper, we presents the modeling and implementation of the DDS(Direct Digital synthesizer) driven offset PLL(Pghase Locked Loop) with DAC(Digital Analog Converter) for coarse tune. The PLL synthesizer was designed for minimizing the size and offset frequency and DDS technique was used for ultra low noise and fast lock up time, also DAC was used for coarse tune. The output phase noise was analyzed by superposition theory with the phase noise transfer function and noise source modeling. the phase noise prediction was evaluated by comparing with the measured data. The designed synthesizer has ultra fast lock time within 6 usec and ultra low phase noise performance of -120 dBc/Hz at 10KHz offset frequency.

Key Words : DDS, PLL, DAC, frequency synthesizer, phase noise

1. 서 론

레이더 시스템이나 통신시스템에서 주파수의 생성 및 시스템의 성능을 좌우하는 기본적인 부분이 바로 주파수 합성기이며, 이를 구현하고 성능을 개선하기 위해 많은 연구들이 진행되어 왔다. 주파수합성기는 크게 직접주파수 합성방식과 간접 주파수합성방식이 있는데, 직접주파수 합성방식은 주파수천이 시간 및 위상잡음 측면에서 장점을 가지고 있지만, 사이즈가 커지는 단점을 가지고

있다. 반대로 간접주파수합성방식은 구조가 간단하고, 사이즈가 작지만, 위상잡음과 주파수천이시간 측면에서 상대적으로 단점을 가지고 있다.^[1] 레이더와 같은 고성능의 주파수 성능을 요구하는 시스템에서는 직접주파수 합성 방식을 선호해 왔다. 하지만 최근 디지털 기술이 발달하고, 부품의 성능이 개선되면서 간접합성방식을 적용하여 성능을 개선하고, 레이더 시스템에 적용하고자 하는 연구들이 진행되고 있다. 이에 대한 연구 사례로서 주파수 천이시간을 개선하기 위해 DDS driven PLL 방식이 진

*준회원, LIGNEX1 ISR연구센터

**준회원, 국방과학연구소

접수일자 : 2012년 7월 4일, 수정완료 : 2012년 10월 2일
게재확정일자 2012년 10월 12일

Received: 04 July 2011 / Revised: 2 October, 2012 /

Accepted: 12 October, 2012

**Corresponding Author: kessesme@yonsei.ac.kr
ISR R&D Lab. LIGNEX1

행되었으며, 이는 기본적인 PLL의 주파수천이시간에 영향을 주게 되는 분주비를 가변하지 않도록 PLL의 기준 신호를 DDS로 가변하는 시스템이다.^[2] 그리고, 높은 주파수 출력에서 위상잡음을 개선하기 위하여 PLL의 feedback loop 상에 혼합기를 이용하여 주파수를 하향 변환하고 이를 비교주파수로 사용하는 offset 방식의 PLL이 연구되었다. 이는 출력주파수가 높을 경우 비교주파수를 생성하기 위해 N 분주기가 커지게 되고, 이에 따라 위상잡음이 열화되는 영향을 줄이기 위한 노력이다.^[3] 또한 광대역 출력에서 주파수천이 시간을 줄이기 위해 DAC를 적용하여 coarse tune을 적용하기도 하였다. 최근 간접주파수합성방식을 적용하여 주파수천이시간 및 위상잡음을 개선하고, 광대역 특성을 구현하기 위해 DDS와 DAC 및 offset 방식을 적용한 연구가 진행되었다.^[4] 이 경우 피드백 루프상의 VCO의 주파수와 offset 주파수를 혼합하고 이를 다시 DDS 출력주파수를 혼합하여 비교주파수를 생성하게 되는데, 이론적으로는 DDS 비트수에 의한 해상도까지 구현이 가능하지만 실제 구현시 DDS의 의해 생성되는 불요파 및 하모닉 성분들, 그리고 혼합기에 의해 생성되는 고차 하모닉 성분들을 제거할 수 없게 되며, PLL 최종 출력주파수에 불요파 신호들이 존재하게 된다.

이를 개선하기 위해 본 연구에서는 DDS를 기준주파수로 사용하고, DDS의 출력신호대역을 최소화하고 이를 필터링 함으로써 DDS의 불요파 성분을 최소화 하였다. 또한 1GHz의 광대역 출력 신호를 구현하기 위하여 offset 방식의 PLL을 구현하였으며, 주파수 천이 시간을 최소화 하기 위해 DAC를 적용하여 coarse tune을 구현 하였다. 이러한 경우 출력위상잡음의 성능을 예측하기 어렵지만, 본 연구에서는 중첩의 원리를 적용하여 모든 성분들에 대한 위상잡음을 모델링하고, 이들에 의한 출력 위상잡음의 성능을 예측하고, 측정결과를 통해 검증 하였다.

II. 본론

1. 설계 및 구성

일반적인 PLL의 경우, PFD의 비교주파수와 N 분주기 및 R divider의 성능에 의해 VCO와 입력 reference oscillator가 선정이 된다. 이러한 구성에서는 구조가 단

순하고, 성능에 영향을 주는 factor들이 명확하기 때문에 분석이 용이하여 많은 설계도구들이 존재하며, 일반적으로 PLL IC 제조사에 제공을 하고 있다. 그림 1은 일반적인 PLL의 구조이다. 이러한 경우 PLL 출력의 위상잡음분포는 위상동기된 PLL 회로를 가정하고, 선형 시스템 전달 함수와 중첩의 원리를 적용하여 다음과 같이 표현할 수 있다.

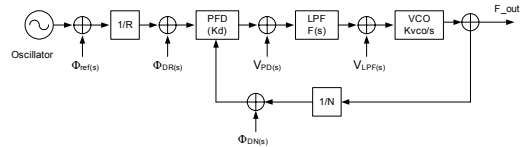


그림 1. 일반적인 PLL의 구조
Fig 1. Conventional PLL configuration

$$\Phi_{output}(s) = H(s) \times \left[\begin{aligned} &(N/R) \times \Phi_{ref}(s) \\ &+ \frac{N}{K_{\phi}} \left\{ V_{pd}(s) + \frac{V_{LPF}(s)}{F(s)} \right\} \\ &+ N \times \{ \Phi_{DR}(s) - \Phi_{DN}(s) \} \end{aligned} \right] + \{ 1 - H(s) \} \times \Phi_{VCO}(s) \dots \dots \dots (1)$$

여기서, 전달함수 H(s)는 $\frac{K_{\phi} K_{VCO} F(s)}{N_s + K_{\phi} K_{VCO} F(s)}$ 이다.

전달함수 H(s)는 저역통과 필터 특성을 가지므로, VCO에 대해서는 고역통과 필터 작용을 하며, 이외의 성분들에 대한 위상잡음에 대해서는 저역통과 여파작용을 한다. 즉, 기준신호발전기 ($\phi_{ref}(s)$), 위상비교기 ($V_{PD}(s)$), 분주기 ($\phi_{DR}(s), \phi_{DN}(s)$) 그리고 저역 통과 필터의 저역 주파수 대역의 잡음 ($V_{LPF}(s)$)이 전압 제어 발진기로 전달되어, 전압 제어 발진기 신호의 오프셋 주파수 영역의 위상 잡음은 이들 성분에 동기되는 것을 알 수 있다. 또한 전압 제어 발진기의 잡음은 고역 통과 특성을 가지므로 높은 오프셋 주파수 영역의 위상 잡음은 전압 제어 발진기의 위상 잡음 특성을 가진다. 일반적인 PLL IC의 경우 비교주파수가 최대 수십 MHz 정도이며, 가능한 N 분주비는 수백 정도이다. 따라서, 이러한 구조는 최대 S-band VCO가 사용이 가능하며, 그 이상의 주파수를 출력하기 위한 VCO는 비교주파수로 변환하기 위한 N 분주기가 부족하여 외부에 추가적인 분주기나 mixer 등을 사용하여, N 분주가 가능한 주파수까지 하향 변환

하여 구성하게 된다. 이러한 경우에는 N 분주비나 R 분주비 그리고, 비교주파수와 VCO 출력 주파수와와의 관계가 복잡하여 출력 위상잡음의 분석이 어려워지게 된다. 또한 추가적인 위상잡음 분포가 존재하여 별도의 추가적인 분석이 필요하다. 특히나, 일반적인 PLL의 단점인 높은 출력주파수에의 높은 N 분주비 그리고, 광대역 출력시 위상잡음 열화, lock time 성능의 저하와 같은 특성을 개선하기 위해 많은 노력들이 진행되고 있으며, 이를 개선하기 위해 DDS와 offset 방식의 PLL 그리고, DAC를 이용한 방법들이 존재하게 된다.

본 논문에서는 높은 출력주파수에서 광대역의 신호를 최대한 짧은 시간 안에 위상고정하고, 위상잡음 또한 개선하기 위하여 그림 2와 같은 구조의 PLL 주파수합성기를 설계하였다. 광대역 출력신호에서 lock time을 줄이기 위해 DAC를 통한 coarse tune을 적용하고, reference frequency 입력으로 주파수 변환속도가 빠른 DDS를 사용하였다. 또한 높은 출력 주파수를 비교주파수로 하향 변환하기 위해 N 분주비를 최소화 하기 위해 mixer를 통해 주파수를 하향 변환하였다. 이러한 경우의 위상잡음 분포는 수식 (2) 같다.

$$\Phi_{output}(s) = H(s) \times \left[\begin{aligned} & (N/R) \times \Phi_{DDS}(s) \\ & + \frac{N}{K_{\phi}} \left\{ V_{pd}(s) + \frac{V_{LPF}(s)}{F(s)} \right\} \\ & + M \times \Phi_{osc}(s) + \Phi_M(s) - \Phi_{mix}(s) \\ & + N \times \{ \Phi_{DR}(s) - \Phi_{DN}(s) \} \end{aligned} \right] + \{1 - H(s)\} \times \Phi_{VCO}(s) + \Phi_{DAC}(s) \times \frac{K_0}{s} \dots\dots\dots (2)$$

여기서, 전달함수 H(s)는 $\frac{K_{\phi} K_{VCO} F(s)}{N_s + K_{\phi} K_{VCO} F(s)}$ 이다.

$$S_{\Phi_{output}}(f) = |H(f)|^2 \times \left[\begin{aligned} & \left(\frac{N}{R} \right)^2 \times S_{\Phi_{DDS}}(f) \\ & + \frac{N^2}{K_{\phi}^2} \left\{ S_{\Phi_{pd}}(f) + \frac{S_{\Phi_{LPF}}(f)}{|F(f)|} \right\} \\ & + M^2 \times S_{\Phi_{osc}}(f) + S_{\Phi_M}(f) \\ & - S_{\Phi_{mix}}(f) + N^2 \\ & \times \{ S_{\Phi_{DR}}(f) - S_{\Phi_{DN}}(f) \} \\ & + |1 - H(f)|^2 \times S_{\Phi_{VCO}}(f) \\ & + S_{\Phi_{DAC}}(f) \times K_0^2 / \omega^2 \dots\dots\dots (3) \end{aligned} \right]$$

PLL 구조에서 구성 소자들에 의한 위상잡음은 랜덤하고 상관 관계가 없으므로 출력 위상잡음의 전력 스펙트럼 밀도는 각각의 스펙트럼 밀도를 더함으로써 얻을 수 있으며, 수식 (3)과 같다.

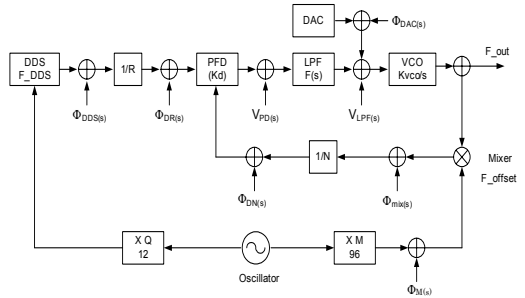


그림 2. Coarse tune을 적용한 DDS driven offset 방식 PLL 방식의 구조
Fig 2. DDS driven offset PLL configuration.

2. 위상잡음 모델링

본 PLL 구성의 위상잡음을 분석하기 위하여 위상잡음에 영향을 주게 되는 성분들에 대한 모델링을 적용하였으며, 중첩의 원리를 적용하여 최종 출력단의 위상잡음을 simulation 하였다. 각 성분들에 대한 위상잡음 모델링 및 simulation 결과는 아래와 같다. Oscillator의 경우 위상잡음은 $1/f^3$, $1/f^2$, $1/f^1$ 그리고, 배경 잡음 영역으로 표현되며, 결국 아래와 같은 수식으로 표현 할 수 있다

$$S_{\Phi_{osc}}(f) = \frac{a_3}{f^3} + \frac{a_2}{f^2} + \frac{a_1}{f^1} + a_0 \dots\dots\dots (4)$$

모델링에 의해 표현된 Oscillator의 위상잡음 곡선은 그림 3과 같다.

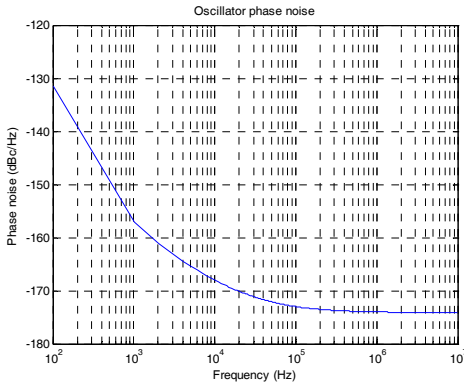


그림 3. Oscillator 위상잡음 특성 모델링
Fig 3. Phase noise of reference oscillator

본 논문에서 적용된 PLL의 기준신호는 DDS를 이용해 출력되며, 이는 loop 대역내에서 중요한 위상잡음 특성이 된다. 이에 대한 모델은 아래와 같다. DDS 출력 위상잡음 입력 reference 의 위상잡음과 DDS 내부의 DAC bit 수 그리고, 출력 주파수와 관련이 있으며, 이를 수식으로 표현하면 수식 (5)와 같다.

$$S_{\phi,DDS}(f) = S_{\phi,ref}(f) \times \left(\frac{F_{DDS}}{F_{ref}}\right)^2 + S_{DDS_n}(f)$$

$$S_{\phi,DDS}(f) \approx S_{\phi,ref}(f) \times \left(\frac{F_{DDS}}{F_{ref}}\right)^2 + \frac{10^{-10.6}}{f} + \frac{2^{-2(D-1)}}{3f_0} + 10^{-15.5} \quad (5)$$

여기에서, f_0 는 출력 주파수를 의미하며, $D=bit$ 수이다. 설계하고자 하는 DDS 는 AD9910 으로 16bit 를 포함하고 있으며, F_{DDS} 160MHz로 설정하고, f_{ref} 는 80MHz OCXO 의 12배 주파수인 960MHz 로 설정하였다. DDS 출력주파수의 배정잡음은 -155 dBc/Hz 로 설정하였다. 이는 DDS 사양을 통해 알 수 있다.

수식 5에 의한 DDS 출력의 예상 위상잡음은 그림 4와 같다. 그리고, PLL의 loop 대역 외에서는 VCO의 위상잡음 영향이 중요시 되며, 이에 대한 모델링은 아래와 같다.

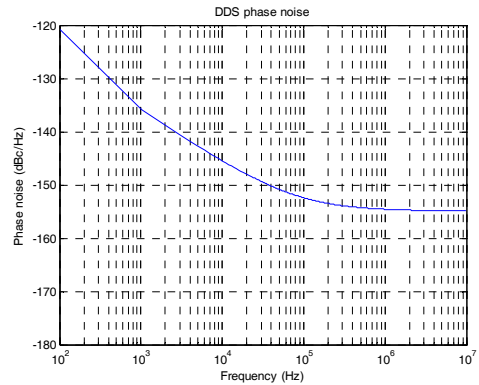


그림 4. DDS 출력 위상잡음 특성 모델링
Fig 4. Phase noise of DDS output

VCO의 위상잡음은 사양서를 바탕으로 모델링을 수행하였으며, 이를 수식으로 표현하면 아래와 같다.

$$S_{\phi,VCO}(f) = -25 \times \log(f) + 30 \dots\dots (6)$$

여기에서, f 는 offset 주파수를 의미한다.

설계하고자 하는 VCO는 HMC507LP5 이며, 위 수식에 따른 VCO 출력의 예상 위상잡음은 그림 5와 같다.

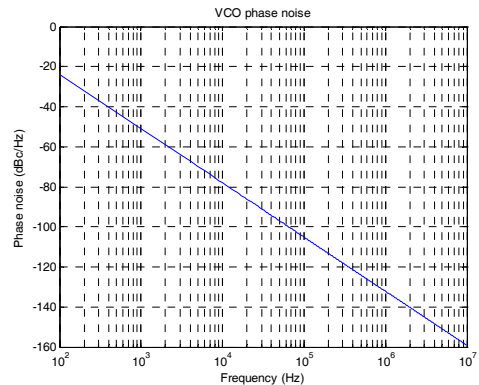


그림 5. VCO 출력 위상잡음 특성 모델링
Fig 5. Phase noise of VCO

PLL에서 기본적인 발진소자에 대한 모델링을 한 후 PLL에 적용되는 분주기 및 DAC그리고 피드백시 혼합하기 위한 옵셋 주파수에 대한 위상잡음 모델링이 필요하며, 이에 대한 분석은 아래와 같다. PLL 칩의 위상잡음은 위상 주파수 비교기 ($S_{\phi,PD}(f)$)와 분주기 ($S_{\phi,DR}(f), S_{\phi,DN}(f)$)

의 잡음원에 대한 표현이 있으며, 특히 비교기 항에는 전하펌프 (charge pump)의 전류 이득, K_d (current gain)이 포함되어 있는데, $K \ll 1$ (0.001~0.1A) 이므로 근사화가 가능하다.

위상 주파수 비교기 및 분주기는 모두 디지털 논리형 분주기로서 플리커 잡음 (1/f) 은 분주기 출력 주파수의 제곱에 비례하여 증가하고, 배경잡음 영역에서는 출력 주파수에 비례하여 증가한다. 일반적인 PLL의 모델링은 수식 7과 같다.

$$S_{\phi, PLL}(f) = S_{DR,n} + S_{DN,n} + \frac{S_{PD,n}}{K_d^2} \approx \frac{S_{PD,n}}{K_d^2}$$

$$S_{\phi, PLL}(f) \approx \frac{10^{-14} + 10^{-27} \times f_0^2}{f} + 10^{-15} + 10^{-21.5} \times f_0 \dots \dots \dots (7)$$

여기에서 f_0 는 위상주파수 비교기의 동작주파수를 의미한다. 모델링된 위상잡음의 결과는 그림 6과 같다. 설계에 사용된 PLL 은 Hittite 사의 HMC440QS16G 를 적용하였다. PLL 에 적용되는 Low pass Filter 는 passive 와 active filter 로 구분되며, 높은 전압으로 구동되는 VCO 의 경우 OP AMP 를 이용한 active filter 가 적용이 된다. 본 설계에서는 3차 active filter 를 적용하였으며, 그 블록도는 아래와 같다. OP amp 의 잡음원은 잡음 전압 V_{nA} , 잡음 전류 i_{nA} 로 표현 하였고, 수동소자 R2, R3 에 의해 발생하는 열잡음을 각각 V_{nR2} , V_{nR3} 로 나타내었다.

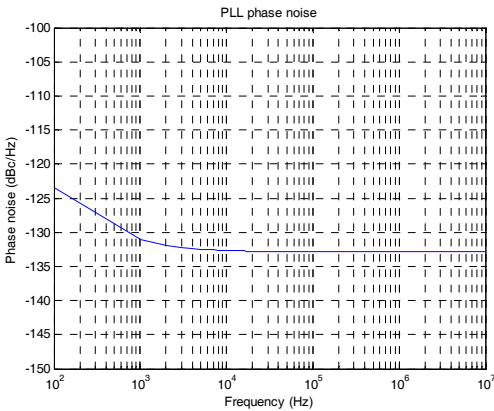


그림 6. PLL의 위상잡음 특성 모델링
Fig 6. Phase noise of PLL Chip

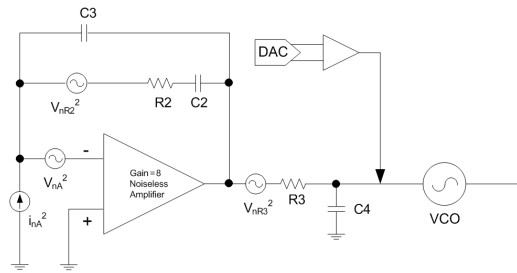


그림 7. Low Pass Filter 의 블록도
Fig 7. Noise source of Loop Filter

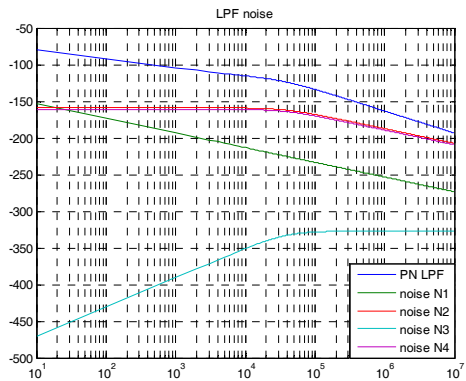


그림 8. LPF 의 잡음 특성 모델링
Fig 8. Noise of Low pass filter

각각의 잡음원은 최종 출력 즉, 전압 제어 발진기 입력에 전압 잡음원을 발생시키고, 결국 전압 제어 발진기 출력 주파수의 위상잡음으로 변환하게 된다. 각각의 위상잡음은 중첩의 원리를 적용하여 지역 통과 필터의 출력 잡음 전압을 유도 할 수 있으며 이로 인한 영향은 그림 8과 같다.^[3]

본 논문에서 적용된 중요한 성분이 바로 DAC이며, 이를 통해 광대역 VCO를 빠른 시간내에 lock 할 수 있게 된다. 하지만, PLL구조상에 위상잡음 요인이 더해지게 되며, 이에 대한 분석이 필수적이다.

VCO 의 설정 전압은 DAC 를 통해 coarse tuning 하게 되며, 이때 DAC 의 입력 전압 잡음원이 VCO 의 출력 위상잡음에 영향을 주게 된다. 따라서 DAC 선정시 bit 수와 잡음레벨을 신중히 고려해야 한다. DAC 의 잡음원은 아래와 같이 유도 할 수 있다.

$$S_{\phi,DAC} = \frac{(\sqrt{2} V_{DAC})^2}{2} \times \frac{K_0^2}{\omega^2} \dots\dots\dots(8)$$

여기에서 K_0 는 VCO gain 을 의미한다.
 모델링 된 DAC 의 잡음은 그림 9와 같다.

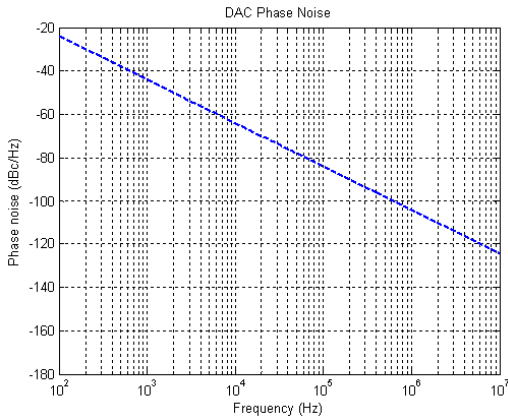


그림 9. DAC 의 잡음 특성 모델링
 Fig 9. Phase noise of DAC

VCO의 높은 주파수는 분주기에 의해 위상 비교주파수로 하향변환 되어야 하지만, 분주비의 한계로 인해 피드백시 높은 주파수와 혼합하여 하향 변환 후 분주해야만 한다. 이를 위해 Oscillator 의 체배 주파수를 이용하여 offset 주파수를 생성하고 이를 혼합하여 하향 변환하게 된다. 일반적으로 주파수가 2배 증가할 때 마다 위상잡음은 6 dB 증가하게 되며, 10배 증가 할 때 마다 20 dB 증가하는 것으로 알려져 있다. 여기에 사용된 주파수는 Oscillator 의 약 96 체배 주파수로 가정을 하였다.

$$S_{offset}(f) = S_{\phi,osc}(f) \times M^2 \dots\dots\dots(9)$$

식 (9)를 통해 모델링 된 offset 주파수의 위상잡음은 그림 10과 같다.

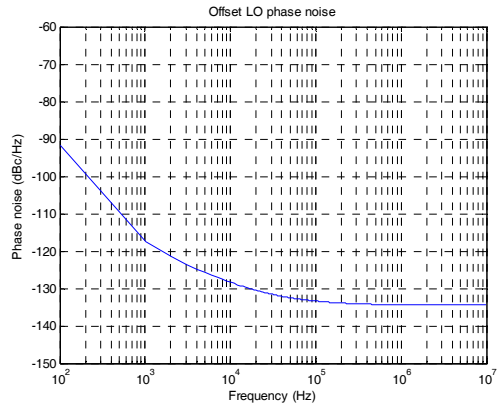


그림 10. Offset LO 의 위상잡음 특성 모델링
 Fig 10. Phase noise of offset LO

III. 제작 및 측정

앞에서 언급되었듯이 DAC를 적용한 DDS driven PLL 구조에서의 위상잡음은 여러 가지의 잡음원이 존재하게 되므로, 출력위상잡음의 성능을 분석하기가 쉽지 않다. 하지만, 가능한 모든 잡음원들에 대한 모델링과 분석을 통해 그 성능이 어느 정도 예측이 가능하며, 설계된 PLL 의 구조는 그림 12와 같다. VCO의 출력을 비교주파수로 하향변환하기 위해 2번의 혼합과정을 거치게 된다. 각 주파수별 위상잡음에 대한 측정결과는 그림 11과 같다. 지금까지 모델링 된 결과들을 전달함수에 의해 최종 변환하여 중첩의 원리에 의해 각각을 더하게 되면 최종 PLL 의 위상잡음이 도출된다. 본 논문에서 적용된 Loop filter 의 Bandwidth 는 1MHz 이다. 그리고, DDS 의 위상잡음이 가장 큰 160MHz 를 선정하였으며, N분주비는 위상잡음을 개선하기 위해 2로 선정하였으며, R 분주비는 1로 선정하였다.

따라서, 위상 비교 주파수는 160MHz 가 된다. 그림 13에서 보듯이 PLL 의 출력 위상잡음은 루프 대역폭인 1MHz 대역에서 급격히 하강하며, VCO 의 위상잡음 특성을 갖게 되며, 필터 대역 내에서는 coarse tune을 위한 DAC의 위상잡음 영향이 가장 큰 것을 알 수 있다.

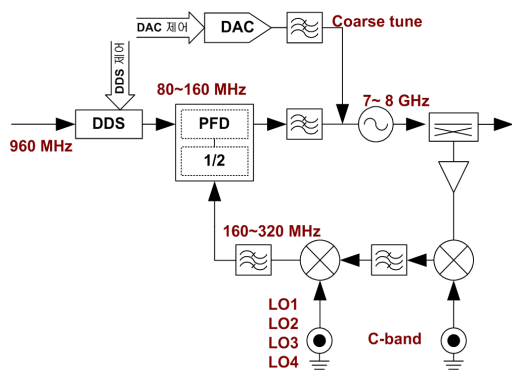


그림 11. PLL 의 블럭 다이어그램
Fig 11. Design PLL configuration

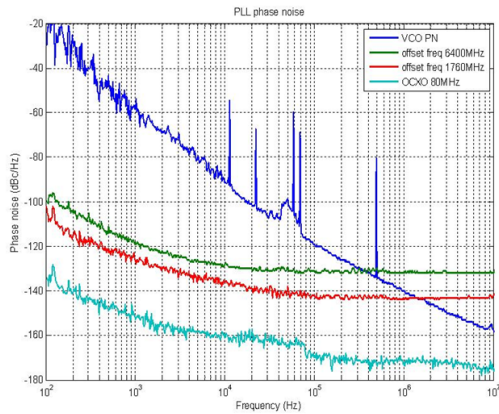


그림 12. 주파수별 위상잡음 측정결과
Fig 12. Phase noise measurement

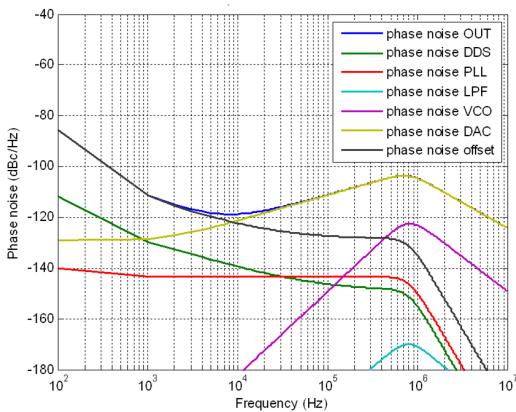


그림 13. PLL 출력 위상잡음 simulation 결과
Fig 13. Phase noise simulation result of PLL

모델링을 통한 PLL의 출력 위상잡음 레벨과 측정치와 비교를 하면 그림 14과 같다. 측정치와 모델링 simulation이 거의 일치함을 알 수 있다. DAC의 영향을 최소화하기 위해 DAC 출력단에 필터를 적용하였으며, 이로 인해 DAC의 잡음을 제거할 수 있다. DAC의 영향을 제거한 후의 simulation과 측정치를 비교하면 그림 15와 같으며, 이 또한 simulation과 측정치가 일치함을 알 수 있다. 하지만, DAC출력단의 필터 대역폭에 의해 전압의 상승시간이 결정되며, 이는 PLL 시스템의 lock 시간과 trade-off 관계에 있게 된다. 따라서, 설계하고자 하는 사양에 따라 적절히 설계 되어야 한다.

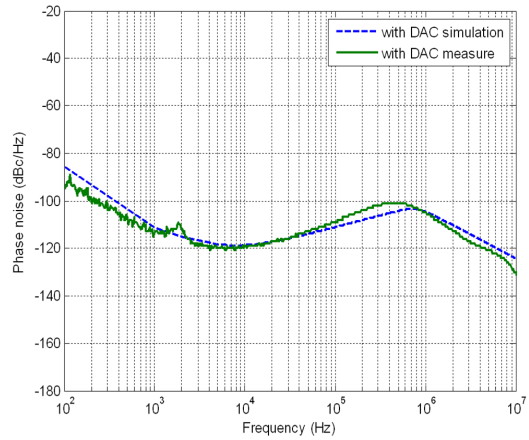


그림 14. PLL 출력 위상잡음 (DAC 영향)
Fig 14. PLL phase noise including DAC effect

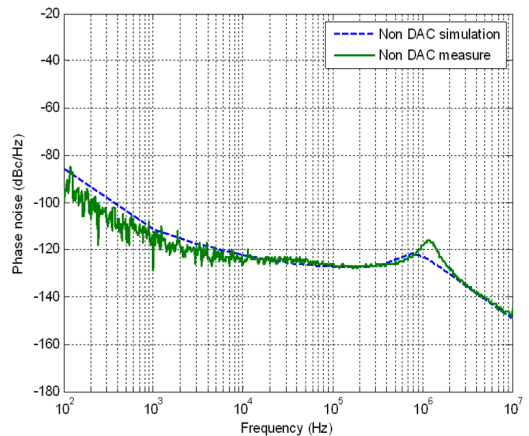


그림 15. PLL 출력위상잡음 (DAC 영향 제거)
Fig 15. PLL phase noise without DAC effect

본 설계에서의 위상잡음 뿐만 아니라 중요한 성능이 PLL의 lock 시간이며, 이의 측정결과는 그림 16과 같다. 측정결과 10 us 이내로 고속의 주파수변환 속도를 가지고 있다.

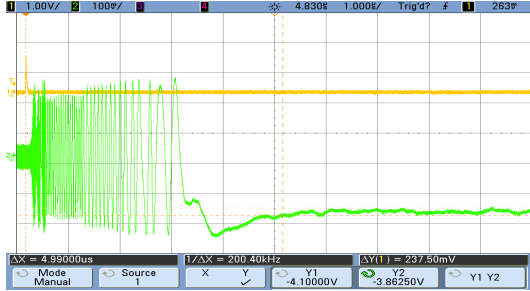


그림 16. PLL 주파수변환 속도
Fig 16. PLL lock-up time

본 연구에서 제작된 고성능 저잡음 PLL회로는 그림 17, 그림 18과 같이 2개의 모듈로 구성이 되어 있으며, 기존의 연구에 비해 훨씬 더 넓은 광대역 출력에 대해서 우수한 위상잡음 특성과 주파수 변환 시간 특성을 가지며, 경량화를 통해 항공기용 레이더에 적용 가능할 것으로 생각된다. 최근 연구된 DAC를 적용한 광대역 PLL주파수합성기와 성능비교는 아래와 같다. 기존 500 MHz 대역보다 넓은 1GHz의 대역폭 내에서 우수한 성능을 갖도록 설계되었다.

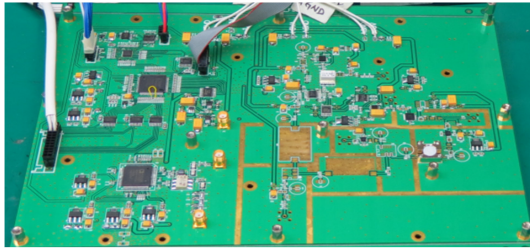


그림 17. PLL 제작 형상 (PLL 부)
Fig 17. Fabricated PLL synthesizer (PLL part)

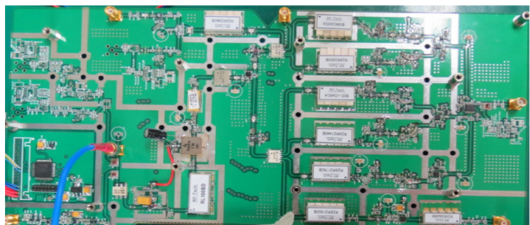


그림 18. PLL 제작 형상 (기준신호생성부)
Fig 18. Fabricated PLL synthesizer(reference part)

표 1. 성능 비교

Table 1. Comparison of the performances of PLL

		기존 [2]	본 연구
주파수		7.xx~8.xx	7.xx~8.xx
대역폭		500 MHz	1 GHz
Lock time		6 us	6 us
위상 잡음	1 KHz	-110 dBc/Hz	-113 dBc/Hz
	10 KHz	-125 dBc/Hz	-123 dBc/Hz
	100 KHz	-122 dBc/Hz	-126 dBc/Hz
	1 MHz	-118 dBc/Hz	-120 dBc/Hz

IV. 결론

본 연구를 통해 항공용 레이더에 적용할 수 있는 DDS Driven 및 offset 방식의 PLL 구조에서 여러 가지 잡음원에 대한 모델링을 구현하였다. 특히 DDS 및 OSC 의 위상잡음을 정확히 모델링 하여 이로 인한 체배 및 혼합에 대한 위상잡음을 유추 할 수 있었다. 예측된 주파수합성기의 출력 위상잡음을 분석을 통하여, Loop 대역폭에 따른 출력 위상잡음 특성을 비교하고 최적의 성능을 위한 설계 파라미터를 도출하였다. 이러한 방식에서 출력 위상잡음에 가장 큰 영향을 미치는 것은 DAC의 잡음 영향이 가장 크며, 이를 최소화 하는 것이 중요하다. 본 설계에서는 Loop 대역폭을 1MHz 로 선정하고 이에 대한 출력 위상잡음을 예측하였으며, 측정 결과 -123dBc/Hz @10KHz, 126dBc/Hz @100KHz 의 결과를 얻었다. 본 연구를 통해 DAC를 적용한 DDS driven offset 방식의 PLL 의 출력 위상잡음을 보다 정확하게 예측할 수 있는 방법을 제시하였으며, 측정결과를 통해 정확도를 증명하였다. 또한, 측정된 결과를 토대로 간접 주파수합성방식을 적용하여 고성능 저잡음 특성의 주파수합성기를 설계하고 레이더에 적용할 수 있는 방안을 제시하였다.

참고 문헌

- [1] Young Wan Kim, Dong Chul Park, "Phase Noise Prediction of Phase-Locked Loop Frequency Synthesizer for Satellite Communication System", The Journal of Korea Electromagnetic Engineering Society, pp 777 ~ 786, Vol.14, No.8, 2003.

- [2] Ju Hyun Lim, sung Chan Song, "Design and Fabrication of a Offset-PLL with DAC", The Journal of Korea Electromagnetic Engineering Society, pp 258 ~ 264, Vol.22, No.2, 2011.
- [3] Kun Sup Kwon, Sung Jae Lee, "Analysis of Phase Noise in Frequency Synthesizer with DDS Driven PLL Architecture", The Journal of Korea Electromagnetic Engineering Society, pp 1272 ~ 1280, Vol.19, No.11, 2008.
- [4] L. Lascari, "Accurate phase noise prediction in PLL synthesizers," Applied Microwave & Wireless, vol. 12, no.4, pp. 30 - 41, 2000.
- [5] Eric Drucker, "Model PLL Dynamics and Phase noise Performance", Microwave & RF, Vol. 38, no.11, pp. 73-82. 1999.
- [6] Jaehung Choi, Minsu Kim, Seungha Shin, and Youngoo Yang, "Low Phase Noise S-band PLL Frequency Synthesizer Using DDS and Offset Mixing Techniques" APMC, 2009, pp.1409-1412

※ 본 논문은 국방과학연구소의 지원으로 수행된 연구결과 임.

저자 소개

김 동 식



- 2000년 : 광운대학교 전자공학과(학사)
- 2003년 : 연세대학교 전자공학과 (석사)
- 2007년 ~ 현재 : LIGNEX1 연구원

<관심분야 : 레이더, 이동통신, 주파수합성기>

• E-Mail : dskim11@lignex1.com

이 행 수



- 2004년 : 충남대학교 전자공학과 (학사)
- 2006년 : 충남대학교 전자공학과 (석사)
- 2006년 ~ 현재 : LIGNEX1 연구원

<관심분야 : 레이더, 송수신시스템>

• E-Mail : hangsoo.lee@lignex1.com

김 중 필



- 1997년 : 경기대학교 전자공학과 (학사)
- 2011년 : 아주대학교 전자공학과 (석사)
- 2000년 ~ 현재 : LIGNEX1 수석연구원

<관심분야 : 레이더, 반도체 송수신모듈>

• E-Mail : kimjongpil369a@lignex1.com

김 선 주



- 1986년 : 아주대학교 전자공학과 (학사)
- 1988년 : 아주대학교 전자공학과 (석사)
- 1988년 ~ 현재 : 국방과학연구소 책임

<관심분야 : 반도체 송수신모듈, 능동위상배열레이더>

• E-Mail : sunnykim1026@hanafos.com