

차세대 전력 스위치용 1.5 kV급 GaN 쇼트키 장벽 다이오드

1.5 kV GaN Schottky Barrier Diode for Next-Generation Power Switches

하 민 우*
(Min-Woo Ha)

Abstract - The O₂ annealing technique has considerably suppressed the leakage current of GaN power devices, but this forms NiO at Ni-based Schottky contact with increasing on-resistance. The purpose of the present study was to fabricate 1.5 kV GaN Schottky barrier diodes by improving O₂-annealing process and GaN buffer. The proposed O₂ annealing performed after alloying ohmic contacts in order to avoid NiO construction. The ohmic contact resistance (R_C) was degraded from 0.43 to 3.42 Ω-mm after O₂ annealing at 800 °C. We can decrease R_C by lowering temperature of O₂ annealing. The isolation resistance of test structure which indicated the surface and buffer leakage current was significantly increased from 2.43×10⁷ to 1.32×10¹³ Ω due to O₂ annealing. The improvement of isolation resistance can be caused by formation of group-III oxides on the surface. The leakage current of GaN Schottky barrier diode was also suppressed from 2.38×10⁻⁵ to 1.68×10⁻⁷ A/mm at -100 V by O₂ annealing. The GaN Schottky barrier diodes achieved the high breakdown voltage of 700, 1400, and 1530 V at the anode-cathode distance of 5, 10, and 20 μm, respectively. The optimized O₂ annealing and 4 μm-thick C-doped GaN buffer obtained the high breakdown voltage at short drift length. The proposed O₂ annealing is suitable for next-generation GaN power switches due to the simple process and the low the leakage current.

Key Words : GaN, AlGaIn, Schottky barrier diode, Power device, O₂ annealing

1. 서 론

우수한 재료적 특성을 가지는 GaN 전자소자는 최근 전력 밀도 성능이 한계에 봉착한 Si 전력반도체를 대체할 차세대 전력 스위치[1]로 개발되고 있다. GaN 전력 반도체의 구조로 전력 밀도가 높은 수직형이 수평형보다 적합하지만, 벌크 GaN를 이용한 수직형 전력반도체는 웨이퍼 구경[2]이 적은 한계를 가지며, 크랙 및 dislocation 밀도를 감소시키는 웨이퍼의 연구단계에 머물러 있다. AlGaIn/GaN 경계에서 형성되는 고전도성 이차원 전자가스 (two-dimensional electron gas, 2DEG)는 높은 전자 이동도, 높은 항복전압 및 큰 밴드 갭을 가져 낮은 온-저항, 높은 항복전압 및 빠른 스위칭 속도를 가지는 수평형 전력반도체의 채널로 적합하다.

GaN를 성장시키는 이중접합의 기판으로 대구경화가 가능하고 가격경쟁력이 우수한 Si[3]이 주목받고 있다. 또한 Si CMOS 기반 제어 회로와 GaN-on-Si를 이용한 전력반도체의 monolithic 집적[4,5]이 가능하다. Si 기판 위 성장된 AlGaIn/GaN를 이용한 쇼트키 장벽 다이오드는 기존 Si PiN 다이오드에 비하여 낮은 온-저항 및 빠른 역방향 회복 특성으로 인하여 전력 시스템의 DC 및 스위칭 전력 손실을 감소[6]시킬 수 있다.

인덕터 부하 스위칭까지 고려한 안정적인 전력 스위칭 특

성을 얻기 위해서는 GaN 전자소자의 높은 항복전압이 필요하다. 최근 O₂ 어닐링 기술을 이용한 GaN 소자의 항복전압의 개선 가능성을 발표하였다[7]. 그러나 GaN 쇼트키 장벽 다이오드의 항복전압은 애노드-캐소드 간격, 20 μm에서 454 V로 추가적으로 개선이 필요하다[7]. 그 이유는 짧은 애노드-캐소드 간격에서 높은 항복전압을 확보해야 드리프트 거리 (drift length) 증가로 인한 온-저항 증가를 억제할 수 있기 때문이다.

본 논문의 목적은 Si 기판 위 성장된 6인치 AlGaIn/GaN 에피택시 및 개선된 O₂ 어닐링 기술을 이용하여 고전압 수평형 쇼트키 장벽 다이오드를 제작하고자 하는 것이다. 최적화된 O₂ 어닐링 기술과 수직방향 공평영역을 개선한 4 μm 두께의 GaN 버퍼층을 이용하여 GaN 쇼트키 장벽 다이오드의 항복전압을 애노드-캐소드 간격, 20 μm에서 454에서 1528 V로 개선하였다. O₂ 어닐링 기술의 누설전류 억제 특성을 테스트 구조 및 GaN 쇼트키 장벽 다이오드를 통하여 분석하였다.

2. 본 론

2.1 소자 공정의 최적화

6인치 Si 기판 위 유기금속 화학기상 증착법 (MOCVD)으로 성장된 AlGaIn/GaN은 GaN 쇼트키 장벽 다이오드 제작의 초기 재료로 이용하였다. 그림 1은 제작된 GaN 쇼트키 다이오드의 단면도 및 현미경 사진이다. Si 기판과 GaN의 격자 불일치를 감소하기 위하여 Si 기판 위 변환계층을

* 정 회 원 : 전자부품연구원 화합물반도체소재연구센터
선임연구원, 공학박사

E-mail : isobar@keti.re.kr

접수일자 : 2012년 7월 30일

최종완료 : 2012년 10월 12일

성장하였고 그 위 GaN 버퍼층을 성장하였다. GaN 버퍼층의 비저항을 증가시키기 위하여 탄소 도핑 하였다. 이후 2DEG 채널에 탄소 도핑 영향을 억제하기 위해서 100 nm 두께의 GaN을 성장하였다. 변환계층 포함하는 GaN 버퍼층의 총 두께는 4 μm 이다. 이후 2DEG 채널을 형성하기 위하여 20 nm 두께 및 23 % Al 몰분율을 가지는 AlGaIn를 성장하였다. 마지막으로 3 nm 두께의 GaN 캡층을 성장하였다. 수직방향 공핍영역을 증가시키기 위하여 GaN 버퍼층의 두께를 기존 1.7 μm [7]에서 4.0 μm 로 증가하였다.

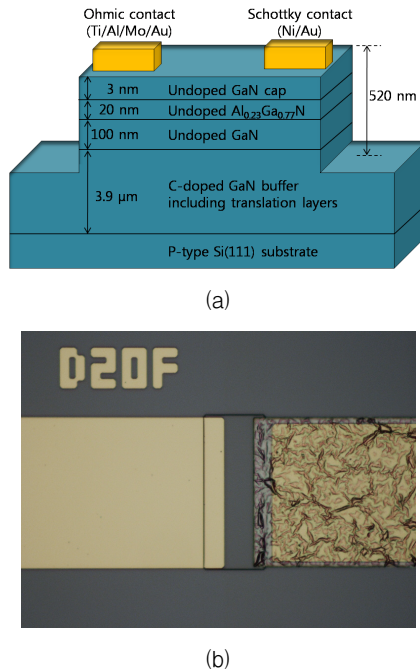


그림 1 제작된 GaN 쇼트키 장벽 다이오드의 (a) 단면도 및 (b) 현미경 사진

Fig. 1 (a) Cross-sectional view and (b) microscopic image of fabricated GaN Schottky barrier diode

소자와 소자 사이의 절연을 위하여 유도 결합 플라즈마 식각기에서 Cl_2 와 BCl_3 를 이용하여 최대 520 nm 깊이의 메사 구조를 형성하였다. 전자빔 증착기를 이용하여 다중 금속 층을 증착한 후 리프트 오프 방법을 이용하여 금속 패턴을 형성하였다. Ti/Al/Mo/Au (20/200/20/200 nm)의 옴릭 콘택을 증착한 후 rapid thermal annealing을 이용하여 N_2 분위기 및 950 $^\circ\text{C}$ 에서 30 s동안 어닐링 하였다. 기존 GaN 쇼트키 장벽 다이오드는 항복전압을 증가시키기 위해서 쇼트키 콘택을 형성한 후 O_2 어닐링 기술을 적용하였다[7]. 그러나 종래 O_2 어닐링 기술은 NiO 형성으로 쇼트키 콘택의 저항이 증가하는 문제점을 가졌다.

본 연구에서 옴릭 콘택을 형성한 후 furnace에서 O_2 어닐링을 진행하였으며, 이후 Ni/Au (50/500 nm)의 쇼트키 콘택을 증착하였다. 그러나 제안된 O_2 어닐링 기술도 옴릭 콘택을 산화하기 때문에 불가피하게 옴릭 콘택 저항 (R_c)을 증가시켰다. 그림 2는 R_c 를 측정하기 위한 transmission line method (TLM) 패턴이다. TLM 패턴의 너비는 150 μm 이다. 그림 3은 O_2 어닐링 전, 후 TLM 패턴을 이용하여 측정된

TLM 저항 값이다. R_c 는 그림 3의 Y축 절편 값을 통해서 추출하였다. 800 $^\circ\text{C}$ 에서 O_2 어닐링한 후 R_c 는 0.43에서 3.42 ohm-mm로 증가하였다. 이를 비저항으로 환산하면 O_2 어닐링으로 인하여 R_c 가 2.18×10^{-6} 에서 $2.10 \times 10^{-4} \Omega\text{-cm}^2$ 로 증가하였다. O_2 어닐링으로 인한 R_c 증가는 열처리된 옴릭 콘택이 산화되었기 때문이다. O_2 어닐링 온도를 낮추면 R_c 증가를 감소할 수 있으며, 온도에 따른 누설전류 억제와 R_c 열화 사이에서 공정설계가 가능하다. 600 $^\circ\text{C}$ 에서 O_2 어닐링은 R_c 를 0.29에서 0.72 $\Omega\text{-mm}$ 로 증가하였다.



그림 2 옴릭 콘택 저항을 측정하기 위한 제작된 TLM 패턴의 현미경 사진

Fig. 2 Microscopic image of fabricated TLM pattern to measure ohmic contact resistance

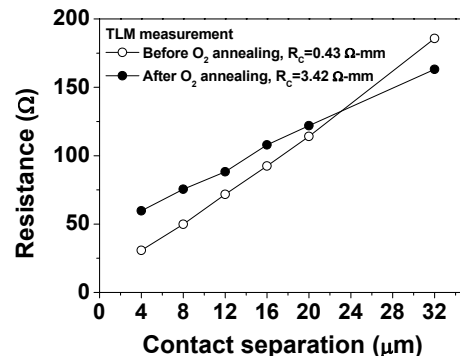


그림 3 O_2 어닐링 전, 후 측정된 TLM 저항 값

Fig. 3 Measured TLM resistance before and after O_2 annealing

메사 구조로 소자 간 절연이 되지 않으면 누설전류가 액티브 영역 밖의 경로를 통하여 흐르기 때문에 소자 간 절연성은 중요하다. 메사 구조의 표면 및 GaN 버퍼층의 누설전류를 측정하는 테스트 구조는 소자와 동시에 제작하였다. 테스트 구조는 1개의 메사 구조로 분리된 2개의 옴릭 콘택으로 이루어졌다. 테스트 구조의 세부 형태는 참고문헌의 테스트 구조[7]와 동일하지만, AlGaIn/GaN의 세부구조는 그림 1과 동일하다. 테스트 구조의 너비는 100 μm 이며, 옴릭 콘택 사이의 간격 (D_T)은 2.5에서 100 μm 까지 증가하였다.

2.2 전기적 특성

테스트 구조의 절연누설전류 (isolation-leakage current)는 표면누설전류와 버퍼누설전류로 구성된다. 표면누설전류는 액티브 및 메사 식각된 영역의 dangling bond, threading

dislocation, 공정 결함 등이 형성하는 준위를 통하여 흐른다. 버퍼누설전류는 GaN 버퍼층의 결정성 및 비저항에 의해 결정된다. 그림 4는 D_T 가 20 μm 인 테스트 구조의 측정된 누설전류이다. O_2 어닐링으로 인하여 100 V에서 절연누설전류가 4.12×10^{-5} 에서 7.58×10^{-11} A/mm로 성공적으로 감소하였다. 절연누설전류의 감소는 표면의 dangling bond를 비롯한 결함 등이 산소와 결합하여 III족 산화물 (AlO_x , GaO_x)[7,8]로 변환되는 passivation 효과로 예상된다. 500 °C에서 O_2 어닐링된 AlGaIn/GaN의 Auger electron spectroscopy 측정결과 산소가 AlGaIn까지 침투하지 못하였으며, O_2 어닐링으로 인하여 버퍼누설전류의 억제는 무시가 가능하다. 100 V에서 측정된 절연누설전류[9]를 기반으로 메사 구조의 절연저항을 추출하였다.

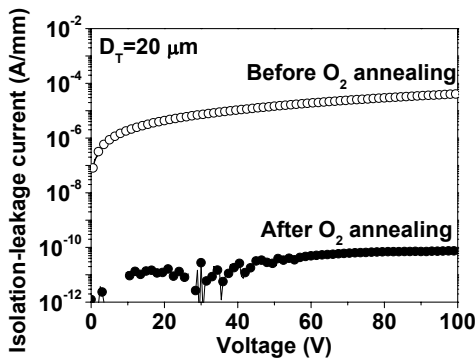


그림 4 D_T 가 20 μm 인 테스트 구조의 측정된 절연누설전류
Fig. 4 Measured isolation-leakage current of test structure with $D_T=20 \mu\text{m}$

그림 5는 테스트 구조의 D_T 에 따른 측정된 절연저항이다. D_T 가 20 μm 인 경우 O_2 어닐링으로 인해 절연저항이 2.43×10^7 에서 1.32×10^{13} Ω 으로 증가하였다. 기존 테스트 구조의 경우 D_T 가 2.5에서 20 μm 로 증가될 때 1.4 $\text{M}\Omega/\mu\text{m}$ 의 기울기를 가지고 절연저항이 증가한다. 반면에 O_2 어닐링된 테스트 구조의 경우 D_T 에 상관없이 높은 절연저항 값을 가졌다. 그 이유는 O_2 어닐링으로 억제된 절연누설전류가 수 pA로 충분히 낮아 공정 및 측정 오류 범위에 있기 때문이다. 테스트 구조의 절연누설전류를 분석하여 O_2 어닐링이 표면누설전류를 억제되는 passivation 효과를 연구하였으며, 이후 GaN 쇼트키 장벽 다이오드를 제작하여 전기적 특성을 분석하였다.

그림 6은 O_2 어닐링을 적용한 GaN 쇼트키 장벽 다이오드의 측정된 누설전류이다. GaN 쇼트키 장벽 다이오드의 애노드-캐소드 간격은 5 μm 이며, 너비는 100 μm 이다. O_2 어닐링으로 인하여 -100 V에서 GaN 쇼트키 장벽 다이오드의 누설전류가 2.38×10^{-5} 에서 1.68×10^{-7} A/mm로 감소하였다. 1.68×10^{-7} A/mm의 누설전류는 전류밀도 (면적 정의: 너비×애노드-캐소드 간격)로 환산하면 $3.36 \text{ mA}/\text{cm}^2$ 으로 같은 구조의 종래 누설전류밀도인 $8.90 \text{ mA}/\text{cm}^2$ [7]보다 다소 개선되었다. GaN 소자에서 O_2 어닐링으로 인한 누설전류 억제는 옴릭 컨택과 쇼트키 컨택 사이의 액티브 표면에 III족 산화물 형성의 passivation 효과[7,8]로 예상된다. 부가적으로 제안된 O_2 어닐링 기술은 쇼트키 컨택 증착 전 열처리를 하

였기 때문에 종래 O_2 어닐링 기술의 NiO 형성, Ni의 AlGaIn 내부로 확산 및 쇼트키 장벽 근처의 준위를 치유하는 메커니즘[7]을 포함하지 않는다.

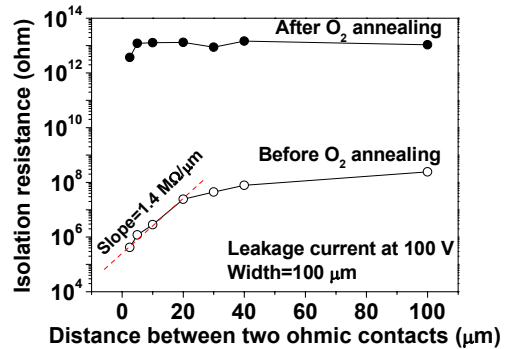


그림 5 테스트 구조의 D_T 에 따른 측정된 절연저항
Fig. 5 Measured isolation resistance of test structures with various D_T

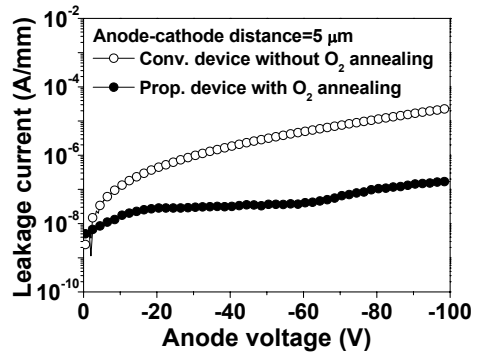


그림 6 GaN 쇼트키 장벽 다이오드의 측정된 누설전류
Fig. 6 Measured leakage current of GaN Schottky barrier diodes

그림 7은 O_2 어닐링을 적용한 GaN 쇼트키 장벽 다이오드의 측정된 항복전압이다. 애노드-캐소드 간격이 5 μm 인 소자의 항복전압은 O_2 어닐링으로 인하여 615에서 700 V로 증가하였다. 애노드-캐소드 간격이 10, 20 μm 으로 증가하면 GaN 쇼트키 장벽 다이오드의 항복전압은 1398, 1528 V로 증가하였다. 종래 GaN 쇼트키 장벽 다이오드는 애노드-캐소드 간격이 10, 20 μm 이었을 때 항복전압이 396, 454 V[7]임을 비교하면, 동일 드리프트 길이에서 항복전압이 월등히 개선되었음을 알 수 있다. GaN 소자의 항복전압 개선의 주원인은 O_2 어닐링의 최적화 및 GaN 버퍼층 두께 증가에 의한 수직방향 공핍영역 증가 때문이다. 애노드-캐소드 간격, 10 μm 에서 추출한 GaN 소자의 항복전계는 1.4 MV/cm 로 참고문헌의 1.0 MV/cm [1]보다 우수하다. 그러나 GaN의 이론적 항복전계인 3.0 MV/cm 보다는 낮으며, 에피택시 성장 중 형성되는 threading dislocation 및 공정 결함 때문이다. 애노드-캐소드 간격이 30, 40 μm 으로 더 증가하여도 항복전압은 1490, 1518 V이었으며, 애노드-캐소드 간격이 20 μm 이상 커져도 수직방향 항복 메커니즘으로 항복전압은 1.5 kV로 포화되었다. 제작된 GaN 쇼트키 장벽 다이오드 (애노드-캐소드 간격=5 μm)는 $1.38 \text{ m}\Omega\text{-cm}^2 @ 100 \text{ A}/\text{cm}^2$ 의 온

-저항 ($R_{on,sp}$)을 가지며, 355.43 MW/cm^2 의 높은 성능계수 (figure of merit, $BV^2/R_{on,sp}$)를 가져 차세대 전력용 반도체로 적합하다.

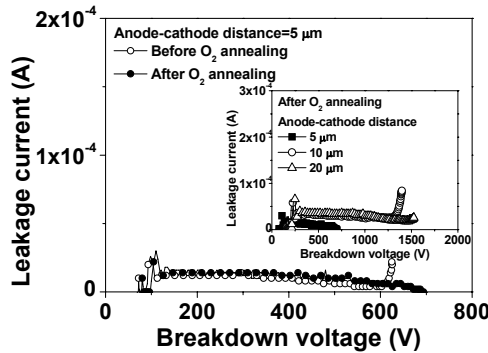


그림 7 GaN 쇼트키 장벽 다이오드의 측정된 항복전압
 Fig. 7 Measured breakdown voltage of GaN Schottky barrier diodes

3. 결 론

개선된 O_2 어닐링 기술과 GaN-on-Si를 이용하여 고전압 GaN 쇼트키 다이오드를 제작하였다. 종래 O_2 어닐링 기술의 Ni/Au 쇼트키 콘택을 산화시킨 결과물인 NiO로 인한 저항 증가를 억제하기 위하여 O_2 어닐링 기술은 오믹 콘택과 쇼트키 콘택의 공정 사이에 적용하였다. O_2 어닐링을 적용한 결과 100 V에서 절연누설전류가 4.12×10^{-5} 에서 7.58×10^{-11} A/mm로 성공적으로 감소하였다. O_2 어닐링 기술의 절연누설전류 억제효과는 액티브 영역의 AlGaIn 표면 및 메사 식각된 표면에 III족 산화물 (AlO_x , GaO_x)을 형성하여 dangling bond와 공정 결함에 대한 passivation 효과로 예상된다. O_2 어닐링을 GaN 쇼트키 장벽 다이오드에 적용한 결과 -100 V에서 누설전류가 2.38×10^{-5} 에서 1.68×10^{-7} A/mm로 감소하였다. 제작된 GaN 쇼트키 장벽 다이오드는 애노드-캐소드 간격이 5, 10, 20 μm 일 때 약 700, 1400, 1530 V의 높은 항복전압을 가졌다. 제안된 O_2 어닐링 기술은 공정이 간단하고 누설전류를 효과적으로 억제하여 차세대 GaN 전력 반도체의 공정으로 적합하다.

감사의 글

본 연구는 2012년도 지식경제부의 재원으로 한국 에너지 기술평가원 (KETEP)의 지원에 의하여 이루어진 연구로서, 관계부처에 감사드립니다. (No. 101050017B) 본 연구의 열처리 공정과 항복전압 측정의 지원에 서울대학교 전기공학부 석오균 박사과정, 안우진 석사과정 및 한민구 교수님께 감사드립니다.

참 고 문 헌

[1] N. Ikeda, Y. Niiyama, H. Kambayashi, Y. Sato, T. Nomura, S. Kato, and S. Yoshida, "GaN power transistors on Si substrates for switching

applications", Proc. IEEE, vol. 98, no. 7, pp. 1151-1161, July, 2010

[2] T. Paskova, D. A. Hanser, and K. R. Evans, "GaN Substrates for III-Nitride Devices", Proc. IEEE, vol. 98, no. 7, pp. 1324-1338, July, 2010

[3] <http://www.imec.be>

[4] K.-Y. Wong, W. Chen, and K. J. Chen, "Integrated Voltage Reference Generator for GaN Smart Power Chip Technology", IEEE Trans. Electron Devices, vol. 57, no. 4, April, 2010

[5] P. N. Chyurlia, F. Semond, T. Lester, J. A. Bardwell, S. Rolfe, H. Tang, and N. G. Tarr, "Monolithic integration of AlGaIn/GaN HFET with MOS on silicon <111> substrates, Electron. Lett., vol. 46, no. 3, Feb., 2010

[6] Y.-M. Hsin, T.-Y. Ke, G.-Y. Lee, and J.-I. Chyi, "A 600 V AlGaIn/GaN Schottky barrier diode on silicon substrate with fast reverse recovery time", Phys. Status Solidi C, vol. 9, no. 3-4, pp. 949-952, Feb., 2012

[7] M.-W. Ha, M.-K. Han, and C.-K. Hahn, "Oxidation Process of GaN Schottky Diode for High-Voltage Applications", Trans. KIEE, vol. 60, no. 12, pp. 2265-2269, Dec., 2011

[8] Y.-J. Lin, Y.-L. Chu, W.-X. Lin, F.-T. Chien, and C.-S. Lee, "Induced changes in surface band bending of n-type and p-type AlGaIn by oxidation and wet chemical treatments", J. Appl. Phys., vol. 99, no. 7, April, 2006

[9] M.-W. Ha, H. Woo, C. H. Roh, H. J. Song, J. H. Lee, O. Seok, W. Ahn, M.-K. Han, C.-K. Hahn, "1.5 kV-AlGaIn/GaN Schottky Barrier Diode on a Si Substrate", Proc. 2012 Spring Symp. of KIEE Soc. Electrophys. Appl. pp. 57, 2012

저 자 소 개



하 민 우 (河珉宇)

1980년 1월 12일생. 2001년 한국과학기술원 전기 및 전자공학과 졸업. 2007년 서울대학교 전기공학부 대학원 졸업 (석박사 통합, 공학박사). 2007년 3월-2009년 5월 삼성전자 반도체총괄 SYSTEM LSI 사업부 차세대 DDI설계팀 책임연구원. 2009년 6월-현재 전자부품연구원 화합물 반도체소자연구센터 선임연구원.
 Tel : 031-789-7487
 E-mail : isobar@keti.re.kr