

광감지 제어성을 갖는 카오스 신호 생성회로

오세진 · 송한정⁺

Photo Sensitive Chaotic Signal Generator with Light Controllability

Sejin Oh and Hanjung Song⁺

Abstract

A chaotic oscillator with light controllability was designed. The proposed chaotic oscillator consists of a photo sensor, two phase clock driven MOS switches, nonlinear function blocks for chaotic signal generation. SPICE circuit analysis using a 0.35 μm CMOS process parameters was performed for its chaotic dynamics. And we confirmed that chaotic behaviors of the circuit can be controlled according to light intensity. By SPICE simulation, chaotic dynamics by time waveforms, frequency analysis was analyzed. SPICE results showed that proposed circuit can make various light-controlled chaotic signals.

Keywords : Nonlinear function, Chaos, CMOS circuit, Frequency analysis, Photo sensor

1. 서론

카오스 현상은 '어떤 동적 시스템에서 외부 입력의 작은 섭동이 비선형적 되먹임 과정을 통하여 예측 불가능한 부작용한 특성을 나타내는 정상상태 응답'으로 정의 할 수 있다[1]. 1975년 수리생물학자 R. May가 생물의 개체 수 변동에 대한 수학적 모델을 연구하는 과정에서 카오스 해를 발견한 것을 계기로 이러한 카오스 현상을 이해하기 위해 많은 노력들이 지속적으로 경주되어 왔다[2,3]. 카오스적인 행동은 전기 회로, 레이저, 화학 반응을 포함하여 다양한 시스템에서 관찰되었고, 그에 따라 카오스 현상에 대한 많은 수학적 모델링 및 이론적 분석이 보고되고 있다[4]. 특히, 카오스 시스템의 하드웨어는 지속적으로 다양한 전기 회로 기술을 통해 연구되고 있으며 현실화 되고 있다[5]. 현재 이러한 카오스 현상은, 카오스 비화통신, 카오스 메모리, 신경회로 등의 분야에서 응용되고 있으며[5-7], 모든 카오스 응용시스템에는 기본적으로 카오스 발생회로에 대한 하드웨어적인 전자회로 구현을 필요로 한다. 안정된 성능의 카오스 응용시스템 구현에는 카오스 신호 생성 회로의 제어용이성, 안정성, 저전력 및 소형화가 요구되어지기 마련이다[7]. 카오스 신호는 이산형으로, 연속형과 나눌 수 있고, 본 연구에서는 이산형 카오스 신호 생성회로에 대하여 다룬다. 이산형 카오스 신호 생성회로는 일반적

으로, 카오스 신호 생성에 필요한 비선형 함수와 이를 귀환시키는 샘플앤드 홀드 블록으로 구성된다[6,8].

본 논문에서는 포토다이오드를 입력단자로 사용하여, 빛의 세기에 따라 카오스 다이내믹스가 제어되는 광 감지 카오스 회로를 제안한다. 현재까지 빛의 세기에 따른 카오스 다이내믹스 제어가 가능한 회로 시스템의 하드웨어 설계에 대한 연구는 아직 보고된 바가 없다 [9]. 제안하는 카오스 집적회로는 이산시간 전압모드로 2상 클럭에 의해 동작되며, 카오스 신호 생성의 기본조건인 비선형성 구현에 필요한 비선형함수, 포토다이오드, 샘플앤드홀드 블록 등으로 구성된다. 0.35 μm 단일 폴리 2층 배선 CMOS 공정의 파라미터를 이용한 SPICE 모의실험을 통하여, 시간파형, 주파수특성 등을 구하여, 카오스 현상을 분석한다. 2장에서는 광감지 카오스 회로 해석을 위한 포토다이오드 sub-circuit 모델을, 3장에서는 광감지 카오스 회로의 집적회로 설계에 대한 내용을 언급 한다. 4장에서는 제안하는 회로의 SPICE 해석결과 및 분석을 실시한다. 마지막으로 5장에서 결론을 맺는다.

2. 연구 방법

2.1 카오스회로 해석을 위한 포토 다이오드 모델링

제안하는 광감지 카오스 신호 생성회로 설계를 위해서 우선 광 입력으로 사용되는 포토다이오드에 대한 해석을 위한 모델링이 필요하다. 포토다이오드에 대한 회로해석 모델이 집적회로 설계 툴

인제대학교 나노공학부(Department of Nano Engineering, Inje University)
607, Obang-dong, Gimhae, Gyeongnam 621-749, Korea
⁺Corresponding author: hjsong@inje.ac.kr
(Received : Jun. 18, 2012, Revised : Sep. 17, 2012, Accepted : Sep. 19, 2012)

에 구현되어 있지 않기 때문에 등가 서브회로 모델을 필요로 한다 [10]. 본 논문에서는 0.35 um CMOS 공정 SPICE 파라미터를 사용하여 n+/p-well 접합에 대한 포토다이오드 서브회로 모델링을 실시하였다.

Fig. 1은 카오스 회로의 본 논문에서 사용한 광입력용 포토다이오드의 소자해석을 위한 포토다이오드 단면의 메쉬(mesh) 구조를 나타낸 것이다. 포토전류를 모델링하기 위해서는 빛 세기기와 포토다이오드를 파장의 함수로 모델링 하는 것이 필요하다. 포토다이오드에 의한 출력 전압은 다음과 식을 표현될 수 있다[11].

$$I_k = \int f_k(\lambda)s(\lambda)d\lambda \quad (1)$$

여기에서, 수식 (1)에서는 출력으로 포토전류를 나타내고, 는 스펙트럼 반응을 나타내고, 는 광 자극을 나타낸다. 수식 (1)을 바탕으로 구현된, 회로 해석을 위한 포토다이오드의 서브회로가 Table 1에 나타나 있다. 0.35 um CMOS 공정의 n+/p-well pn 접합다이오드를 사용하여 SPICE 회로해석을 할 수 있도록 하였으며, 포토다이오드 면적은 150 um × 150 um으로 하였다. Fig. 2에 구현된 서브회로 등가모델의 심볼 및 소자해석 결과와의 비교 값을 나타내었다[12].

Fig. 2(a)는 회로해석을 위한 포토다이오드 서브회로 심볼로, 본질적으로 전압제어 전류원으로 표현하였다. Fig. 2에서 제어전압 1 μV는 1 μW/cm²에 해당하는 빛의 세기이며, 500 μV는 500 μW/cm²에 해당되는 빛의 세기와 동일하다. Fig. 2(b)는 소자해석 프로그램인 메디치를 사용하여 구한 포토전류와 새롭게 구현한 포토다이오드의 SPICE 서브회로 모델에 의한 포토전류를 비교한 그래프로, 그림에서 보듯이, 제안한 서브회로 모델이 소자해석 모델과 거의 일치하는 것을 볼 수 있다. 포토다이오드에 인가되는 광의 세기가 증가할수록 (시뮬레이션 상에서는 전압의 크기 증가) 포토다이오드의 전류량이 증가함을 알 수 있다.

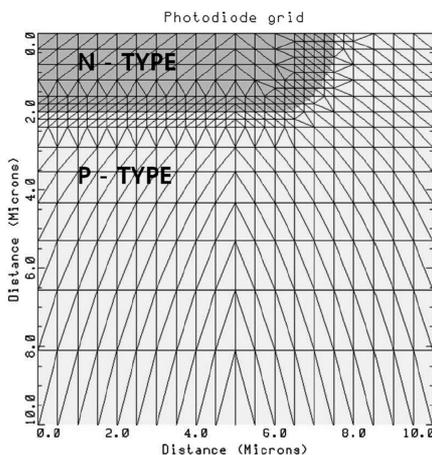


Fig. 1. Structure of the photo diode for sub-circuit modeling.

Table 1. Sub-circuit model of the photo diode

```

/** Photodiode Model blocking for n+/Pwell diode
/** A = Anode
/** C = Cathode
/** P = (light)Power (in Watts/cm^2) as voltage
input
/** P = 1e-6 w/cm^2 : 1.54e-15A/um^2 from 2D
sim
/** Cj0=0.689fF/um^2 for N+/p-well from MOS CJ
/** Junction leakage assumed 1.1e-16A/um^2 from
nnp ISE
/** RS =27.45 from npn RE
/** No filter : 1.0 for D65 outside
/** N+/Pwell Diode
/** areaPD : um*um,
subckt kcpd A C P
parameters
+ pdw=1e-6
+ pdl=1e-6
+ filter=1.0
+ areaPD= pdw*pdl
+ PConvertl=1.54e+3
+ PDIS = 1.1e-4
+ PDISR = 4.1e-5
+ PDCJ0 = 0.689e-3
/** Diode models dark (leakage) current, forward
current, capacitance and timing
model Dphoto diode
+ level=1
+ is=PDIS rs=60 cj=PDCJ0 mj=.358
+ vj=.7 nr=1.6137
DPD ( A C ) Dphoto area=areaPD
/** Controlled current source outputs input power
multiplied by sensitivity ^M
GPD ( C A ) ( P gnd) vcvs
gm=filter*areaPD*PConvertl
ends kcpd
    
```

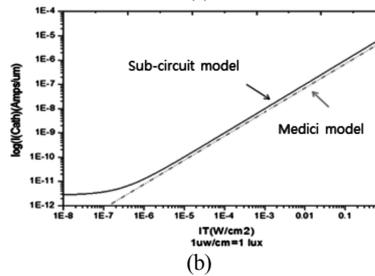
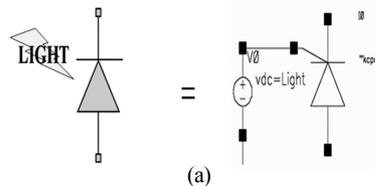


Fig. 2. Equivalent model of the photo sensor for circuit analysis. (a) Circuit symbol of the photo sensor, (b) Comparison of Medici and sub-circuit model

2.2 광감지 카오스 신호 생성회로 설계

Fig. 3에 제안하는 광감지 카오스 회로도를 보이고 있다. 제안하는 회로는 비결집 2상 클럭신호로 구동되는 2개의 MOS 스위치와 몇 개의 MOS 트랜지스터로 이루어지는 2개의 비선형 함수

(nonlinear function block1, 2)와 광입력 단자로 사용되는 포토다이오드로 구성된다. 일반적으로, 카오스 신호생성에 필요한 비선형 함수를 어떻게 구현하느냐에 따라, 카오스 회로의 구조와 형태가 달라질 수 있다. 제안하는 회로는 동작 원리는, 포토다이오드에 빛이 인가가 되면 카오스 생성회로의 입력전압이 생성되게 되고, 입력전압이 비선형 함수회로1(NFB1)를 거쳐 MOS 스위치1을 통하여 출력 $X(t)$ 가 나오게 되고, 그 출력은 또 다른 비선형 함수회로2(NFB2)를 거쳐 MOS 스위치2을 통하여 출력 $X(t+1)$ 이 나오게 되고 다시 입력으로 귀환된다.

본 논문에서 제안하는 카오스 회로의 2개의 MOS 스위치 구동에 필요한 2상 비겹침(non overlapping) 클럭펄스로 카오스 신호 생성에 필요한 클럭이 되도록 최적화 하였다. 구동 클럭 주파수는 50 kHz로, 펄스폭은 10 us, 주기는 20 us이며 상승 및 하강 시간은 각 40 ns 로 설정하였다.

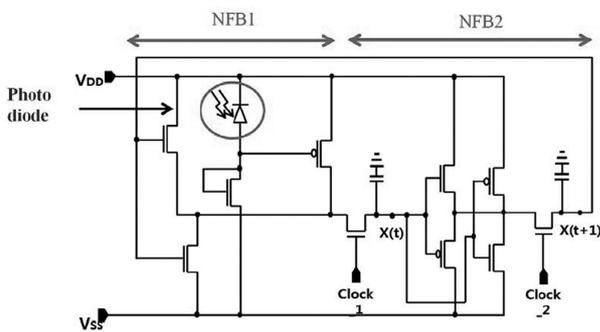


Fig. 3. Proposed photo sensitive chaotic circuit.

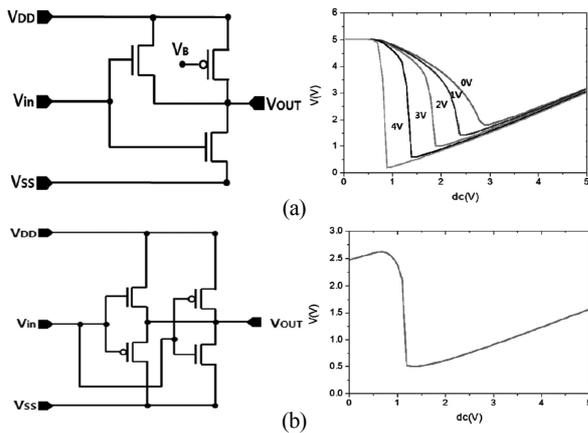


Fig. 4. Nonlinear function blocks for chaotic signal generation. (a) Nonlinear function block1 (NFB1), (b) Nonlinear function block2 (NFB2).

Fig. 4는 카오스 회로의 구성요소인 2개의 비선형 함수 회로 NFB1, NFB2 의 회로도 및 입출력 전달함수 특성을 나타낸 것이다. 각각의 그림에서 x축은 입력전압을, y축은 출력전압을 나타낸다. 구동 원리에 대해서 살펴보면, Fig. 4(a)의 NFB1은 포토다이오드

와 게이트를 연결하고, 광에 의한 비선형성의 조절이 가능하도록 하였다. Fig. 4(b)의 NFB2 회로는 카오스 상태를 발생시키기 위해 충분한 입-출력의 전달 특성이 N자형의 비선형성을 갖도록 회로를 구성하였다.

3. SPICE 모의실험 및 분석

본 논문에서 제안하는 회로에 대하여 광의 변화에 따른 카오스 특성을 보기 위해, 광입력 조건을 Table 2에 나타난 바와 같이, 광량에 따른 광전류가 선형적인 부분에 대하여 3가지로 설정하였다.

Table 2. Three conditions of the photo intensity

	Condition 1	Condition 2	Condition 3
Light intensity (mW/cm ²)	50	70	90

제안하는 회로는, 입사광 조건에 따라, 0.35 um CMOS 공정 파라미터와 구현된 포토다이오드 서브회로 모델을 사용하였다. 우선, 포토다이오드 입력 광 세기의 변화에 따라 제안하는 회로의 카오스 특성 변화를 확인하였다. Fig. 5은 입력 광의 세기가 50 mw/cm² 일 때 NFB2의 X(t+1)에서 출력전압에 대한 특성분석결과이다. Fig. 5(a)는 시간파형을 나타내며, 그림에서 보듯이 3주기성의 주기적 패턴을 보인다. Fig. 5(b)는 이에 대한 주파수 해석 결과로, 17 kHz 및 34 kHz의 피크 주파수를 갖는, 주기적 특성을 확인해 준다.

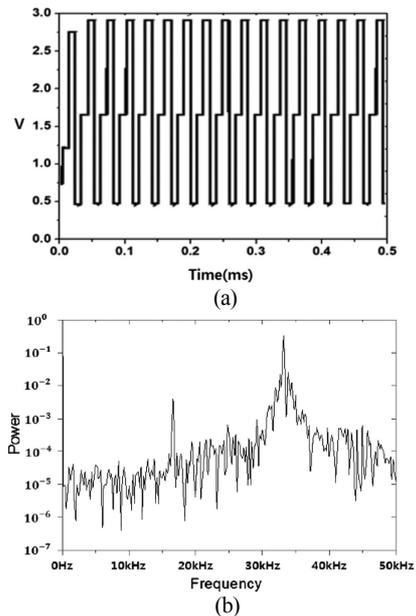


Fig. 5. Output state showing periodic pulse in condition 1 (50 mW/cm²). (a) Time series, (b) Frequency spectra.

Fig. 6은 입력 광의 세기가 70 mw/cm² 일 때 NFB2의 X(t+1)에서 출력전압의 분석결과이다. Fig. 6(a)는 시간파형을 나타내며, 그림에서 보듯이 카오스 패턴을 보인다. Fig. 6(b)는 이에 대한 주파수 해석 결과로, 전체 주파수영역에 걸쳐 스펙트럼이 나타나는 전형적인 카오스 특성을 보인다.

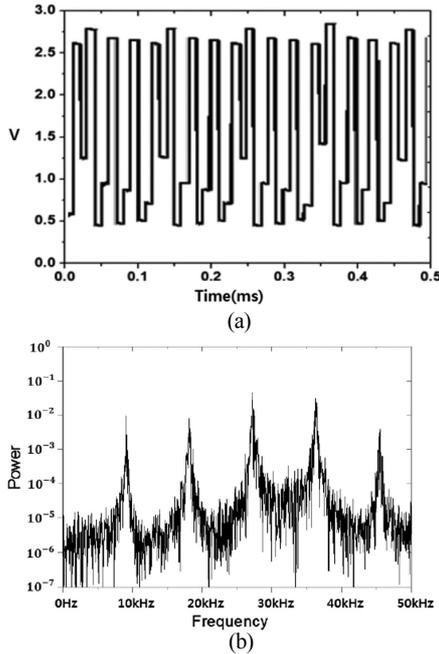


Fig. 6. Output state showing chaotic state in condition 2 (70 mW/cm²). (a) Time series, (b) Frequency spectra.

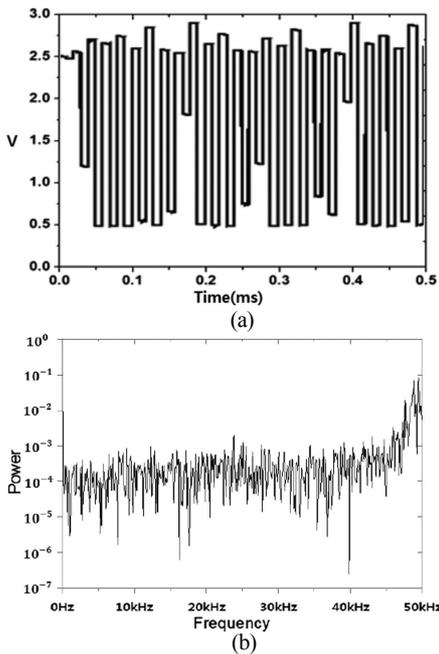


Fig. 7. Output state showing chaotic state in condition 3 (90 mW/cm²). (a) Time series, (b) Frequency spectra.

Fig. 7은 입력 광의 세기가 90 mw/cm² 일 때 NFB2의 X(t+1)에서 출력전압의 분석결과이다. Fig. 7(a)는 시간파형을 나타내며, 그림에서 보듯이 카오스 패턴을 보인다. Fig. 7(b)는 이에 대한 주파수 해석 결과로, 전체 주파수영역에 걸쳐 스펙트럼이 나타나는 전형적인 카오스 특성을 보인다.

4. 결론

본 논문에서는 포토다이오드를 단자로 하여, 광 입력의 세기에 따라, 제어가 가능한 카오스 신호 생성회로를 제안하였다. 1차적으로 카오스 회로해석에 필요한 포토다이오드의 서브회로 모델을 구현하였다. 제안하는 카오스 회로는 MOS 소자로 이루어지는 비선형 함수 블록과 2상 클럭으로 구동되는 MOS 스위치로 구성된다. 광 입력의 세기에 따라 주기 상태, 카오스 상태 등으로 분기됨을 시간파형과 입출력 전달특성을 통하여 확인하였다. 제안된 회로는 SPICE 모의실험을 통하여 시간특성, 주파수특성 등의 여러 가지 카오스 다이내믹스를 확인하였다. 카오스 비화통신, 카오스 메모리, 신경회로 등 등 다양한 분야에서의 공학적 응용이 가능할 것으로 사료된다.

감사의 글

This work was sponsored by ETRI SW-SoC R&BD Center, Human Resource Development Project.

REFERENCES

- [1] W. G. Jeon and Y. S. Cho, "An equalization technique for OFDM and MC-CDMA in a multipath fading channels", *Proc. of IEEE Conf. on Acoustics, Speech and Signal Processing*, pp. 2529-2532, Munich, Germany, 1997.
- [2] G. L. Baker, et al., *Chaotic Dynamics an Introduction*, Cambridge University Press, 1990.
- [3] R. May, "Simple mathematical models with very complicated dynamics", *Nature*, Vol. 261, pp. 459-476, 1976.
- [4] M. Delgado-Restituto, F. Medeiro, and A. R. Vasquez, "Nonlinear switched-current CMOS IC for random signal generation", *Electronics Letters*, Vol. 29, pp. 2190-2191, 1993.
- [5] L. O. Chua, et al., "A universal circuit for study and

- generating chaos-part I :routes to chaos”, *IEEE Trans. Circuits and Syst.*, Vol. 40, No. 10, pp. 732-744, Oct. 1993.
- [6] H. J. Song and K. D. Kwack, “CMOS circuit design and implementation of the discrete time chaotic chip”, *ISCAS 2002*, Vol. 3, pp. 73-74, 2002
- [7] K. Aihara, “Chaos engineering and its application to parallel distributed processing with chaotic neural networks”, *Proceedings of the IEEE*, Vol. 90, No. 5, pp. 919-930, May 2002.
- [8] P. Dudek and V. D. Juncu, “Compact discrete-time chaos generator circuit”, *Electronics Letters*, Vol. 39, pp. 1431-1432, 2003.
- [9] Y. Horio and K. Suyama, “IC implementation of switched-capacitor chaotic neuron”, *Proc. IEEE Int. Symp. Circuits and Syst.*, Vol. 6, pp. 97-100, London, U.K., May 1994.
- [10] Dudek P. J., V. D. Juncu, and M Rafiei-Naeini, “Integrated circuit implementation of a compact discrete-time chaos generator”, *Analog Integrated Circuits and Signal Processing*, Vol. 46, pp. 275-280, London, U.K., February, 2006.
- [11] T. N. Swe and K. S. Yeo, “An accurate photodiode model for DC and high frequency SPICE circuit simulation”, *ISCAS 2002*, Vol. 3, pp. 73-74, 2002.
- [12] J. S. Kim and H. J. Song “Modeling and HSPICE analysis of the CMOS image sensor pixel with the complementary signal path”, *J. Kor. Sensors Soc.*, Vol. 17, No. 1, pp. 41-52, 2008.



오 세 진 (Sejin Oh)

- 2006년 ~ 현재 인제대학교 나노공학부 재학중



송 한 정 (Hanjung Song)

- 1986년 한양대학교 전자공학과 졸업(공학사)
- 1988년 한양대학교 전자공학과 졸업(공학석사)
- 2000년 한양대학교 전자공학과 졸업(공학박사)
- 2010년 ~ 2011년 University of Texas 방문교수
- 2004년 ~ 현재 인제대학교 나노공학부 교수
- 관심분야 : 센서 집적회로, 반도체 소자 신뢰성