
다양한 조건에 따른 TDMA와 로터리 버스 중재방식의 성능비교

고시영*

Performance Comparison of TDMA and Lottery Bus Arbitration Policy
Due to Various Conditions

Si-Young Koh*

이 논문은 2012년도 경일대학교 연구비를 지원받았음

요 약

일반적인 버스 시스템 구조는 공용버스 내에 여러 개의 마스터와 슬레이브, 아비터 그리고 디코더 등으로 구성되어 있다. 복수의 마스터가 동시간대에 버스를 이용할 수 없으므로, 아비터는 이를 중재하는 역할을 수행한다. 아비터가 어떠한 중재방식을 선택하는가에 따라 버스 사용의 효율성이 결정된다. 기존의 중재 방식에는 Fixed Priority 방식, Round-Robin 방식, TDMA 방식, 로터리 방식 등이 연구되고 있다. 본 논문에서는 최근에 개발된 TDMA 방식과 로터리 방식에 대하여 성능을 비교해 보고, 성능개선을 위한 방법을 제안하려고 한다.

ABSTRACT

The general bus system architecture consists of masters, slaves, arbiter, decoder and so on in shared bus. As several masters can't use a bus concurrently, arbiter plays a role in bus arbitration. In compliance with the selection of arbitration method, The efficiency of bus usage can be determined. Fixed Priority, Round-Robin, TDMA, Lottery arbitration are studied in conventional arbitration method. In this paper, we draw the performance comparison of TDMA and Lottery bus arbitration policy developed recently due to various conditions and propose the methods of performance improvement.

키워드

AMBA, SoC, 버스 아키텍처, 버스중재

Key word

AMBA, SoC, bus architecture, arbitration policy, Throughput

* 종신회원 : 경일대학교 전자정보통신공학부

접수일자 : 2012. 07. 06

심사완료일자 : 2012. 08. 09

Open Access <http://dx.doi.org/10.6109/jkiice.2012.16.9.2009>

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서 론

현대 사회가 점점 정보화 사회로 진보하는 데에는 반도체 산업이 매우 중요한 역할을 하고 있다. 인터넷 시대의 등장과 함께 텔레비전, 냉장고와 같은 가전에서부터 노트북, 휴대용 정보기기 및 스마트 전자기기에 대한 수요가 증가하면서 전자회로의 임베디드(Embedded) 시스템화, 소형화, 저전력화되어 가고 있다. 또한 반도체 공정 기술의 발달로 기존의 여러 다른 기능을 하는 칩들을 하나에 집적시키는 SoC(System on a Chip) 기술이 각광 받고 있다.[1,2]

SoC 버스 시스템은 IP들 간의 통신 순서와 방법을 정의하고 제어한다. 그러므로 버스 시스템의 성능이 SoC의 성능을 좌우하는 중요한 요소로 부각되고 있다. 버스 시스템에는 ISA, PCI, MCA 등 여러 종류가 있지만, 이 중에서 ARM 프로세서의 AMBA(Advanced Microcontroller Bus Architecture)가 온 칩 통신의 표준이 되고 있다.[3]

AMBA는 AHB(Advanced High-performance Bus), ASB(Advanced System Bus) 그리고 APB(Advanced Peripheral Bus)가 있으며, AXI(Advance eXtensible Interface)가 현재 새롭게 개발되었지만, 아직까지 고성능 버스인 AHB가 성능 향상을 위해 많이 연구되고 있다. 전형적인 AHB는 하나의 단일 버스 내에 여러 개의 마스터와 슬레이브, 아비터, 디코더로 구성되어 있다. 마스터는 CPU, DMA, DSP 등과 같은 프로세서들을 말하며, 슬레이브는 마스터와는 다르게 DRAM, SRAM과 같은 메모리를 의미한다. 또한, 아비터는 여러 개의 마스터가 동시간에 버스를 이용할 수 없기 때문에 이를 중재하는 역할을 수행하고 중재하는 방식에 따라 버스의 효율적인 중재가 가능하기 때문에 전체 시스템의 성능 향상을 위해 많이 연구되고 있는 분야이다. 마지막으로 디코더는 마스터로부터 나오는 어드레스의 상위 비트를 가지고 적절한 슬레이브를 선택해주는 역할을 한다.

기존의 아비터 중재 방식에는 fixed priority 방식, round-robin 방식, TDMA 방식, 로터리 버스 방식 등 여러 가지가 있다.[4~8] 본 논문에서는 최근에 개발된 TDMA 방식과 로터리 방식에 대하여 슬롯 수와 점유 확률에 따른 성능을 비교해 보고, 성능개선을 위하여 개선된 방법을 제안하려고 한다.

II. 버스 중재방식별 특징

전 세계의 70% 이상을 차지하고 있는 AMBA 시스템의 경우, 마스터에서 발생하는 데이터는 싱글 데이터와 버스트 데이터가 있으며, 버스트 데이터 길이는 4, 8, 16 까지 지원한다.[9] 그리고 idle 사이클 지연 후 새로운 데이터를 발생시키는데, 본 모델에서는 idle 사이클에 대해서 랜덤 함수를 이용하였다. 그림 1에 보듯이 대표적인 버스 중재 방식에는 fixed priority 방식과 round-robin 방식, TDMA 중재방식, 로터리 버스 방식이 있다.

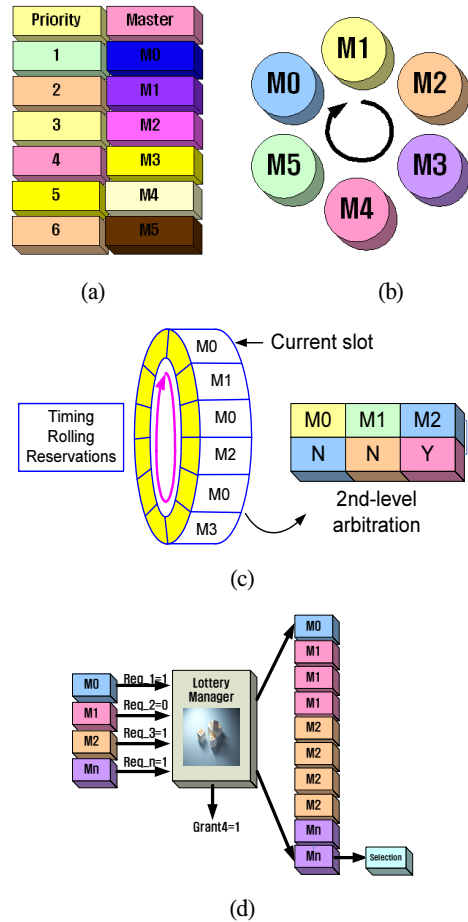


그림 1. 다양한 버스 중재 방식
 (a) Fixed Priority (b) Round Robin (c) TDMA (d) 로터리
 Fig. 1 Various bus arbitration policies.
 (a) Fixed Priority (b) Round Robin (c) TDMA (d) Lottery

그림 1(a)는 fixed priority 방식을 보여준다. Fixed priority 방식은 각 마스터들이 고정된 우선순위를 가지고 있다. 예를 들어, 마스터 M1의 우선순위가 마스터 M2보다 높으면, 아비터는 버스 점유권을 마스터 M1에게 준다. fixed priority 방식의 경우 중요한 마스터는 우선순위를 높일 수 있는 장점을 가지지만 우선순위가 가장 낮은 마스터의 스타베이션을 일으킬 수 있는 단점을 가지고 있다. 그림 1(b)는 round-robin 방식을 보여준다. 이 방식은 마스터의 우선순위가 정해지지 않고 골고루 버스 점유권을 주기 때문에 마스터들이 공평하게 버스를 이용할 수 있어 스타베이션을 방지할 수 있다. 그러나 중요한 데이터 처리를 할 경우 이 방식은 한계를 가진다. 그림 1(c)는 TDMA 중재 방식을 보여준다. TDMA 중재 방식도 골고루 마스터의 버스 점유권이 돌아가기 때문에 스타베이션을 방지할 수 있는 장점을 가지고 있지만, 중요한 데이터를 가져야 하는 마스터의 대기시간이 길어질 수 있다는 단점을 가지고 있다. 그림 1(d)는 로터리 버스 방식을 보여준다. 로터리 버스 방식의 경우는 마스터들에게 버스 점유권을 확률적으로 주는 방식이다. 중요한 마스터의 경우는 좀 더 많은 버스 점유권을 주고 그렇지 않은 경우는 좀 더 적게 주는 방식으로, 최근에 TDMA 버스중재를 개선하는 방식으로 제안되고 있다.[8]

III. 모 델

버스(Bus)는 CPU 또는 DMA와 메모리 및 입출력 장치 등을 연결하는 통신 채널을 의미한다. 실제 칩에서는 와이어로 이루어져 있으며 논리적인 의미에서는 마스터와 슬레이브 사이에 신호 또는 데이터 전송에 대한 프로토콜을 말한다. 마스터는 CPU나 DMA와 같은 버스의 사용에 주도적인 역할을 하는 장치를 말하며, 슬레이브는 메모리와 같이 마스터로부터의 명령에 해당하는 데이터를 저장하고 마스터의 명령에 따라 데이터를 전송하는 역할을 수행한다. 일반적인 버스 아키텍처의 경우는 단일 버스에 여러 개의 마스터와 슬레이브 그리고 아비터, 디코더로 구성되어 있다. 버스의 개수가 오직 하나이기 때문에 데이터 전송을 수행할 때, 동시간대에 마스터들이 버스를 이용할 수 없다. 그렇기 때문에 여러 마스터들이 버스를 이용하기 위해 서로 경쟁을 하고 아비터는 이를 중재하는 역할을 수행한다.

그림 2은 일반적인 버스 아키텍처의 데이터 트랜잭션을 보이고 있다. 마스터 M1과 M2는 각각 동시에 버스 사용 요청(req.)을 할 수 있다. 또한 요청한 신호가 아비터 AB에게 전송되면, 아비터 AB는 고유의 중재방식에 따라 선택된 마스터에게 버스 사용을 허가(grant)한다.

사용 허가를 받은 마스터는 해당 슬레이브 S1 또는 S2에 데이터 전송을 하고, S1 또는 S2는 wait 신호와 resp 신호를 통해 마스터와 아비터에게 데이터 처리에 관한 응답을 한다. 성능분석을 위해 C++로 자체개발한 AMBA를 사용하고 TLM(Transaction Level Model) 방법을 적용하였다.[10]

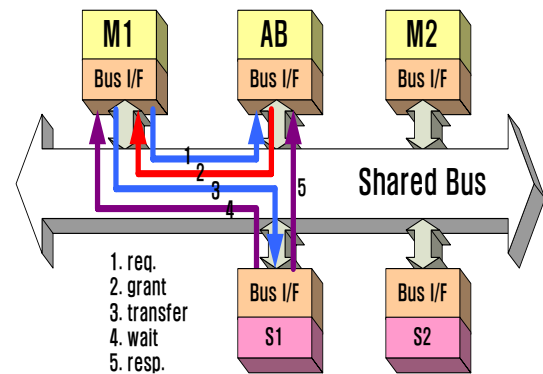


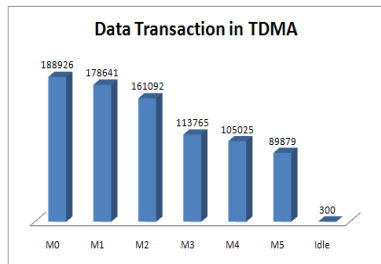
그림 2. 일반적인 버스 아키텍처의 데이터 트랜잭션
Fig. 2 Data transaction flow in general bus architecture.

마스터에서 발생하는 데이터는 싱글 데이터와 버스트 데이터가 있으며, 버스트 데이터 길이는 4, 8, 16까지 지원한다. 그리고 idle 사이클 지연 후 새로운 데이터를 발생시키는데, 버스트 데이터 길이와 idle 사이클에 대해서 랜덤 함수를 이용하였다.

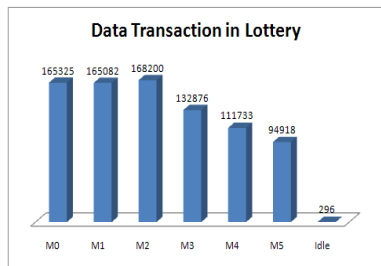
IV. TDMA와 로터리 중재방식의 특징비교

자체 개발한 TLM 모델을 이용하여 TDMA와 로터리 중재방식의 버스성능을 비교해 보았다. 버스 중재방식의 성능은 데이터 트랜잭션이 많은 상황에서 주요한 차이가 나타나므로, 마스터의 버스요청을 많이 발생하기 위해서 각 마스터 M0~M5의 버스 요청 간격을 랜덤함수를 이용하여 평균 10 사이클, 0에서 20사이클 사이값으

로 하였으며, 기타 변수는 기존 논문과 동일하게 설정하였다.[10] TDMA 방식의 슬롯수는 마스터 M0~M5에서 각각 3, 2, 2, 1, 1, 1 이며, TDMA의 슬롯배치는 M0, M4, M1, M2, M0, M3, M1, M5, M0, M2 순으로 실시하였다. 로터리 방식의 버스중재 확률은 마스터 M0~M5에서 각각 30%, 20%, 20%, 10%, 10%, 10%로 두 방식의 비율을 동일하게 하였다.



(a)



(b)

그림 3. (a) TDMA, (b) 로터리 중재방식에서 데이터 트랜잭션 사이클

Fig. 3 Data transaction cycle in (a) TDMA and (b) Lottery arbitration

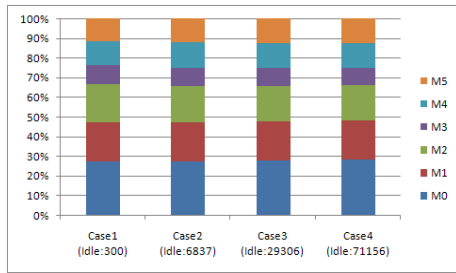
그런데, 그림 3의 데이터 트랜잭션 사이클을 보면, 버스중재 비율과 일치하지 않았다. 전체 1,000,000 사이클에서 TDMA는 마스터 M0~M5에서 각각 19만, 18만, 16만, 11만, 10만, 9만 사이클 정도를 보였으며 로터리 버스의 경우에는 마스터 M0~M5에서 각각 17만, 17만, 17만, 13만, 11만, 9만 정도로 나타났다.

버스중재 장치의 설정값과 실제 데이터 전송량의 차이의 원인을 파악하기 위하여, TLM 모델을 이용하여 정밀하게 내부를 탐색해 보았다. TDMA 방식과 로터리 방식 모두 버스점유 비율을 조절하는 방식으로 TDMA는 슬롯수 사용하고 로터리 방식은 랜덤함수를 이용하여

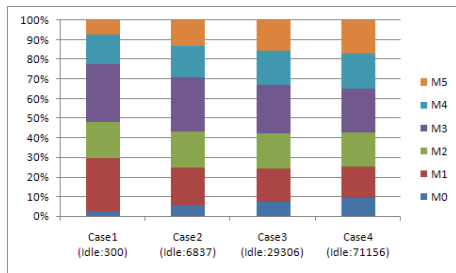
확률기법을 적용하고 있다. 설정된 슬롯수와 확률이 정확하게 적용되는지 확인하기 위하여 그림4와 같이 TDMA와 로터리 중재방식의 중재회수를 파악해 보았다. 그림 4(a), (c)에서 TDMA와 로터리 방식의 경우, 1순위 중재에서 마스터 M0~M5에서 각각 30%, 20%, 20%, 10%, 10%, 10% 설정비율을 비교적 잘 유지함을 알 수 있다. 단, 30%로 버스점유 확률이 높은 마스터 M0의 경우, 버스전송이 비교적 원활하여, 1순위 중재순번에서 버스 전송을 실시하지 않는 경우가 발생하여 1~2%정도 낮으며, 10%로 버스점유 확률이 낮은 마스터 M3~M5의 경우, 버스전송이 많지 않아서, 1순위 중재순번에서 버스 전송을 대부분 실시하여 1~2%정도 높게 나타났으나, 그 차이는 미미하였다. 그리고, 버스 전송조건을 다양하게 하기 위하여, case1~case4에서 마스터 M0~M5의 버스 요청 간격을 랜덤함수를 이용하여 평균 10 사이클, 15 사이클, 20 사이클, 25 사이클로 변경하였으나, 1순위 버스중재 비율에 큰 차이는 나타나지 않았다.

1순위 버스중재에서 선택된 마스터가 데이터 전송을 요청하지 않아서, 다음 순위로 버스중재가 내려간 경우를 2순위 중재라 한다. 2순위 중재의 경우, 그림 1 (c)와 같이 1순위에서 선택된 마스터 번호 다음 순서부터 Fixed Priority 방식으로 버스중재가 진행된다. 예를 들어 1순위 중재 마스터가 M1일 경우, 마스터 M1, M2, M3, M4, M5, M0 순서로 버스 우선순위가 결정된다.[8] 이에 따라 TDMA와 로터리 방식의 2순위 중재비율은 설정값을 따르지 않으며, 1순위 중재 비율이 가장 낮은 마스터 다음 순번의 마스터에서 2순위 중재비율이 낮게 나타난다. 예를 들어 그림 4에서 TDMA와 로터리 방식의 2순위 중재의 경우 중재비율이 낮은 마스터 M5 다음 순번인 마스터 M0의 2순위 중재비율이 case0에서 5%이하로 매우 낮게 나타났다.

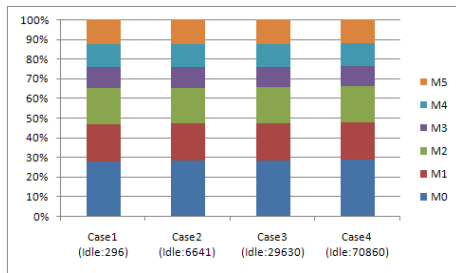
1순위 중재 비율이 높은 마스터 M0의 다음 순번 마스터인 M1의 2순위 중재비율과 1순위 중재 비율이 높은 마스터 M0, M1, M2의 다음 순번인 마스터 M3의 2순위 중재비율이 높게 나타났다. Case4에서는 이러한 현상이 비교적 완화되어 나타나는데, 이는 버스 트랜잭션이 활발하지 않아서 2순위 중재가 비교적 균등하게 배분되기 때문이다. 결국 버스 트랜잭션이 활발한 2순위 중재의 경우, 버스 중재 비율을 전혀 따르지 않으며 마스터의 배치에 따라 중재 비율이 결정되며, 이에 따라 전체적인 버스중재 비율이 왜곡됨을 알 수 있다.



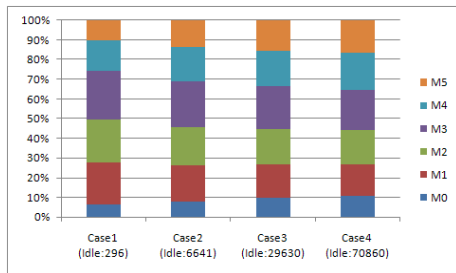
(a)



(b)

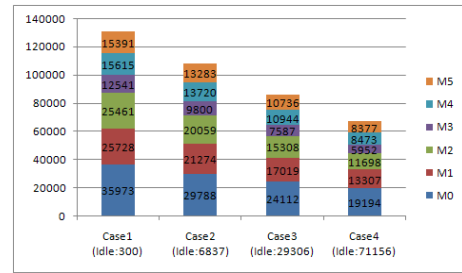


(c)

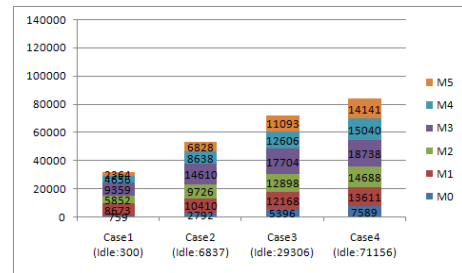


(d)

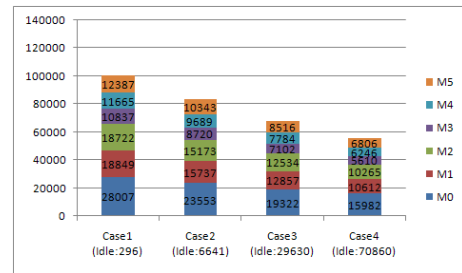
그림 4. 다양한 조건에 따른 1순위와 2순위 마스터 버스 중재 비율 : (a) TDMA, 1순위 버스중재, (b) TDMA, 2순위 버스중재, (c) 로터리 방식, 1순위 버스중재, (d) 로터리 방식, 2순위 버스중재, Fig. 4 The proportion of master's bus arbitration due to various conditions : (a) TDMA, 1st arbitration, (b) TDMA, 2nd arbitration, (c) Lottery, 1st arbitration and (d) Lottery, 2nd arbitration



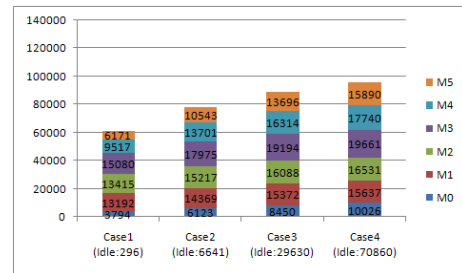
(a)



(b)



(c)



(d)

그림 5. 다양한 조건에 따른 1순위와 2순위 마스터 버스 중재 회수 : (a) TDMA, 1순위 버스중재, (b) TDMA, 2순위 버스중재, (c) 로터리 방식, 1순위 버스중재, (d) 로터리 방식, 2순위 버스중재, Fig. 5 The number of master's bus arbitration due to various conditions : (a) TDMA, 1st arbitration, (b) TDMA, 2nd arbitration, (c) Lottery, 1st arbitration and (d) Lottery, 2nd arbitration

그림 5는 1순위, 2순위의 버스 중재 회수를 나타내고 있는데, case0의 TDMA의 1순위와 2순위 중재 회수는 각각 약 13만과 3만이었으며, 로터리버스의 1순위와 2순위 중재 회수는 각각 약 10만과 6만이었다. 로터리 버스는 확률에 의해 버스 중재를 실시하므로 버스중재 확률이 높은 마스터가 연속하여 선택될 가능성도 존재한다. 일반적으로 마스터는 일정간격을 두며 버스를 요청하므로, 연속하여 선택된 마스터가 다시 버스를 요청할 확률이 작아지므로 2순위 버스 중재가 발생할 확률이 높게 된다. 이에 반하여 TDMA 방식은 슬롯수를 마스터에 따라 적당한 간격을 두어 설정할 수 있으므로 연속하여 마스터가 선택될 가능성이 없다. 위의 실험에서는 TDMA의 슬롯배치를 M0, M4, M1, M2, M0, M3, M1, M5, M0, M2 순으로 실시하였다. 결국 로터리 방식이 TDMA 방식 보다 2순위 중재가 크게 높아서 설정된 버스 중재비율을 지키지 않았다. 이러한 원인에 따라, 그림3(b)의 로터리버스 트랜잭션에서 버스점유비율 30%로 설정된 마스터 M0의 트랜잭션이 버스점유비율 20%인 마스터 M2보다 적은 현상이 발생하게 되었다.

V. 결 론

본 논문에서는 TLM 모델을 이용하여 기존에 많이 사용되고 있는 TDMA, 로터리 버스중재방식의 성능을 비교해 보았다. TDMA, 로터리 버스 방식 모두 설정된 비율과 다르게 데이터를 전송하였으며, 이는 2순위 중재방식 때문임을 입증하였다. 특히 로터리 버스의 경우, 마스터가 연속적으로 선택될 확률이 있어서 2순위 중재 회수가 TDMA 방식 보다 case1에서 100% 이상 높음을 확인하였다. 앞으로 2순위 중재 방식을 Fixed Priority가 아닌 다른 방식을 적용하여, 중재비율 왜곡 현상을 극복하는 연구를 진행할 예정이다.

참고문헌

[1] R. Lu and C.-K. Koh, "SAMBA-Bus: A High Performance Bus Architecture for System-on-Chips", IEEE Trans. on VLSI Systems, vol. 15, no. 1, pp.69-79, 2007.

[2] Sonics, Inc., Mountain View, CA, "Silicon micronetworks technical overview", 2002.
 [3] AMBA TM Specification(AHB) (Rev 2.0), ARM Ltd, May 1999.
 [4] L. N. Bhuyan, "Analysis of interconnection networks with different arbiter designs", J.Parallel Distrib. Comput., vol.4, no.4, pp.384-403, 1987.
 [5] J. G. Delgado-Frias and R. Diaz, "A VLSI selfcompacting buffer for DAMQ communication switches", in Proc. IEEE 8th Great Lakes Symp. VLSI, pp.128-133, Feb. 1998.
 [6] A. Bystrov, D.J. Kinniment and A. Yakovlev, "Priority Arbiters", in Proc. IEEE 6th internation Symp. ASYNC, pp.128-137, April. 2000.
 [7] Y. Xu, L. Li, Ming-lun Gao, B.Zhand, Zhao-yu Jiand, Gao-ming Du, W. Zhang, "An Adaptive Dynamic Arbiter for Multi-Processor SoC", Solid-State and Integrated Circuit Technology International Conf., pp.1993-1996, 2006.
 [8] K. Lahiri, A. Raghunathan, and G. Lakshminarayana, "The LOTTERYBUS On-Chip Communication Architecture", IEEE Trans. VLSI Systems, vol.14, no.6, 2006.
 [9] http://www.samsung.com/global/business/semiconductor/productInfo.do?fmly_id=234&partnum=S3C2510A
 [10] 이국표, 윤영섭, "마스터와 슬레이브에 따른 싱글 버스와 다중버스 토폴로지의 성능분석", 전자공학회 논문지, 제45권 SD편 제9호, pp. 96-102, 2008.

저자소개

고시영(Siyoung Koh)

한국정보통신학회 논문지
제12권 제3호 참조