
클럭 보정회로를 가진 1V 1.6-GS/s 6-bit Flash ADC

김상훈* · 홍상근** · 이한열* · 박원기*** · 이왕용** · 이성철*** · 장영찬****

1V 1.6-GS/s 6-bit Flash ADC with Clock Calibration Circuit

Sang-hun Kim* · Sang-Geun Hong** · Han-yeol Lee* · Won-ki Park*** · Wang-Yong Lee** ·
Sung-chul Lee*** · Young-Chan Jang****

본 연구는 방위사업청과 국방과학연구소가 지원하는 디지털고주파기억장치 응용연구 개발과제와 관련된 연구이며, IDEC으로부터 설계 툴을 지원받았음.

요 약

클럭 보정회로를 가진 1V 1.6-GS/s 6-비트 flash 아날로그-디지털 변환기 (ADC: analog-to-digital converter)가 제안된다. 1V의 저전압에서 고속 동작의 입력단을 위해 bootstrapped 아날로그 스위치를 사용하는 단일 track/hold 회로가 사용되며, 아날로그 노이즈의 감소와 고속의 동작을 위해 평균화 기법이 적용된 두 단의 프리앰프와 두 단의 비교기가 이용된다. 제안하는 flash ADC는 클럭 보정회로에 의해 클럭 duty cycle과 phase를 최적화함으로써 flash ADC의 동적 특성을 개선한다. 클럭 보정 회로는 비교기를 위한 클럭의 duty cycle을 제어하여 evaluation과 reset 시간을 최적화한다. 제안된 1.6-GS/s 6-비트 flash ADC는 1V 90nm의 1-poly 9-metal CMOS 공정에서 제작되었다. Nyquist sampling rate인 800 MHz의 아날로그 입력신호에 대해 측정된 SNDR은 32.8 dB이며, DNL과 INL은 각각 +0.38/-0.37 LSB, +0.64/-0.64 LSB이다. 구현된 flash ADC의 면적과 전력소모는 각각 $800 \times 500 \mu\text{m}^2$ 와 193.02 mW 이다.

ABSTRACT

A 1V 1.6-GS/s 6-bit flash analog-to-digital converter (ADC) with a clock calibration circuit is proposed. A single track/hold circuit with a bootstrapped analog switch is used as an input stage with a supply voltage of 1V for the high speed operation. Two preamplifier-arrays and each comparator composed of two-stage are implemented for the reduction of analog noises and high speed operation. The clock calibration circuit in the proposed flash ADC improves the dynamic performance of the entire flash ADC by optimizing the duty cycle and phase of the clock. It adjusts the reset and evaluation time of the clock for the comparator by controlling the duty cycle of the clock. The proposed 1.6-GS/s 6-bit flash ADC is fabricated in a 1V 90nm 1-poly 9-metal CMOS process. The measured SNDR is 32.8 dB for a 800 MHz analog input signal. The measured DNL and INL are +0.38/-0.37 LSB, +0.64/-0.64 LSB, respectively. The power consumption and chip area are $800 \times 500 \mu\text{m}^2$ and 193.02mW.

키워드

Flash ADC, 클럭 보정, duty cycle, 단일 track/hold, 저항 평균화 기법, 비교기

Key word

Flash ADC, clock calibration, duty cycle, single track/hold, resistor averaging network, comparator

* 준회원 : 금오공과대학교 대학원 전자공학과

접수일자 : 2012. 07. 24

** 정회원 : LIG 넥스원

심사완료일자 : 2012. 08. 13

*** 정회원 : 전자부품연구원

**** 정회원 : 금오공과대학교 전자공학부 (교신저자, ycjang@kumoh.ac.kr)

Open Access <http://dx.doi.org/10.6109/jkiice.2012.16.9.1847>

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서 론

다중-채널 OFDM (Orthogonal Frequency Division Multiplexing: 직교 주파수 분할 다중) UWB (Ultra Wide-Band: 초광대역)를 위한 수신기, 그리고 광 혹은 자기 데이터 저장 소자의 디지털 read 채널을 위해 6~7 비트의 해상도와 1-GS/s 이상의 샘플링 속도를 가지는 고속 아날로그-디지털 변환기 (ADC: analog-to-digital converter)가 사용된다. 특히, 레이더 시스템에서 요구되는 아날로그 입력 신호의 주파수가 800 MHz 이상의 고속 신호이기 때문에 이를 디지털 신호로 변환하기 위해 giga sampling rate 이상의 고속 ADC가 요구된다. 위와 같은 고속의 ADC를 구현하기 위해 flash architecture가 주로 이용되고 있다 [1]-[3].

최근 SoC (system on chip)은 전력 소모를 줄이기 위해 공급 전압을 1V 이하로 낮추고 있다. 이에 따라 디지털 블록과 함께 ADC를 포함하는 아날로그 블록 역시 1V 이하의 공급 전압을 이용하는 설계가 요구되고 있다. 공급 전압이 줄어들어 따라 flash ADC는 프리앰프 및 전압 비교기의 입력 옵셋과 기준 전압의 fluctuation 같은 아날로그 노이즈에 민감해진다. 또한 flash ADC에서 동적 특성을 개선하기 위해 수백 MHz 이상의 고속의 아날로그 신호를 위해 ADC의 입력 단이 1V 이하의 공급 전압에서 설계되어야 한다. 일반적으로 flash ADC에서 큰 커패시터 입력 부하를 가지는 프리앰프 열을 구동하기 위한 입력 단은 sample-hold 기능을 위한 낮은 저항 가지는 아날로그 스위치와 큰 전류를 구동할 수 있는 출력부의 설계가 요구된다. 또한 giga sampling rate 이상의 고속 ADC에서는 클록의 low jitter 특성과 clock duty cycle의 제어가 요구된다 [4]. 클록의 jitter 특성은 고속 ADC에서 최대의 동적 특성을 결정한다. 또한 클록의 duty cycle은 전압 비교기가 evaluation하는 시간을 결정하여 전압 비교기의 meta-stability에 직접적인 영향을 끼치게 된다.

본 논문에서는 1V의 공급 전압에서 800 MHz 이상의 고속 아날로그 신호를 6-비트 디지털 신호로 변환하기 위한 1.6-GS/s flash ADC를 소개한다. 1V의 공급 전압에서 ADC의 아날로그 블록을 구현함에 있어 저항 평준화 기법과 디지털 보팅 회로를 이용하며, 1V의 공급 전압에서 flash ADC를 위한 입력 단의 설계 기법을 소개한다.

또한, ADC의 dynamic 특성을 최적화하기 위해 비교기에 공급되는 클록의 duty cycle을 보정하는 회로의 구현과 이에 따른 결과를 분석한다 [5]. 본 논문의 2장에서는 구현된 1.6-GS/s 6-비트 flash ADC 구성을 소개하며, 3장은 클록 보정회로를 포함한 ADC에 이용된 구체적인 회로를 설명한다. 4장은 제안하는 ADC의 칩 제작 및 측정 결과를 살펴보고, 마지막 장에서는 본 논문의 결론을 맺는다.

II. 1.6-GS/s 6-비트 Flash ADC 구조

그림 1은 1.6-GS/s의 변환 속도와 6-비트의 해상도를 가지는 flash ADC의 전체 블록 도이다. 제안하는 flash ADC는 고속의 입력 단을 위한 T/H (track/hold) 회로, 기준 전압의 생성을 위한 저항 열, 두 단의 프리앰프 열, 전압 비교기 열, 그리고 디지털 encoder로 구성된다. 또한 아날로그 회로의 각종 바이어스를 위한 band-gap reference (BGR) 회로, 그리고 각각의 블록을 위한 동기 신호의 공급을 위한 클록 발생기로 구성된다.

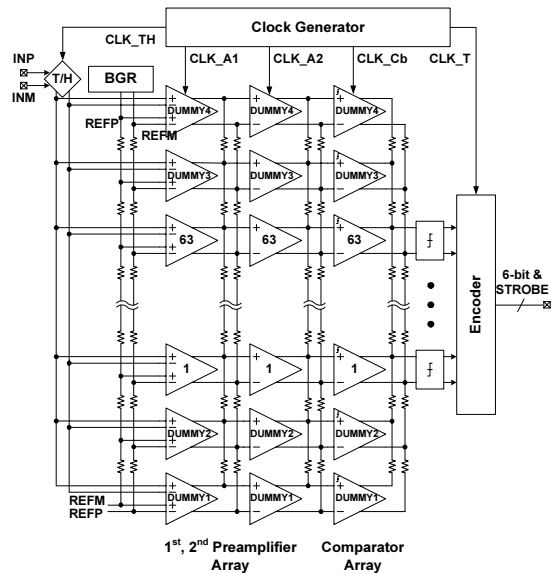


그림 1. Flash ADC의 블록도
Fig. 1 Block diagram of flash ADC

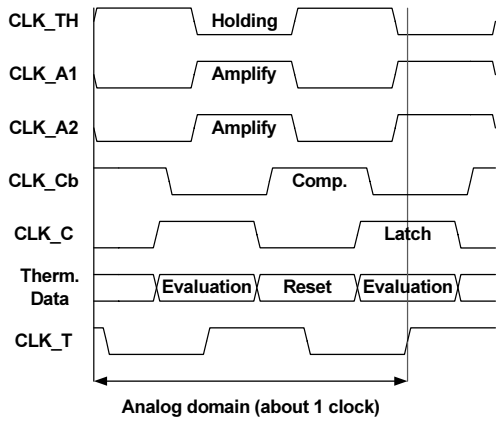


그림 2. Flash ADC의 타이밍도
Fig. 2 Timing diagram of flash ADC

그림 2는 제안된 flash ADC의 전체 타이밍도이다. 클럭 발생기의 출력 클럭인 CLK_TH, CLK_A1, CLK_A2, CLK_Cb, CLK_C, 그리고 CLK_T에 동기되어 각 블록이 동작을 한다. 입력 단인 T/H 회로는 클럭이 “Low” 인 경우 아날로그 입력 신호를 샘플하여 유지한다. 이 구간에서 첫 번째 프리앰프 열과 두 번째 프리앰프 열은 hold된 신호를 증가하여 이 구간이 끝날 시점에 전압 비교기에서 아날로그 신호를 디지털로 변환을 할 수 있도록 한다. 전압 비교기는 두 구간의 동작을 통해 thermometer 코드의 형태로 디지털 신호로 변환한다. 마지막 인코더 블록은 CLK_T의 클럭에 동기화 되어 최종 디지털 신호를 바이너리 코드 형태로 변환하여 출력한다.

일반적인 flash ADC의 큰 capacitive 입력 부하로 인한 입력신호의 대역폭 감소를 줄이기 위해 입력 단은 단일 T/H 회로로 구성된다. T/H 회로에서 hold된 아날로그 신호는 source follower에 의해 뒷단의 첫 번째 프리앰프 열로 구동된다.

입력된 아날로그 신호를 디지털 신호로 변환하기 위한 기준 전압의 생성을 위해 그림 1에서 나타난 1V 공급 전압의 current mode BGR 회로가 이용된다 [6]. BGR 회로에서 생성된 최고 기준전압 (REFP)과 최저 기준전압 (REFM)은 저항열에 공급됨으로 dummy 기준 전압을 포함한 총 67개의 기준전압이 발생된다.

프리앰프 열은 기준전압과 샘플링된 신호의 차이를 증폭하며, 고속 동작에서 시간적인 마진을 확보하기 위

해 2단으로 구성된다. 각각의 프리앰프 입력 옵션을 감소하기 위해 dummy 프리앰프가 추가된 저항 평균화 기법이 적용된다 [1]-[3]. 또한, 저항 평균화 기법을 적용함에 있어 양 끝단의 termination을 위해 각각 두 단씩의 프리앰프가 위치되어 각 프리앰프 열은 총 67 개의 프리앰프로 구성된다.

전압 비교기는 고속 동작이 가능하여야 하며, 해상도를 증가시키기 위해 프리앰프를 가진 래치의 형태로 구성된다. 전압 비교기의 출력은 CMOS 레벨을 가지게 되어 디지털 인코더로 공급된다.

디지털 인코더 블록은 quasi-gray coding을 사용하여 고속의 동작에서 bit error rate (BER)를 줄이도록 하였다. 이에 앞서 thermometer code에 존재할 수 있는 버블 (bubble), 혹은 스파클 (sparkle) 노이즈는 보팅 과정에 의해 제거된다 [7].

클럭 발생기는 칩 외부에서 1.6 GHz의 차동 클럭을 받아 칩 내부 블록에 적합한 클럭을 생성하여, 각 블록에서의 최적화된 타이밍을 위해 위상과 duty cycle을 제어한다. 본 연구에서는 통상적으로 50%의 듀티 비를 가지는 클럭을 사용하는 일반 flash ADC 대비 고속의 비교기의 안정된 동작을 위해 최적화된 duty cycle을 가지는 클럭을 사용함으로써 flash ADC의 dynamic 특성을 향상시킨다.

III. 회로 설명

3.1. 단일 T/H로 구성된 입력 단

그림 3은 flash ADC 첫 단에 이용된 입력 단의 회로도이며, 단일 T/H 회로와 source follower 회로로 구성된다. 공정 변화에 따른 아날로그 스위치의 저항 값 변화로 신호의 왜곡이 발생하는 distributed T/H 대신 단일 T/H 회로를 사용한다.

800 MHz 이상의 높은 주파수를 가지는 아날로그 신호의 입력을 위해 1V의 공급 전압에도 작은 저항을 가지는 아날로그 스위치가 구현되어야 한다. 이를 위해 low threshold voltage를 가지는 1V 용 NMOS transistor를 이용하며, control 신호는 공급전압에 두 배로 boosting된 클럭이 이용된다. 아날로그 입력신호의 부하를 증가시키지 않는 1V의 공급 전압에 동작하는 bootstrapped switch를 사용한다 [8].

또한, 아날로그 스위치의 작은 저항 값을 위해 NMOS transistor의 크기가 증가함에 따라 charge injection 노이즈가 증가됨으로 이를 제거하기 위한 보상 회로도 추가된다. 그림 3에 보인 바와 같이 단일 T/H 회로의 출력은 bandwidth가 큰 source follower 회로의 의해 구동된다. Source follower의 입력 단은 low threshold voltage를 가지는 1V 용 PMOS transistor를 이용하며 고속의 동작이 가능하도록 한다. 한편, source follower의 전류원은 큰 출력 저항을 가져야 함으로 normal threshold voltage를 가지는 2.5V 용 PMOS transistor를 사용하고 출력 전압의 범위를 위해 국부적으로 2.5V 전압을 공급한다. 입력 단은 전체적으로 6-비트 ADC에 대한 입력 해상도를 얻기 위해 PVT 변화를 고려하여 8-비트 이상의 해상도를 가지게 설계되었다. Worst case에서 hold 노드와 출력 노드에서 각각 56.9 dB와 52.5 dB의 SNDR이 HSPICE 시뮬레이션에 의해 확인된다.

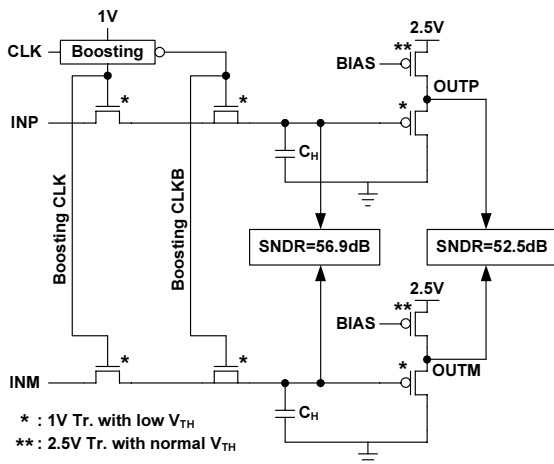
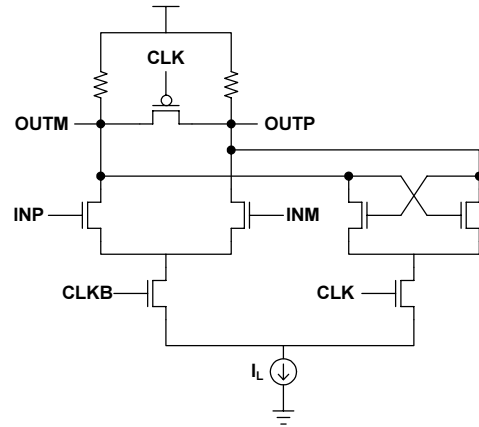


그림 3. 입력 단 회로도
Fig. 3 Circuit diagram of input stage

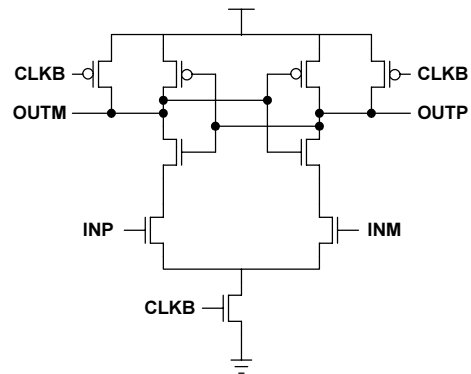
3.2. 비교기

Flash ADC는 2^N-1 개의 프리앰프와 비교기가 필요하지만 공정상 발생할 수 있는 오프셋 노이즈를 줄여주기 위해 저항 평준화 기법을 이용함으로써 양 끝단의 termination을 위해 각각 2 개의 dummy 블록을 추가하므로 총 67개의 프리앰프와 비교기가 사용된다. 비교기는 6-비트 이상의 해상도를 유지하면서 고속 동작이 이루어져야 하므로 1차 비교기와 래치가 바로 연결된 구조를

가진다. 최종 63 개의 비교기 출력을 위해 67 개의 1차 비교기와 63 개의 래치가 이용된다. 67 개의 1차 비교기의 이웃 출력들은 프리앰프 열과 유사하게 저항 평준화 기법의 적용을 위해 저항으로 서로 연결된다.



(a)



(b)

그림 4. (a) 1차 비교기 (b) 래치
Fig. 4 (a) First comparator (b) latch

그림 4에서 (a)는 프리앰프와 래치로 구성된 1차 비교기의 회로 [1]이고, (b)는 비교기의 전체 전압 이득을 증가시켜 비교기의 출력을 CMOS 레벨로 변환시키는 래치 회로이다. 그림 2의 flash ADC 타이밍 도를 보면 비교기에 공급되는 클럭 (CLK_Cb)이 “High”일 때 리셋 모드가 된다. 이때 1차 비교기의 프리앰프가 enable되고 래치가 disable된다.

출력 노드는 PMOS switch가 turn-on이 되어 입력신호에 대한 작은 level의 차이를 발생시키면서 입력 트랜지스터에 흐르는 전류의 차이를 발생시킨다. 클럭이 “Low”일 때 evaluation 모드가 되어 1차 비교기의 프리앰프는 disable되고 1차 비교기의 래치가 enable된다. 이러한 과정을 거쳐 입력 신호는 아날로그 신호에서 CMOS 레벨에 가깝게 증폭된다. 1차 비교기의 출력은 다음 단계의 래치를 통해 최종 CMOS 디지털 레벨로 변환이 되고 6-비트의 해상도를 위한 63 개의 비교기 열의 출력은 thermometer code의 형태를 가진다.

3.3. 클럭 발생기

클럭의 duty cycle은 고속의 비교기에서 evaluation을 위한 시간에 영향을 주어 flash ADC 전체의 특성을 결정하는 중요한 파라미터가 된다. 그림 5와 같이 클럭 발생기는 클럭의 duty cycle과 전체 지연을 보정할 수 있는 수단을 가진다. 클럭 duty cycle의 보정 회로는 클럭 버퍼를 위한 인버터 chain에서 부하 capacitor의 값을 디지털 코드로 변화함으로써 구현한다. C₁과 C₄는 s[1:0]의 두 코드로 동시에 제어되고, C₂와 C₃은 s[3:2]의 두 코드로 동시에 제어되어 총 4-비트의 디지털 코드의 사용으로 부하 capacitor를 제어함으로써 클럭의 duty cycle을 변경한다. 표 1은 제어 코드의 변화에 따른 클럭의 duty cycle의 변화를 typical corner에서 HSPICE 시뮬레이션 결과로 나타내었다. 하나의 클럭 보정회로는 클럭 듀티 비를 50 %를 기준으로 ±4 %의 조절 범위를 가진다.

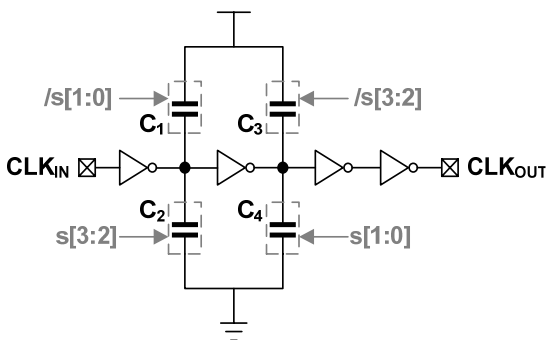


그림 5. 클럭 보정회로
Fig. 5 Clock Duty Cycle Calibration Circuit

표 1. 클럭의 duty cycle 보정
Table. 1 Duty Cycle Calibration of Clock

| s[3:0] | High(psec) | Low(psec) | Duty(%) |
|--------|------------|-----------|---------|
| 0000 | 194.4 | 196.2 | 49.77 |
| 0001 | 190.4 | 200.2 | 48.75 |
| 0010 | 185.5 | 205.1 | 47.49 |
| 0011 | 179.6 | 211 | 45.98 |
| 0100 | 198.6 | 192 | 50.84 |
| 1000 | 203.9 | 186.7 | 52.20 |
| 1100 | 210.1 | 180.5 | 53.79 |

그림 6은 설계된 1.6-GS/s 6-비트 flash ADC에서 비교기에 공급되는 클럭의 duty cycle의 변화에 따른 flash ADC의 전체 동적 성능의 변화를 나타낸다. 이는 1V 공급전압에서 800 MHz의 800 mVpp 아날로그 입력신호가 공급될 때 typical corner에서 HSPICE 시뮬레이션의 결과이다. 그림 6에 나타난 바와 같이 클럭 듀티 비가 60 %에서 설계된 전체 flash ADC의 유효 해상도 (ENOB: effective number of bits)가 5.92 비트로 가장 높게 나타났다. 즉, 비교기에서 evaluation 시간의 확보는 ADC 성능을 개선시킨다. 하지만 60 % 이상에서는 리셋 시간의 감소로 인하여 동적 특성을 악화시켰다. 따라서 비교기의 리셋과 evaluation 시간은 클럭의 duty cycle의 보정을 통해 최적화되어야 한다.

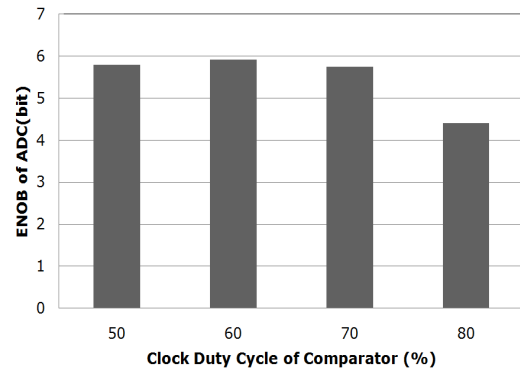


그림 6. 비교기를 위한 클럭의 duty cycle의 변화에 따른 ADC의 동적특성
Fig. 6 Dynamic performance of ADC according to change of duty cycle of clock for comparator

본 연구에서는 HSPICE 시뮬레이션을 통해 비교기를 위한 클록의 경우 60%의 duty cycle을 가지도록 초기 설정되었다.

한편, 그림 2의 설계된 flash ADC의 전체 타이밍도에 나타난 바와 같이 비교기의 클록 위상은 두 단의 프리앰프 열의 차동 결과를 비교하는 시점을 결정한다.

표 2. 클록의 지연 보정
Table. 2 Delay calibration of clock

| s[3:0] | Delay(psec) |
|--------|-------------|
| 0000 | 54.98 |
| 0101 | 71.25 |
| 1010 | 92.04 |
| 1111 | 114.6 |

따라서 두 번째 프리앰프 열의 출력이 안정된 비교기의 클록(CLK_Cb)의 high edge가 나타나야 한다. 이를 위해 그림 5의 회로는 비교기를 위한 클록의 위상을 보정할 수 있는 수단을 가진다. 클록의 위상은 클록의 duty cycle을 보정하는 방법과 유사하게 부하 capacitor인 C₁과 C₂, 그리고 C₃와 C₄를 동일한 capacitance의 값으로 변화하여 클록 지연(CLK_{IN}-to-CLK_{OUT})을 제어함으로 보정할 수 있다. 표 2는 설계된 클록 보정회로의 HSPICE 시뮬레이션 결과를 보여준다. s[3:0] = 1111 일 때의 클록 지연과 s[3:0] = 0000 일 때의 클록 지연의 차이가 60 psec이다. 60 psec는 2.56 GHz 클록에서 65°의 위상에 해당하는 수치이다.

IV. 칩 제작 및 측정 결과

제안된 1.6-GS/s 6-비트 flash ADC는 1V 90nm 1-poly 9-metal CMOS 공정에서 제작되었다. 그림 7은 제작된 flash ADC의 칩 사진이며 면적은 800 × 500 μm²이다. 구현된 flash ADC의 아날로그 입력범위는 800 mV_{pp}이며 1 GHz의 입력 대역폭을 가진다. 1V의 공급 전압에서 1.6-GS/s의 고속 동작의 경우 전체 193.02 mW의 전력을 소모하였다.

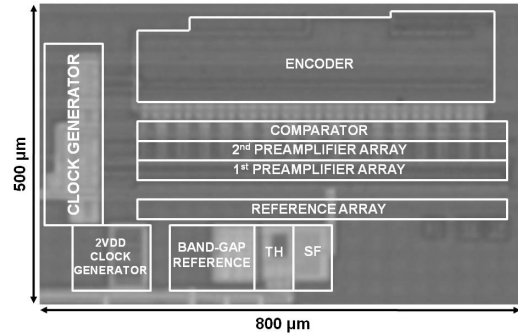


그림 7. Flash ADC의 칩 사진
Fig. 7 Chip photograph of flash ADC

그림 8은 1.6-GS/s의 sampling rate, 200 MHz의 주파수를 가지는 아날로그 입력에 대한 flash ADC의 복원된 출력의 파워 스펙트럼 결과를 보여주며, 5.43 비트의 ENOB인 34.46 dB의 SNDR의 dynamic 특성을 나타냈다.

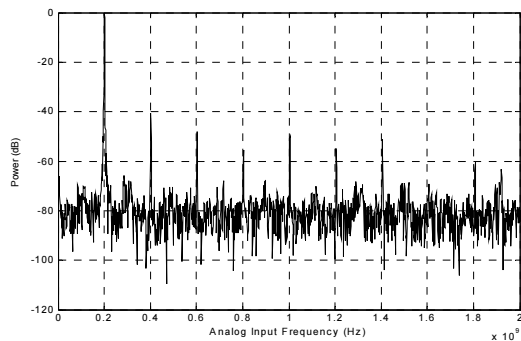


그림 8. 측정된 파워 스펙트럼
(@ 1.6GS/s, 200MHz 아날로그 입력 주파수)
Fig. 8 measured Power spectrum
(@ 1.6GS/s, 200MHz Analog Input frequency)

그림 9는 DNL과 INL의 static 특성을 보여주며 각각 +0.28/-0.29 LSB, +0.54/-0.57 LSB이다. 그림 10은 200 MHz의 사인파와 삼각파의 아날로그 입력에 대한 flash ADC의 출력의 실시간 파형이다.

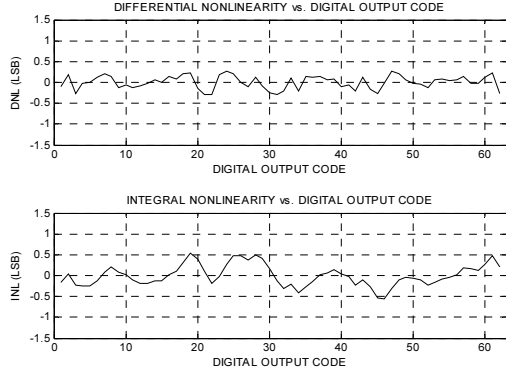


그림 9. 측정된 DNL과 INL
 (@ 1.6GS/s, 200MHz 아날로그 입력 주파수)
 Fig. 9 measured DNL and INL
 (@ 1.6GS/s, 200MHz Analog Input frequency)

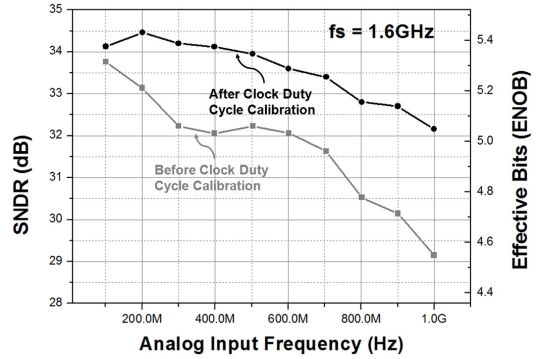
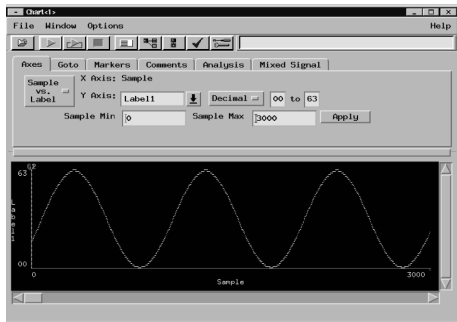
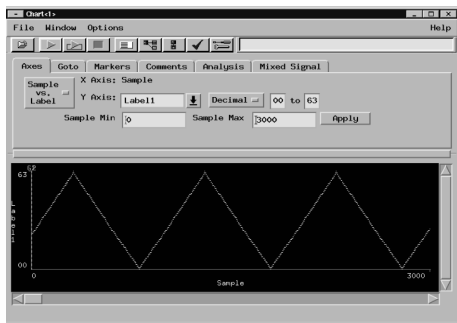


그림 11. 측정된 SNDR와 ENOB (@ 1.6GS/s)
 Fig. 11 Measured SNDR and ENOB (@ 1.6GS/s)

그림 11은 1.6-GS/s에서 아날로그 입력 주파수에 대한 측정된 SNDR와 ENOB를 보여주며, 클럭 duty cycle ratio가 50%일 때의 특성과 클럭 duty cycle을 최적화하였을 때의 특성을 보여준다. 제안된 클럭 보정회로에 의해 800 MHz와 1 GHz의 아날로그 신호에 대해 각각 2.3 dB, 3.0 dB의 동적 특성이 개선되었다. 전체 flash ADC의 동적 특성이 Nyquist sampling rate인 800 MHz 이상 1 GHz의 아날로그 입력신호에 대해서도 5-bit 이상의 ENOB를 나타내었다.



(a)



(b)

그림 10. (a) 측정된 사인파형 (b) 측정된 삼각파형
 Fig. 10 (a) measured sine wave (b) measured triangular wave

V. 결론

클럭 보정회로를 가진 1V 1.6-GS/s 6-비트 flash ADC가 1V 90nm 1-poly 9-metal CMOS 공정에서 구현되었다. 제안된 flash ADC는 클럭 보정회로에 의해 클럭 duty cycle과 phase의 최적화로 전체 flash ADC의 동적 특성이 개선되었다. Nyquist sampling rate인 800 MHz의 아날로그 입력신호에 대해 측정된 SNDR은 32.8 dB이며, 1 GHz의 아날로그 입력 신호에 대해서는 5.05-bit ENOB가 측정되었다. 또한, 측정된 DNL과 INL은 각각 +0.38/-0.37 LSB, +0.64/-0.64 LSB이다. 구현된 flash ADC의 면적과 전력소모는 각각 $800 \times 500 \mu\text{m}^2$ 와 193.02 mW 이다.

감사의 글

본 연구는 방위사업청과 국방과학연구소가 지원하는 디지털고주파기억장치 응용연구 개발과제와 관련된 연구이며, IDEC으로부터 설계 틀을 지원받았음.

참고문헌

[1] M. Choi and A.A. Abidi, "A 6-b 1.3Gsample/s A/D converter in 0.35- μ m CMOS," IEEE J. Solid-State Circuits, vol.36, no.12 pp.1847-1858, Dec. 2001.

[2] P. C. S. Scholtens and M. Vertregt, "A 6-b 1.6-Gsample/s flash ADC in 0.18- μ m CMOS using averaging termination," IEEE J. Solid-State Circuits, vol.37, no.12, pp.1599-1609, Dec. 2002.

[3] G. Geelen, "A 6-bit 1.1 Gsample/s CMOS A/D converter," in IEEE Int. Solid-State Circuits Conf., pp.128-129, Feb. 2001.

[4] Y.-C. Jang, J.-H. Bae, S.-H. Park, J.-Y. Sim, and H.-J. Park, "An 8.8-GS/s 6-bit CMOS Time-Interleaved Flash Analog-to-Digital Converter with Multi-Phase Clock Generator," IEICE transaction on Electronics, vol. E90-C, no. 6, pp.1156-1164, Jun. 2007.

[5] S.-H. Kim, H.-Y. Lee, and Y.-C. Jang, "1V 2.56-GS/s 6-bit Flash ADC with Clock Calibration Circuit," Proceedings of the Korean Institute of Information and Commucation Sciences Conference, pp.436-439, Oct. 2011.

[6] H. Banba, H. Shiga, A. Umezawa, T. Miyaba, T. Tanzawa, S. Atsumi, and K. Sakui, "A CMOS Bandgap Reference Circuit with Sub-1-V Operation," IEEE J. Solid-State Circuits, vol.34, no.5, pp.670-674, May. 1999.

[7] Y.-C. Jang, J.-H. Bae, H.-Y. Lee, Y.-S. You, J.-W. Kim, J.-Y. Sim, and H.-J. Park, "A 1.2V 7-bit 1GS/s CMOS Flash ADC with Cascaded Voting and Offset Calibration," IIEEK Journal of Semiconductor Technology and Science, vol.8, no.4, pp.318-325, Dec. 2008.

[8] T.B. Cho and P.R. Gray, "A 10 b, 20 Msample/s, 35 mW pipeline A/D converter," IEEE J. Solid-State Circuits, vol.30, no.4, pp.166-172, Mar. 1995.

저자소개



김상훈(Sang-hun Kim)

2010.2 금오공과대학교
전자공학부 공학사
2012.2 금오공과대학교
전자공학과 공학석사

2012.1 ~ 현재 매그나칩반도체 연구원
※관심분야: Mixed-mode circuit design



홍상근(Sang-Geun Hong)

2004.2 고려대학교 전자공학과
공학사
2010.5 성균관대학교 전자공학과
공학석사

2004.1 ~ 현재 LIG넥스원 선임연구원
※관심분야: 전자전 EA 시스템, 재밍기법 M&S



이한열(Han-yeol Lee)

2012.2 금오공과대학교
전자공학부 공학사
2012.3 ~ 현재 금오공과대학교
대학원 석사과정

※관심분야: 고속 analog-to-digital converter



박원기(Won-ki Park)

1998.2 광운대학교 전자공학과
공학사
2000.2 포항공과대학교
전자전기공학과 공학석사

2012.7 고려대학교 전기전자공학과 박사 수료
2000.2 ~ 2005.2 삼성전자 반도체 총괄 DRAM 설계실
2005.3 ~ 현재 전자부품연구원 선임연구원
※관심분야: 고속 I/O interface, Data converter



이왕용(Wang-Yong Lee)

1993.2 경북산업대학교
전자공학과 공학사
2007.2 아주대학교 전자공학과
공학석사

1995.8 ~ 현재 LIG넥스원 수석연구원
※ 관심분야: 전자전시스템, 신호정보수집/제밍시스템



이성철(Sung-chul Lee)

1993.2 전북대학교 정보통신
공학과 공학사
1995.2 전북대학교 정보통신
공학과 공학석사

2008.2 전북대학교 전자공학과 공학박사
1995.3 ~ 현재 전자부품연구원 책임연구원
※ 관심분야: 센서 신호처리, SoC, 고속 I/O



장영찬(Young-Chan Jang)

1995.2 경북대학교
전자전기공학부 공학사
2001.2 포항공과대학교
전자전기공학과 공학석사

2005.2 포항공과대학교 전자전기공학과 공학박사
2005.3 ~ 2009.8 삼성전자 반도체총괄 책임연구원
2009.8 ~ 현재 금오공과대학교 전자공학부 조교수
※ 관심분야: High-speed I/O interface, Data converter 및
Mixed mode analog IC design