

FMCW 레이더용 타입-3 PLL의 설계 가이드

A Design Guide to Type-3 PLLs for FMCW Radars

황인덕*
(In-Duk Hwang)

김창환**
(Chang-Hwan Kim)

요약

FMCW 레이더에서 주파수 램프 신호를 발생시키기 위하여 필요한 타입-3 PLL의 설계 가이드를 제시하였다. 그러기 위해서 개루프 전달함수의 크로스오버 주파수를 1 Hz로 정규화 한 조건에서 Pspice 시뮬레이션을 통하여 페루프 특성을 비교하였다. 결론적으로 타입-3 PLL의 1) 위상여유는 45도로 하고, 2) 두 개의 영점은 같도록 하며, 3) PLL 차수를 높이기 위한 극점은 개루프 전달함수의 크로스오버 주파수보다 10배 정도 크게 할 것을 권한다.

Abstract

A design guide to type-3 PLLs for FMCW radars is provided. To do that, the cross-over frequencies of the open-loop transfer functions were normalized to 1 Hz and closed-loop properties were compared through simulations using Pspice. As a result, several guides to design type-3 PLLs were provided: 1) secure 45 degrees of phase margin, 2) locate two zeroes at an identical frequency, and 3) poles may be added to raise order of the PLL at higher frequencies than the cross-over frequency of the open-loop transfer function about ten times.

Key Words : FMCW, Phase Lock Loop, Type-3, Loop Filter, Phase Error

I. 서론

무선 통신 기기에서 채널 주파수를 변경할 때에 위상 에러를 없애기 위해서는 타입-2(Type-2) 이상의 PLL(위상고정루프, Phase Lock Loop)을 사용한다[1]. 예를 들어 델타-시그마 변조기($\Delta-\Sigma$ modulator)를 채용한 통신용 주파수 합성기로는 타입-2의 4차 PLL이 사용되었으며[2] 모든 극점과 영점을 정하는 최적화 모델이 제시되었다[3]. 또한 타입-2, 4차 PLL에 대한 설계에서 타입-2, 3차 PLL과 루프 지연

주파수와 위상여유를 같게 되도록 하는 방법이 제시되었다[4].

한편 지능형 교통 시스템에 사용하기 위한 FMCW (Frequency Modulation Continuous -Wave) 레이더에 대한 연구가 활발하다[5-6]. 그런데 FMCW 레이더에서 주파수 램프(Ramp)를 트래킹하기 위하여는 타입-3의 PLL이 필요하다. 또한 주파수 램프는 도플러 효과에 의하여 이동하는 통신기에서도 발생할 수 있다. 그러나 타입-3 PLL에 대한 상세한 설계 방법이나 설계 가이드는 공지되어 있지 못한 실정이

* 주저자 : 대전대학교 IT전자공학과 교수

** 공저자 및 교신저자 : 대전대학교 IT전자공학과 부교수

† 논문접수일 : 2012년 6월 7일

† 논문심사일 : 2012년 7월 13일

† 게재확정일 : 2012년 8월 14일

다. 예를 들어 종래 방식의 타입-2 PLL보다 짧은 정착시간과 빠른 로킹(Locking) 시간을 얻기 위하여 Gm-C 구조의 타입-3 PLL을 사용하였으나 주파수 계단이나 주파수 램프에 대한 응답에 관한 내용은 언급하지 않았다[7]. Self-tuning의 타입-3 PLL[8]에서도 코너 주파수를 크로스오버 주파수의 0.1과 0.01배가 되도록 하였지만 그렇게 한 근거가 설명되어 있지 않다. 또한 고차 고타입 PLL에서의 위상 여유(Phase margin)에 대한 분석을 동적 특성과 연관시키지는 못하였다[9]. 마찬가지로 PLL에 대하여 상세히 기술한 Crawford [1]와 Meyr [10]는 각각 타입-2와 타입-3의 유사성에 대하여 설명하고 있지만 타입-3 PLL의 설계 방법이나 설계 가이드를 제대로 보여주지 않고 있다. 그러므로 본 논문에서는 FMCW 레이더에서 주파수 램프를 위상여러 없이 트래킹하기 위하여 타입-3 PLL을 설계할 때 고려해야 할 설계 가이드를 제시한다.

II. FMCW 레이더용 타입-3 PLL의 필요성

FMCW 레이더에서 FM(Frequency Modulation)은 레이더에서 발사되는 신호의 주파수를 시간에 대하여 직선적으로 증가 혹은 감소시키는 것을 뜻한다. 즉 FMCW 레이더의 주파수합성기는 주파수 램프 신호를 발생시킨다. 주파수 램프의 선형성은 FMCW 레이더의 거리 분해능을 결정하는 중요한 특성이다 [11]. 주파수합성기는 PLL로 구성하는데 PLL의 타입과 입력 형태에 대한 정상상태(Steady state)에서의 위상 에러는 <표 1>과 같다[10]. PLL의 타입은 PLL의 루프이득의 분모에 있는 s의 차수, 즉 원점에 있는 루프이득의 극점의 개수와 같다. 예를 들어 타입-3 PLL은 루프이득의 분모가 s^3 이다(이 PLL은 3차이므로 타입-3, 3차 PLL이다). 이 표로부터 FMCW 레이더에서 입력이 주파수 램프일 때 PLL이 타입-2이면 유한한 위상 에러가 발생하고 PLL이 타입-3이면 위상 에러를 0으로 할 수 있음을 알 수 있다.

참고문헌[12]에서는 송신하는 신호의 주파수가 일정하더라도 선박이 롤링할 때 도플러 효과에 의

하여 선박에 부착된 수신 안테나에서 수신되는 신호에서 주파수 램프가 발생되며, 마찬가지로 GPS 위성이 지구 주위를 회전할 때나 자동차나 항공기가 가속될 때도 주파수 램프가 발생되고 이때 타입-2 PLL에서는 tracking 에러가 발생함을 지적하였다. 마찬가지로 Gardner[13]는 3차 루프(타입-3을 의미함)는 2차 루프에 비하여 위성이나 미사일을 tracking 하는데 매우 유용하다고 하였다.

마찬가지 원리로 Lewis 등[14]은 위성이 일정한 고도와 일정한 속도로 상공을 통과할 때 지상 시스템의 위상에러가 차수(타입을 의미함)가 높을수록, 즉 타입-2보다 타입-3가, 타입-3보다 타입-4일 때, 작음을 보였다.

한편 Pichler 등[15]은 FMCW 센서의 주파수합성기에 통상 2차나 3차의 루프필터(즉 PLL은 타입-2 이면서 3차 혹은 4차가 됨을 의미함.)가 사용된다고 간략히 서술하였다. 이외에 FMCW 레이더용 PLL에 대한 참고문헌은 저자들의 많은 노력에도 불구하고 저자들은 발견하지 못하였다.

그러므로 Pichler 등[15]의 서술에도 불구하고 Meyr 등[10], Stephens 등[12], Gardner[13], Lewis 등[14]에 의하면 FMCW 레이더에서 위상에러가 발생하는 것을 방지하기 위해서, 특히 FMCW 레이더 혹은 검출하고자 하는 물체가 가속 혹은 감속될 때 위상에러를 감소시키기 위해서는, 타입-3의 PLL이 필요함을 알 수 있다.

III. 위상 여유 결정

타입-3 PLL 은 원점에 3개의 극점을 가지므로 이 극점들이 270도의 위상지연을 일으킨다. 그러므로 위상여유를 갖기 위해서는 2개의 영점을 가져야 하며 개루프 전달함수 $G_{OL}(s)$ 는 다음과 같다.

$$G_{OL}(s) = K \frac{(1+s\tau_2)(1+s\tau_3)}{s^3} = K \frac{(1+s/\omega_2)(1+s/\omega_3)}{s^3} \quad (1)$$

<표 1> PLL의 타입과 입력 형태에 대한 정상 상태에서의 위상 에러
 <Table 1> Steady state phase errors associated with PLL types and inputs

PLL 타입 \ 입력	계단 위상 입력: $\theta_r(t) = \Delta\theta \cdot u(t)$ $\theta_r(s) = \frac{\Delta\theta}{s}$	계단 주파수 입력 (램프 위상 입력): $\theta_r(t) = 2\pi\Delta f \cdot t \cdot u(t)$ $\theta_r(s) = \frac{2\pi\Delta f}{s^2}$	램프 주파수 입력 (포물선 위상 입력): $\omega_r(t) = 2\pi \frac{d\Delta f}{dt} \cdot t \cdot u(t)$ $\theta_r(t) = \pi \frac{d\Delta f}{dt} \cdot t^2 \cdot u(t)$ $\theta_r(s) = \frac{2\pi \frac{d\Delta f}{dt}}{s^3}$
타입-1	위상 에러 0	위상 에러 유한, 주파수 에러 0	위상 에러 무한
타입-2	위상 에러 0	위상 에러 0	위상 에러 유한, 주파수 에러 0
타입-3	위상 에러 0	위상 에러 0	위상 에러 0

그러므로 타입-3 PLL의 특성은 K와 영점 각주파수 ω_2 와 ω_3 에 의하여 결정된다. 본 논문에서는 영점 각주파수의 위치에 따른 PLL 특성을 조사하기 위하여 개루프 전달함수의 크로스오버 주파수를 1 Hz로 정규화하고 영점 각주파수를 변화시켜 보도록 한다.

개루프 전달함수 $G_{OL}(s)$ 의 크로스오버 각주파수를 ω_1 이라 할 때

$$|G_{OL}(s)| = \left| \frac{K}{\omega_1^3} \sqrt{[1 + (\omega_1\tau_2)^2][1 + (\omega_1\tau_3)^2]} \right| = 1$$

이므로

$$K = \frac{\omega_1^3}{\sqrt{[1 + (\omega_1\tau_2)^2][1 + (\omega_1\tau_3)^2]}} \quad (2)$$

이고 개루프 전달함수는 다음과 같이 표시된다.

$$G_{OL}(s) = \frac{\omega_1^3}{s^3} \frac{(1 + s\tau_2)(1 + s\tau_3)}{\sqrt{[1 + (\omega_1\tau_2)^2][1 + (\omega_1\tau_3)^2]}} \quad (3)$$

이 개루프 전달함수를 Pspice를 사용하여 시뮬레이션하기 위하여 <그림 1>과 같이 4 개의 블록(전달함수가 $-1/s$ 인 반전 적분기, 전달함수가 $-(1+sRs2)/s$ 인 영점을 갖는 반전 적분기, 전달함수가 $-(1+sRs3)/s$ 인 영점

을 갖는 반전 적분기, 이득이 $-8\pi\gamma \sqrt{[1 + 4\pi^2 R_s^2][1 + 4\pi^2 R_{s3}^2]}$ 인 반전 증폭기)으로 구성되는 선형 모델을 사용하여 였다.

두 개의 영점이 겹치면($\tau_2 = \tau_3$) 개루프 전달함수는 다음과 같이 간단한 형태가 된다.

$$G_{OL}(s) = \frac{\omega_1^3}{s^3} \frac{(1 + s\tau_2)^2}{[1 + (\omega_1\tau_2)^2]} \quad \text{when } \tau_2 = \tau_3 \quad (4)$$

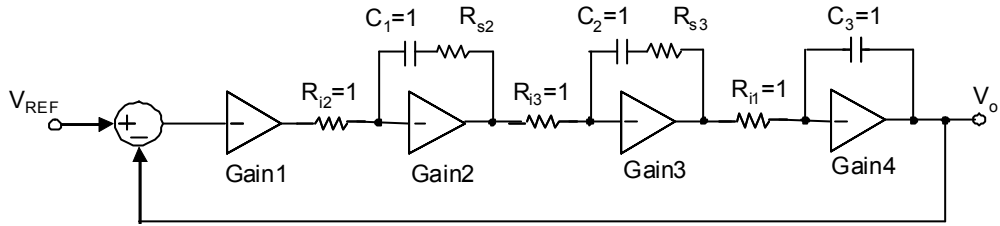
한편 개루프 전달함수의 위상여유는 다음과 같다.

$$\theta_{PM}(\omega_1) = -\frac{\pi}{2} + \tan^{-1}(\omega_1\tau_2) + \tan^{-1}(\omega_1\tau_3) \quad (5)$$

두 개의 영점이 겹쳐있을 때 위상여유는 다음과 같이 표현된다.

$$\tan^{-1}(\omega_1\tau_2) = \frac{\frac{\pi}{2} + \theta_{PM}(\omega_1)}{2} \quad \text{when } \tau_2 = \tau_3 \quad (6)$$

두 개의 영점이 겹쳐있을 때 크로스오버 각주파수 ω_1 와 영점 각주파수 ω_2 가 같으면 위상여유가 0도(위상이 -180도)에 가까워지고 영점 각주파수 ω_2 가 ω_1 보다 작아질수록 위상여유가 커진다. <표 2>에는 두 개의 영점이 겹쳐있는 경우 대표적인 위상여유의 값과 이에 해당하는 크로스오버 각주파수와



〈그림 1〉 타입-3 PLL의 선형 모델
 〈Fig. 1〉 Linear model of type-3 PLL

〈표 2〉 $\omega_2 = \omega_3$ 일 때 타입-3 PLL의 위상 여유와 영점 위치(ω_2/ω_1)의 관계

〈Table 2〉 Relation between phase margin and the location of the zeros(ω_2/ω_1) of the type-3 PLL when $\omega_2 = \omega_3$

phase margin θ_{PM} (degrees)	$\omega_1\tau_2$	ω_2/ω_1
30	1.73	0.58
45	2.41	0.41
60	3.73	0.27
75	7.60	0.13

영점 각주파수의 비 ω_2/ω_1 를 보였다.

〈그림 2〉에는 크로스오버 주파수 f_1 이 1 Hz로 같으며 위상여유가 각각 30°, 45°, 60°, 75°일 때의 개루프 전달함수 $G_{OL}(s)$ 의 크기와 위상을 나타내었다. 낮은 주파수에서는 크기가 -60dB/dec의 기울기로 감소하며 높은 주파수에서는 -20dB/dec의 기울기로 감소한다. 당연히 영점주파수가 작을수록 위상여유가 크다.

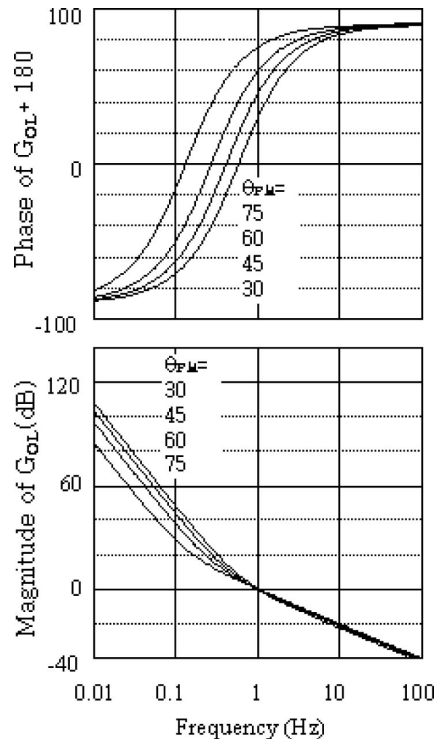
크기 그래프에서 모든 곡선이 1 Hz에서 0 dB의 점을 지나며 위상 그래프에서 주파수가 1 Hz일 때 위상여유가 각각 30°, 45°, 60°, 75°임을 확인할 수 있다.

폐루프 전달함수 $H_1(s)$ 는 다음과 같다.

$$H_1(s) = \frac{G_{OL}(s)}{1 + G_{OL}(s)} \quad (7)$$

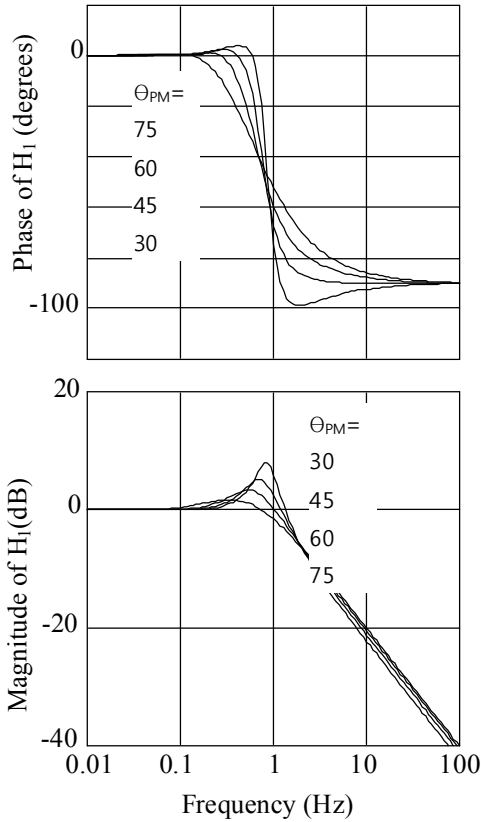
〈그림 3〉은 폐루프 전달함수 $H_1(s)$ 의 크기와 위상을 보인다. 위상여유에 따라 이득피킹(Gain peaking)이 0.4 Hz내지 0.8 Hz 부근에 존재하며 위

상여유가 작을수록 이득피킹이 큼을 알 수 있다. 3 dB 대역폭은 모두 2Hz이다. 개루프 전달함수 $G_{OL}(s)$ 의 크기가 주파수에 대하여 단조 감소함에도 페루프 전달함수 $H_1(s)$ 의 크기에 이득 피킹이 존재하는 것을 주목할 만하다.



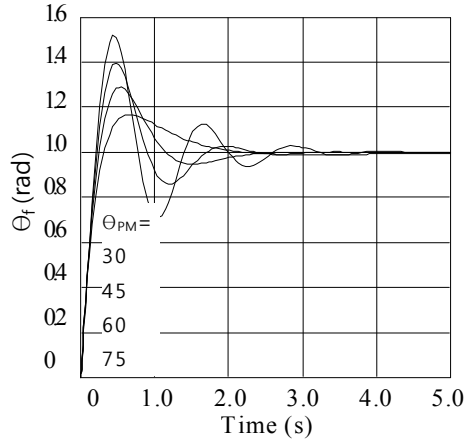
〈그림 2〉 크로스오버 주파수가 1 Hz로 같으며 위상여유가 각각 30°, 45°, 60°, 75°일 때의 개루프 전달함수 $G_{OL}(s)$ 의 크기와 위상

〈Fig. 2〉 Magnitude and phase of open-loop transfer function $G_{OL}(s)$ when cross-over frequency is 1 Hz and phase margins are 30°, 45°, 60°, 75°, respectively

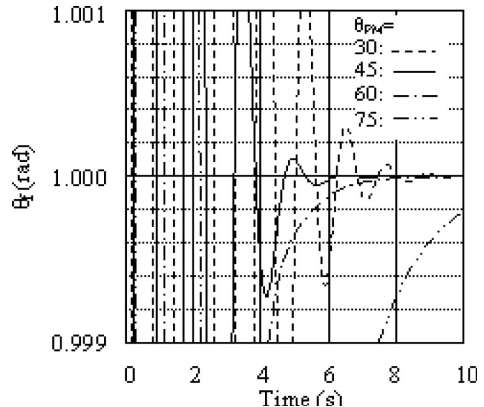


〈그림 3〉 타입-3 PLL의 페루프 전달함수
 〈Fig. 3〉 Closed-loop transfer functions of the type-3 PLL

〈그림 4〉는 위상의 계단입력에 대한 과도 응답을 나타낸다. 위상여유가 작을수록 overshoot와 ringing이 크다. 〈그림 5〉에서는 〈그림 4〉의 settling 특성을 상세히 보기 위해서 시간 범위를 10초까지 나타내었으며 출력 범위를 +/-0.1%로 하였다. 위상여유가 75°와 60°일 때는 최종값에 너무 느리게 접근하며 위상여유가 30°일 때는 ringing이 너무 심하다. 위상여유가 45°일 때 ringing이 존재하지는 하지만 최종값에 가장 빨리 도달하며 4초 경과후에 에러는 0.07%이하이며 5초 경과후에는 0.01%이하이다. 즉 크로스오버 주파수가 1 Hz이고 위상여유가 45° 이면 위상의 계단입력에 대하여 5초 후에는 거의 완전히 트래킹된다.



〈그림 4〉 위상 계단입력에 대한 과도 응답
 〈Fig. 4〉 Transient responses to phase step input



〈그림 5〉 위상 계단입력에 대한 확대된 과도 응답
 〈Fig. 5〉 Enlarged transient responses to phase step input

IV. 영점 위치의 결정

위의 결과에 의하여 위상여유는 45°로 결정하며 지금부터는 일단 두 개의 영점 주파수를 같게 한다는 조건을 버리고 두 개의 영점 주파수를 다르게 하여 과도특성을 비교해 본다. 과도특성 시뮬레이션에서는 Pspice 시뮬레이션 조건에 주의하여야 했다. Options에서 Relative accuracy of V's를 0.00005로 낮추고 Maximum step은 10m으로 하였다. 또한 주파수 램프를 만들기 위하여 위상 램프를 만들 때 라플라스 블록을 사용하면 결과가 정확하지 않음을 발견하

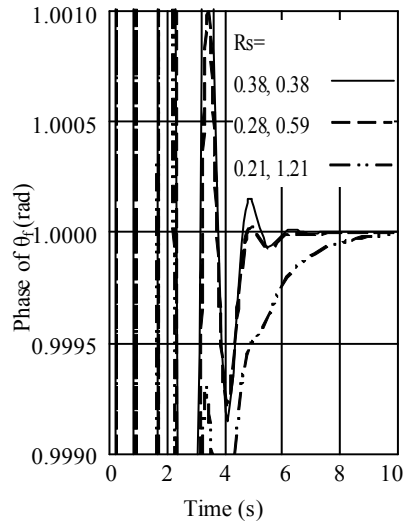
였으며 시뮬레이션 결과의 정확성에 주의하였다.

<표 3>에는 위상 여유가 45°가 되는 3가지 경우를 나타내었다. 3가지 경우는 각각 두 개의 영점에 의한 식 (5)의 위상앞섬 $\tan^{-1}(\omega_1\tau_2)$ 과 $\tan^{-1}(\omega_1\tau_3)$ 이 (경우 1) 공통적으로 67.5°일 때 (경우 2) 각각 60° + 75°일 때 (경우 3) 각각 52.5° + 82.5°일 때이다. 3가지 경우에 두 개의 영점 각주파수 중에서 높은 영점 각주파수 ω_2 는 크로스오버 각주파수 ω_1 에 비하여 각각 0.41, 0.58, 0.77 배가 된다. 낮은 영점 각주파수 ω_3 는 크로스오버 각주파수 ω_1 에 비하여 각각 0.41, 0.27, 0.13 배가 된다. 이렇게 영점을 변화시켰을 때 시뮬레이션에 사용한 적분기 피드백 루프의 저항값 R_{s2} 및 R_{s3} 와 증폭기의 이득의 분모항을 <표 2>에 참고적으로 나타내었다. 이제부터의 그림에서는 파라미터로서 τ 대신 R_s 의 값으로 표시하였다.

<그림 6>은 위상여유가 모두 45°이면서 영점의 위치를 <표 2>에서와 같이 변화시켰을 때 계단입력에 대한 결과이다. <그림 6>에서 영점의 위치가 떨어져 있을수록 위상이 아래 쪽으로부터 접근하여 느리게 정착하는 모습을 보여주며, 5초 부근에서는 마치 $R_{s2}=0.28$, $R_{s3}=0.59$ 일 때가 위상 에러가 작아 보이지만, 6초 이후에는 영점이 겹쳐있는 경우가 가장 빨리 정착한다.

주파수 계단입력(위상램프 입력)일 때 위상은 다음과 같이 표시된다.

$$\theta_r(t) = 2\pi\Delta f \cdot t \cdot u(t) \tag{8}$$



<그림 6> 영점의 위치에 대한 계단 응답
<Fig. 6> Step responses to zero locations

여기서 Δf 는 주파수 계단을 나타내며 시뮬레이션에서는 1 Hz로 하였다. <그림 7>에는 $R_{s2}=0.28$, $R_{s3}=0.59$ 일 때 주파수 계단입력에 대한 출력 위상과 위상 에러를 보였다. <그림 7>의 아래 그림에서 출력 위상은 식 (8)의 입력에 대하여 거의 직선적으로 트래킹하며, 위상 에러를 확대하여 보인 윗 그림으로부터 6초 후에는 위상에러가 0.01%이하임을 알 수 있다.

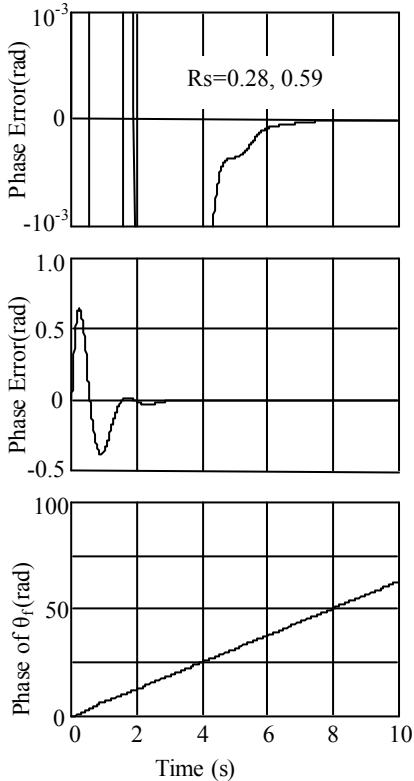
<그림 8>은 영점이 겹쳤을 때의 주파수 계단입력에 대한 출력 위상과 위상 에러를 나타낸다. <그림 7>에 비하여 6초 후에는 위상 에러가 거의 완전히 소멸하였음을 알 수 있다. 이로써 주파수 계단입력에 대하여 영점이 겹쳤을 때가 더욱 우수한 특성을 갖음을 알 수 있다.

<표 3> 위상 여유가 45°일 때 두 개의 영점과 관련된 파라미터들
<Table 3> Parameters related with two zeroes when the phase margins are 45°

$\tan^{-1}(\omega_1\tau_2) + \tan^{-1}(\omega_1\tau_3)$	$\omega_1\tau_2$	$\omega_1\tau_3$	ω_2/ω_1	ω_3/ω_1	R_{s2}	R_{s3}	$\sqrt{1+4\pi^2R_{s2}^2}$	$\sqrt{1+4\pi^2R_{s3}^2}$
67.5° + 67.5°	2.41	2.41	0.41	0.41	0.38	0.38	2.59	2.59
60° + 75°	1.73	3.73	0.58	0.27	0.28	0.59	2.02	3.84
52.5° + 82.5°	1.30	7.60	0.77	0.13	0.21	1.21	1.65	7.66

주파수 램프 입력일 때 위상입력은 다음과 같이 표시된다.

$$\theta_r(t) = \pi \frac{d\Delta f}{dt} \cdot t^2 \cdot u(t) \quad (9)$$

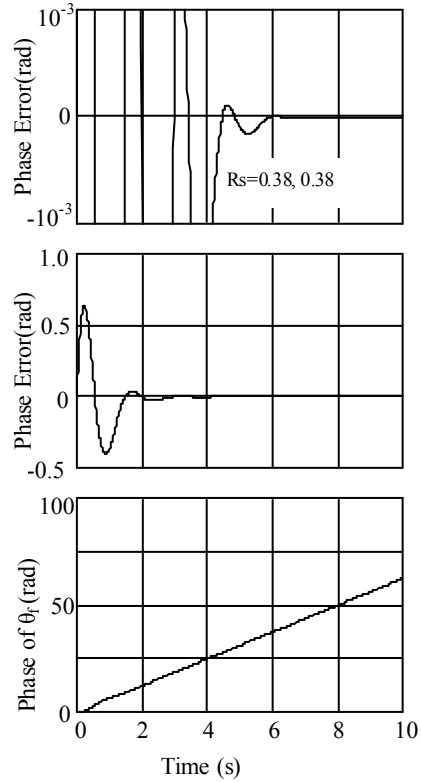


<그림 7> $R_{s2}=0.28, R_{s3}=0.59$ 일 때 위상 램프 응답
<Fig. 7> Phase ramp response when $R_{s2}=0.28, R_{s3}=0.59$

시뮬레이션에서 주파수 램프의 소스로는 전압 램프의 소스에 반전적분기와 이득이 -1인 증폭기를 연결하여 사용하였다.

<그림 9>에는 $R_{s2}=0.28, R_{s3}=0.59$ 일 때 기울기가 1 Hz/s인 주파수 램프가 입력될 때의 출력 위상과 위상 에러를 보였다.

아래 그림의 출력 위상은 식 (9)의 포물선에 트래킹한다. 위상 에러를 가운데 그림에 나타내었으며 윗 그림에는 위상 에러의 좁은 범위를 확대하여 나타

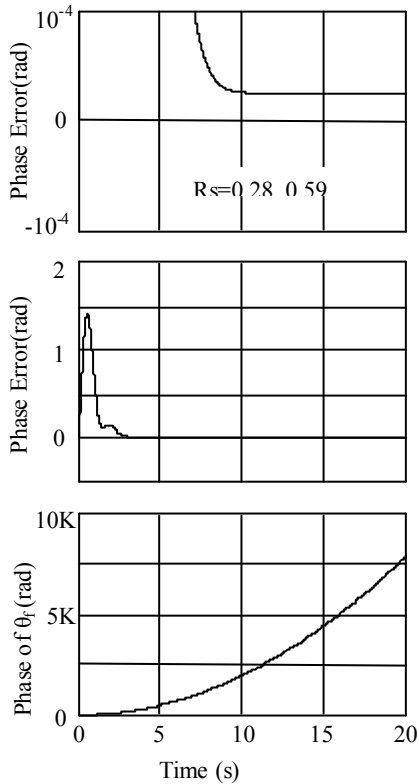


<그림 8> 두 개의 영점이 같을 때 위상 램프 응답
<Fig. 8> Phase ramp response when two zeroes are equal

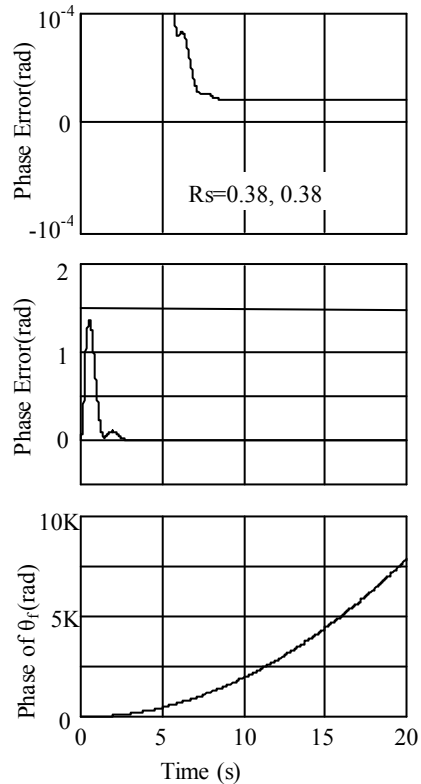
내었다. 위상에러를 확대한 윗 그림에서 위상에러는 10초 후에 2.6×10^{-5} (rad) 으로 정착한다.

<그림 10>은 영점이 겹쳤을 때의 <그림 9>에서와 같은 기울기의 주파수 램프입력에 대한 출력 위상과 위상 에러를 나타낸다. 영점이 떨어져 있을 때에 해당하는 <그림 9>의 결과와 거의 비슷하지만 10초 후의 위상에러는 2.1×10^{-5} (rad)으로 정착하여 더욱 우수한 특성을 얻을 수 있음을 알 수 있다.

이상적으로는 타입-3 루프일 때 주파수 램프 입력에 대한 과도응답의 최종값은 영이 되어야하지만 <그림 9>와 <그림 10>에서 영이 아닌 유한한 값으로 정착하고 있다. 그 이유는 <그림 1>의 적분기에 사용한 GAIN 소자의 이득이 유한하기 때문이다. (<그림 1>에서 GAIN은 100 dB로 하였음.) 이상적인 적분기는 저주파로 갈수록 이득이 증가해야 하지만



〈그림 9〉 $R_{s2}=0.28$, $R_{s3}=0.59$ 일 때 주파수 램프 응답
 〈Fig. 9〉 Frequency ramp response when $R_{s2}=0.28$, $R_{s3}=0.59$



〈그림 10〉 두 개의 영점이 같을 때 주파수 램프 응답
 〈Fig. 10〉 Frequency ramp response when two zeroes are equal

주파수 합성기를 실질적인 OPA를 사용하여 구현하는 경우에 적분기의 이득은 OPA의 개루프 이득에 의하여 제한된다. 즉 OPA를 사용하는 적분기는 실질적으로는 차단주파수가 낮은 저역통과필터로 작동한다. 시뮬레이션에 사용된 <그림 1>의 GAIN 소자의 이득을 증가시키면 최종값은 실질적으로 영이 된다.

V. 타입-3 PLL의 설계 가이드

이상의 시뮬레이션 결과로부터 타입-3 PLL의 설계 가이드를 다음과 같이 제시한다.

1. 위상 여유를 45도로 한다.
2. 두 개의 영점은 같도록 한다.

3. 개루프 전달함수의 크로스오버 주파수가 1 Hz 일 때 PLL의 대역폭은 2 Hz가 된다.
4. 개루프 전달함수의 크로스오버 주파수가 1 Hz 일 때 주파수 램프에 대한 위상정착은 10초 후에 이루어진다.
5. PLL의 잡음을 제거하기 위하여 루프필터에 극점을 추가하는 경우, 즉 PLL을 4차나 5차로 하는 경우, 극점 주파수를 개루프 전달함수의 크로스오버 주파수보다 10배 정도 크게 하여야 한다. 이때 추가된 극점에 의한 영향은 작으며 위에서 설명한 PLL의 특성은 거의 유지된다.

VI. 결 론

FMCW 레이더에서 주파수 램프 신호를 발생시키

기 위하여 필요한 타입-3 PLL의 설계 가이드를 제시하였다. 그러기 위해서 개루프 전달함수의 크로스오버 주파수를 1 Hz로 정규화 함으로써 PLL의 대역폭을 같도록 하였으며 Pspice 시뮬레이션을 통하여 영점의 위치에 대한 특성을 비교하였다. 결론적으로 타입-3 PLL의 위상여유는 45도로 하고 두 개의 영점은 같도록 하며 차수를 높이기 위한 극점은 개루프 전달함수의 크로스오버 주파수보다 10배 정도 크게 할 것을 권한다. 이 설계 가이드에 의한 FMCW 레이더용 주파수 합성기의 개발이 기대된다.

참고문헌

- [1] J. A. Crawford, "Advanced Phase-Lock Techniques", Artech House, Boston, 2008.
- [2] Bram De Muer, and Michel S. J. Steyaert, "A CMOS Monolithic $\Delta\Sigma$ -Controlled Fractional-N Frequency Synthesizer for DCS-1800", *IEEE J. Solid-State Cir.*, vol. 37, no. 7, pp.835-844, July 2002.
- [3] Bram De Muer, and Michel S. J. Steyaert, "Fully integrated CMOS frequency synthesizers for wireless communications", in "Analog Circuit Design", W. Sansen, J. H. Huijsing, and R. J. van de Plassche, Eds. Norwell, MA: Kluwer, pp. 287-323, 2000.
- [4] I. V. Thompson, and P. V. Brennan, "Fourth-order PLL Loop Filter Design Technique with Invariant Natural Frequency and Phase Margin", *IEE Proc-Circuits Devices Syst.*, vol. 152, no. 2, pp.103-108, April 2005.
- [5] 문상곤, 박승근, 양훈기, 천창을, 정용식, 배경빈, "새로운 레이더 성능지표를 이용한 FMCW 레이더 간섭 시뮬레이션 모델", *한국 ITS 학회 논문지*, 제 10권, 제 4호, pp. 86-92, 2011년 8월.
- [6] 이재민, 류홍균, 우종명, 구본희, "차량 측후방 레이더 센서용 직사각형 도파관 안테나 설계", *한국 ITS 학회 논문지*, 제 11권, 제 1호, pp.42-52, 2012년 2월.
- [7] H. Adrang, and H. M. Naeimi, "A Type III Fast Locking Time PLL with Transconductor-C Structure", *52nd IEEE International Midwest Symposium on Circuits and Systems(MWSCAS '09)* pp.58-61, 2009.
- [8] M. Hufford, E. Naviasky, S. Williams, and M. Williams, "An Improved Wideband PLL with Adaptive Frequency Response that Tracks the Reference", *Proceedings of the 2005 Custom Integrated Circuits Conference*, pp.549-552, 2005.
- [9] Mikel Ugarte, and Alfonso Carlosena, "High-order PLL Design with Constant Phase Margin", *2010 53rd IEEE International Midwest Symposium on Cir. and Sys.(MWSCAS)*, pp.570-573, 2010.
- [10] H. Meyr, and G. Ascheid, "Synchronization in Digital Communications", John Wiley & Sons, Inc., 1990.
- [11] P.V. Brennan, Y. Huang, M. Ash, and K. Chetty, "Determination of Sweep Linearity Requirements in FMCW Radar Systems Based on Simple Voltage-Controlled Oscillator Sources", *IEEE Trans. on Aerospace and Electronic Systems*, vol. 47, no. 3, pp.1594-1604, Jul. 2011.
- [12] D.R. Stephens, "Phase-Locked Loops for Wireless Communications", Kluwer Academic Publishers, Boston, pp.40-46, 1998.
- [13] F.M. Gardner, "Phaselock Techniques", 2nd Ed., John Wiley & Sons, New York, pp.46, 1979.
- [14] P.H. Lewis, and W.E. Weingarten, "A Comparison of Second, Third, and Fourth Order Phase-Locked Loops", *IEEE Trans. on Aerospace and Electronic Systems*, vol. AES-3, no. 4, pp.720-727, July, 1967.
- [15] M. Pichler, A. Stelzer, P. Gulden, C. Seisenberger, and m. Vossiek, "Phase-Error Measurement and Compensation in PLL Frequency Synthesizers for FMCW Sensors-II: Theory", *IEEE Trans. Cir. and Sys.-I*, vol. 54, no. 6, pp.1224-1235, Jun. 2007.

저자소개



황 인 덕 (Hwang, In-Duk)

1977년 : 서울대학교 물리교육과 졸업(이학사)
1982년 : 서울대학교 대학원 물리학과 졸업(이학석사)
1987년 : 서울대학교 대학원 물리학과 졸업(이학박사)
1997년 ~ 현 재 : 대전대학교 IT전자공학과 교수
1990년 : IBM TJ Watson 연구소, Visiting Scholar
2006년 : Univ. of Wiscoson, Visiting Scholar



김 창 환 (Kim, Chang-Hwan)

1988년 : 서울대학교 제어계측공학과 졸업(공학사)
1990년 : 서울대학교 대학원 제어계측공학과 졸업(공학석사)
1995년 : 서울대학교 대학원 제어계측공학과 졸업(공학박사)
1995년 ~ 1999년 : 삼성전자 자동화연구소 선임연구원
1999년 ~ 현 재 : 대전대학교 IT전자공학과 부교수