

vMOS 기반의 DLC와 MUX를 이용한 용량성 감지회로

Design of a Capacitive Detection Circuit using MUX and DLC based on a vMOS

정 승 민*
(Seung-Min Jung)

요 약

본 논문에서는 용량성 지문센서의 회색조 이미지를 얻기 위한 새로운 회로를 제안하고 있다. 기존의 회로는 회색조 이미지를 얻기 위해 많은 칩 면적을 차지하는 DAC를 적용하거나 전력소모가 많고 전역 클럭을 적용하는 비휘발성 메모리에 적용되는 승압회로를 픽셀별로 적용하였다. 개선된 전하분할 방식의 용량성 지문센서 감지회로는 뉴런모스(vMOS) 기반의 DLC(down literal circuit) 회로와 단순화된 아날로그 MUX(multiplexor)를 적용하였다. 설계된 감지회로는 0.3V, 0.35 μm CMOS공정을 적용하여 동작을 검증하였다. 제안된 회로는 기존의 비교기와 주변회로를 필요로하지 않으므로 단위 픽셀의 레이아웃 면적을 줄이고 이미지의 해상도를 향상 시킬 수 있다.

Abstract

This paper describes novel scheme of a gray scale capacitive fingerprint image for high-accuracy capacitive sensor chip. The typical gray scale image scheme used a DAC of big size layout or charge-pump circuit of non-volatile memory with high power consumption and complexity by a global clock signal. A modified capacitive detection circuit of charge sharing scheme is proposed, which uses DLC(down literal circuit) based on a neuron MOS(vMOS) and analog simple multiplexor. The detection circuit is designed and simulated in 3.3V, 0.35 μm standard CMOS process. Because the proposed circuit does not need a comparator and peripheral circuits, a pixel layout size can be reduced and the image resolution can be improved.

Key words : 뉴런모스, DLC, MUX, Capacitive sensing, Gray scale image, CMOS, VLSI

1. 서 론

정보화 사회에서 정보는 네트워크의 발달로 인해 더욱 효과적이고 편리하게 되었으나, 축적된 중요한 정보는 타인의 접근에 의해 파괴되거나 도용당하는 등의 악영향을 피할 수 없는 실정이다. 이러한 단점을 극복하기 위해 개개인의 고유한 신체적 또는 형태학적 특징에 따라 사람들의 신원을 확인하는 바이

오 메트릭 인식이 대안이 되고 있다. 최근 캐패시터의 용량 변화를 감지하는 반도체 방식의 단일 칩 지문센서의 연구가 활발히 진행되고 있다[1-3].

전하분할 방식의 용량형의 지문센서의 원리는 <그림 1>에서와 같이 센서부분인 최 상위 금속판과 지문의 굴곡인 융선(ridge)과 계곡(valley)이 절연층을 사이에 두고 존재하는 용량 값의 차이를 전압 혹은 전류로 변환한 뒤, 기준신호와 센서신호와의

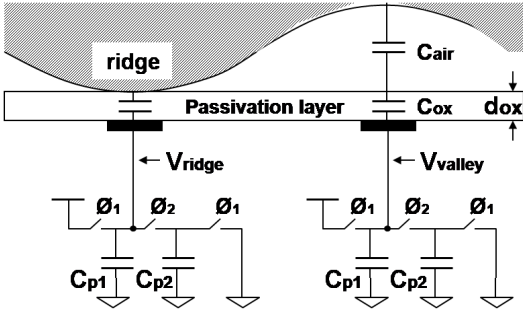
† 이 논문은 한신대학교 학술연구비 지원에 의하여 연구되었음

* 주저자 및 교신저자 : 한신대학교 IT대학 정보통신학부 교수

† 논문접수일 : 2012년 5월 28일

† 논문심사일 : 2012년 7월 10일

† 게재확정일 : 2012년 7월 13일



<그림 1> 전하분할방식의 용량 형의 지문센서구조
<Fig. 1> Capacitive type fingerprint sensor of a charge-sharing sensing scheme

크기를 비교하여 이진화신호로 이미지화 한 다음 적절한 지문이미지처리 알고리즘을 거쳐 최종적으로 본인여부를 판별하게 된다.

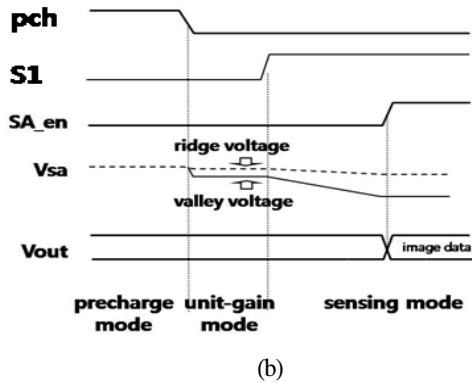
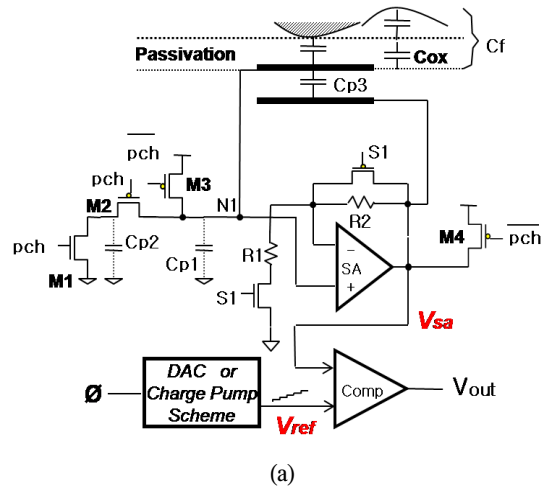
전하분할 방식의 용량 형의 지문센서 연구 중 센서로부터 얻은 이미지를 처리하는 32비트 명령어축약형(RISC) 마이크로컨트롤러를 하나의 칩으로 집적화한 스마트 지문센서 SOC의 개발은 성능뿐 아니라 경제적 가치를 한층 높은 연구결과로 평가될 수 있다[2]. 하지만 이와 같은 연구성과에도 불구하고 아직 개선해야할 사항들이 남아있다. 기존의 지문센서 SOC는 이진화 이미지를 출력하고 있다. 출력력 이미지가 이진화 데이터 이므로 알고리즘의 인증률에 한계가 있다. 지문인식 알고리즘의 처리특성상 회색조 (gray-scale) 이미지가 있어야 인증률이 더욱 높아진다.

본 논문에서는 용량성 지문센서의 회색조 이미지를 얻기 위한 새로운 회로를 제안하고 있다. 본 논문의 구성은 다음과 같다. II 장에서는 기존의 회색조 이미지를 얻기 위한 회로구조를 언급하고 III 장에서는 기존의 단점을 개선할 수 있는 방법을 제안하고 동작을 검증한다.

II. 기존의 회색조 이미지 추출 회로

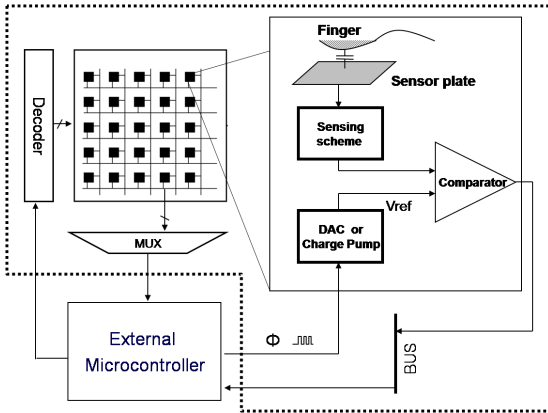
<그림 2>는 전형적인 전하분할 방식의 지문센서 픽셀 내부회로 구현을 나타내고 있다. 기생 용량 C_{p3} 를 제거하기 아날로그버퍼(SA)를 적용하여 C_{p3}

양단의 전압차를 0에 근접하게 유지함으로써 영향을 효과적으로 제거하고 있다[2][3]. <그림 4>는 타이밍도를 나타낸다. $\phi 1$ 신호가 high일때 각 노드는 precharge가 된다. SW1이 low이고 $\phi 1$ 이 low가 되면 SA는 단위이득 버퍼로 동작하여 C_{p3} 영향을 최소화한 센서 전압을 내보낸다. SW1이 high가 되면 R1, R2가 동작하여 골과 융선에서의 전압차를 증가시킨다. 비교기(Comp)는 센싱전압과 기준전압을 비교하여 디지털 출력을 만들게 된다.



<그림 2> 전하분할 방식의 기존 센서회로
<Fig. 2> Typical sensing circuit with DAC or a charge pump

<그림 3>은 일반적인 용량성 반도체 방식의 지문인식 칩의 구현 시스템과 회색조 이미지를 얻기 위한 회로 구조를 나타낸다. 외부의 마이크로컨트롤러는 픽셀 내 DAC(digital to analog converter) 혹



〈그림 3〉 기존의 DAC 와 전압상승기 적용 지문센서 블록도
(Fig. 3) Typical fingerprint sensor block diagram with DAC and a charge pump

은 전하펌프(charge pump) 회로에 클럭을 제공하여 비교기에 들어가는 기준전압을 제어한다[3]. 비교기는 지문센서로부터 감지한 센싱 전압을 기준전압과 비교하여 출력전압의 천이가 발생하는 시점을 결정하여 해당 픽셀의 회색 이미지 값을 결정하게 된다. 하지만 이와 같은 방식에는 몇 가지 문제점이 있다. DAC는 면적이 크고 복잡하므로 픽셀 내에 탑재가 불가능하므로 어레이 크기에 따라 여러 개의 외부 DAC를 적용해야한다.

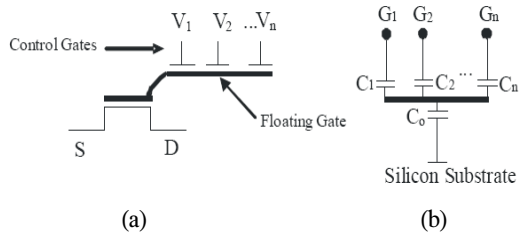
전력소모 문제 이외에도 레이아웃 면적이 센서와 하나의 칩으로 집적화하기는 불가능 하다. 대안으로, 전하펌프 회로를 적용한 연구가 제시된 바 있다[3]. 전하펌프 회로는 일반적으로 중첩되지 않은 두 개의 clock 신호전압이 상승한다. 이 방식에서는 최소 6 단 이상의 회로를 사용해야 하며 여전히 전력소모가 문제가 된다. 또한 두 방식 모두 레이아웃 면적이 크고 전력 소모가 많은 비교기를 사용하고 있다.

Ⅲ. 제안된 회색조 이미지 추출 회로

1. 뉴런모스와 DLC

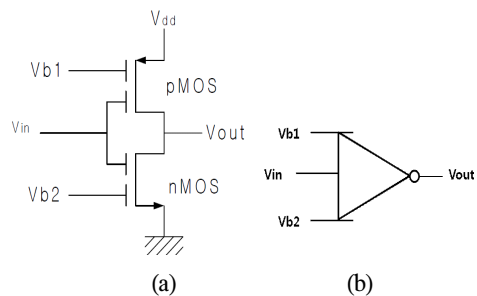
뉴런모스(vMOS)는 하나의 공통 게이트와 다수의 입력게이트를 갖는 형태의 트랜지스터로 기존 MOS 소자의 변형으로서 고정되어진 문턱전압이 아닌 다

중 문턱전압을 구현할 수 있는 소자이다[4]. <그림 4>는 뉴런모스의 구조를 나타낸다. 하나의 게이트가 아닌 여러 개의 게이트 캐패시턴스를 구현하고 전압을 인가할 수 있도록 만들어져 있으며 표준 CMOS공정을 그대로 적용하여 구현된다. 이러한 구조에 의해 각각의 게이트에 인가되는 전압으로 인하여 문턱전압이 달라지는 다중 문턱전압이 실현 가능하다.



〈그림 4〉 (a) 뉴런모스의 기호 (b) 등가회로
(Fig. 4) (a) Symbol of vMOS
(b) Capacitive equivalent circuit.

DLC(down-literal circuit)은 <그림 5>와 같이 2개의 입력게이트를 갖는 N 채널 뉴런 모스와 P 채널 뉴런 모스를 결합하여 다양한 논리문턱을 갖는 인버터 동작형태를 가지고 있다[4]. 만일 두 개의 뉴런 모스가 모두 순방향 활성 영역에 있어서 흐르는 드레인 전류가 같다고 가정을 한다면 다음의 식 2와 같이 DLC 회로의 문턱 전압을 구할 수 있다.

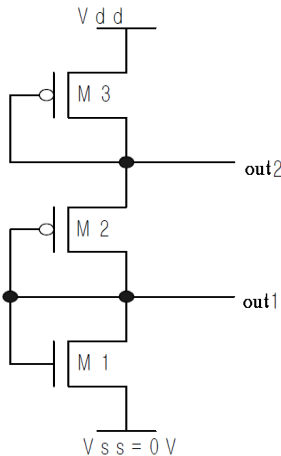


〈그림 5〉 (a)DLC회로 (b)심볼
(Fig. 5) (a) Circuit and of down-literal circuit.
(b) symbol

$$V_{TC} = V_{DD} - \frac{V_{b1} + V_{b2}}{2} \tag{1}$$

식 1에 의하면 V_{b1} 과 V_{b2} 전압을 달리함으로써

인버터의 논리 문턱전압을 변화시킬 수 있다. <그림 6>은 기준전압 회로를 나타낸다. out1은 1V를, out2는 2V를 나타내도록 트랜지스터 크기를 조절하였다. <표 1>은 기준전압 회로의 각 전압에 의하여 얻어지는 문턱전압 V_{TC} 의 값을 나타내고 있다. <그림 7>은 <표 1>의 특성확인을 위하여 입출력 DC 특성을 모의실험한 결과이다. 입출력 결과를 살펴보면 DLC의 특성을 나타냄을 알 수 있다. <그림 7>에서 DLC1 곡선은 V_{TC} 0.5V를, DLC2는 V_{TC} 1V를, DLC3는 V_{TC} 1.5V를, DLC4는 V_{TC} 2V를, DLC5는 V_{TC} 2.5V를 나타내고 있다.



<그림 6> 기준전압회로

<Fig. 6> Reference voltage circuit

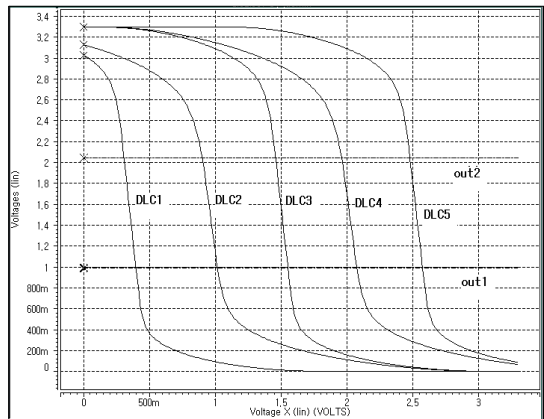
<표 1> 다양한 바이어스에 대한 논리게이트 문턱전압(V_{TC})
<Table 1> V_{TC} of DLC with various bias voltage.
($V_{dd} = 3V$)

$V_{TC}(V)$	$V_{b1}(V)$	$V_{b2}(V)$
0.5	3	2
1.0	2	2
1.5	2	1
2.0	1	1
2.5	1	0

2. DLC와 MUX를 사용한 새로운 감지회로

<그림 8>은 본 논문에서 제안하고 DLC와 MUX를 이용한 ADC를 나타낸다. MUX_{up}과 MUX_{dn}은

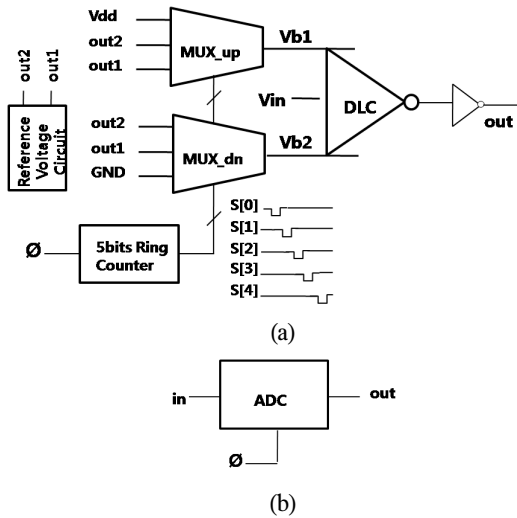
DLC에 바이어스 전압을 5비트 링카운터에 의하여 선택적으로 제공하게 된다. <그림 9>는 MUX 회로로서, 레이아웃면적을 줄이기 위해 단순화된 구조로 설계되었다. <그림 10>은 본 논문에서 제안하고 있는 감지회로를 나타낸다. <그림 11>은 기존 회로의 레이아웃에서 비교기가 차지하고 있는 영역을 나타내며 약 40%의 면적을 차지한다. V_{sa} 는 센싱전압을 나타내며 지문의 마루와 계곡에 따라 전압이 변하게 된다. <표 2>에서와 같이, 발생된 클럭에 의하여 DLC의 V_{TC} 는 순차적으로 0.5V에서 2.5V까지 반복되며 ADC 출력이 L가 되는 시점을 픽셀의 회색조 이미지 값으로 결정하게 된다. <그림 12>는 제안된 감지회로의 모의실험결과로 위로부터 첫 번째 그림은 클럭에 의하여 DLC의 V_{TC} 가 순차적으로 0.5V에서 2.5V까지 변화하는 것을 나타내며, 두 번째 그림은 지문이 계곡인 경우 감지전압 0V에 대하여 출력이 L로 나타남을 알 수 있다. 세 번째 그림은 지문이 계곡과 마루 사이인 경우 감지전압 1.23V에 대하여 세 번째 클럭에서 출력이 L로 나타남을 나타내고 네 번째 그림에서는 지문이 마루인 경우 감지전압 1.77V에 대하여 네 번째 클럭에서 출력이 L로 나타남을 확인할 수 있었다. 설계된 회로는 <표 2>의 동작을 검증하고 있음을 나타낸다.



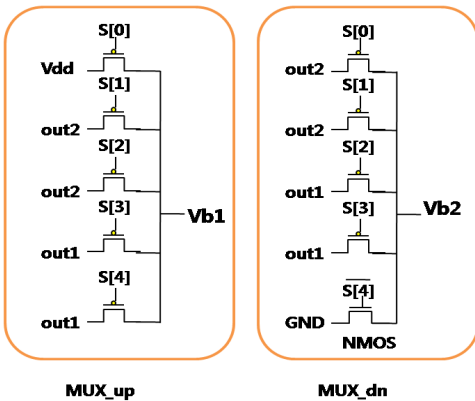
<그림 7> 바이어스에 대한 문턱전압 DC 분석 결과

($V_{dd}=3.3V$ 0.35 μm CMOS typical parameter)

<Fig. 7> DC analysis curves of VTC for various bias voltage.(DLC1 to DLC5), $V_{dd}=3.3V$ 0.35 μm CMOS typical parameter



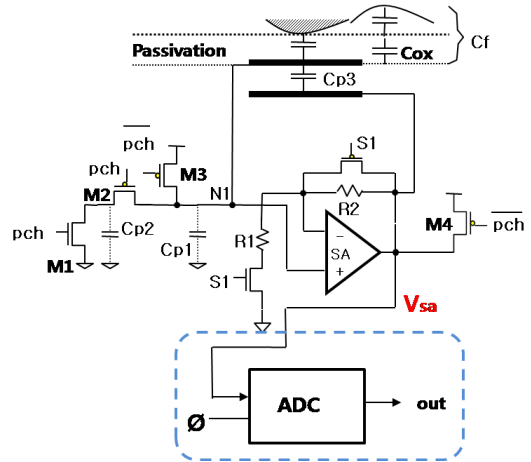
〈그림 8〉 DCL와 MUX를 이용한 ADC
 (a) 제안된 ADC (b) 심볼
 〈Fig. 8〉 ADC using a DLC and MUX
 (a) proposed ADC (b) symbol



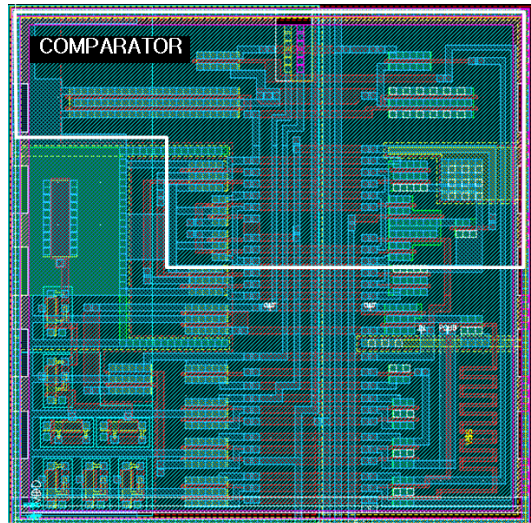
〈그림 9〉 MUX 회로
 〈Fig. 9〉 MUX circuit

〈표 2〉 센싱전압에 대한 ADC 출력결과(V_{dd} = 3.3V)
 〈Table 2〉 Output of ADC for various input range of sensing voltage.(V_{dd} = 3.3V)

		ADC out				
		S[0]	S[1]	S[2]	S[3]	S[4]
∅	V _{TC} (V)	0.5	1.0	1.5	2.0	2.5
V _{sa}	0~0.5	L	L	L	L	L
	0.5~1.0	H	L	L	L	L
	1.0~1.5	H	H	L	L	L
	1.5~2.0	H	H	H	L	L
	2.0~2.5	H	H	H	H	L
	2.5~3.3	H	H	H	H	H



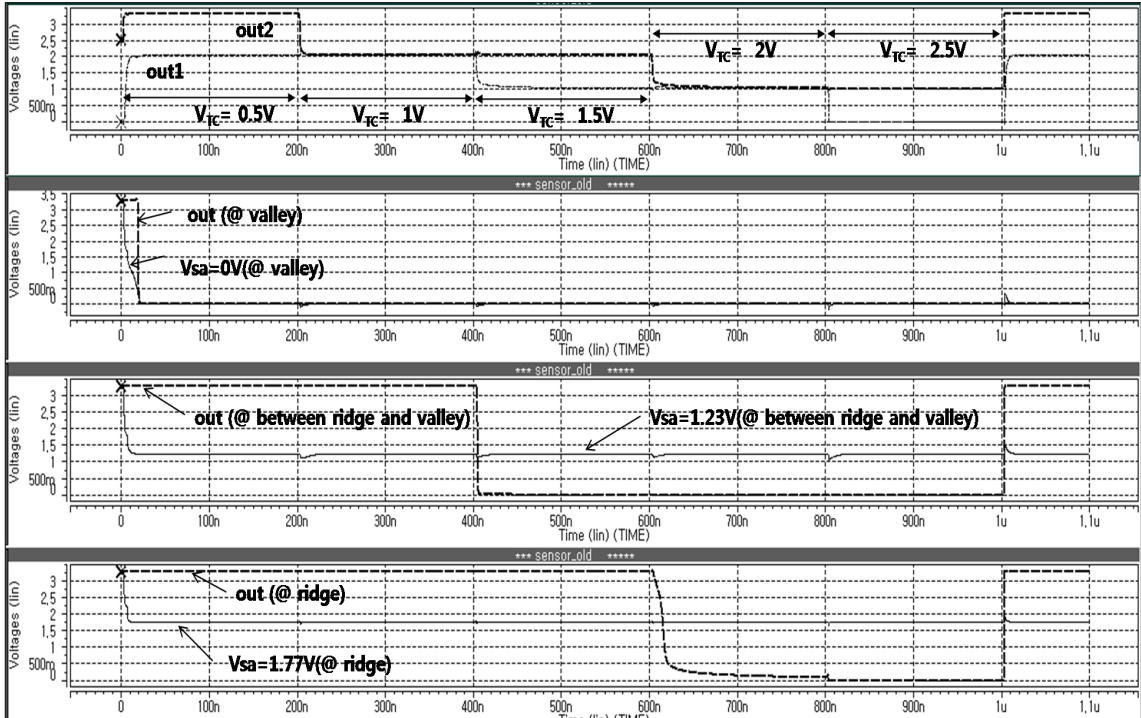
〈그림 10〉 제안된 지문 센싱 회로도
 〈Fig. 10〉 Proposed fingerprint sensing circuit



〈그림 11〉 기존 단위 센서 픽셀 레이아웃에서 비교기가 차지하는 영역(58μm x 58μm)
 〈Fig. 11〉 Comparator area of old unit sensor layout (58μm x 58μm, 0.35μm CMOS process)

IV. 결 론

본 논문에서는 용량성 지문센서의 회색조 이미지를 얻기 위한 새로운 회로를 제안하였다. 기존의 회로는 회색조 이미지를 얻기 위해 많은 칩 면적을 차지하는 DAC를 적용하거나 전력소모가 많고 전역 클럭을 적용하는 비휘발성 메모리에 적용되는 승압



〈그림 12〉 제안된 회로의 동작 시뮬레이션결과(3.3V, 0.35 μ m CMOS process, 5MHz)
 (Fig. 12) Simulation result of proposed fingerprint sensing circuit(3.3V, 0.35 μ m CMOS process, 5MHz)

회로를 픽셀별로 적용하였다. 개선된 전하분할 방식의 용량성 지문센서 감지회로는 뉴런모스기반의 DLC 회로와 단순화된 아날로그 MUX를 적용하였다. 외부클럭에 의해 연속적으로 DLC의 논리 문턱 전압을 0.5V 간격으로 2.5V까지 연속적으로 변화시켜 가면서 출력전압의 전이 변화를 통하여 픽셀의 회색조 이미지를 결정할 수 있도록 하였다. 제안된 회로는 기존의 DAC나 전하펌프를 제거함은 물론 픽셀면적의 40%이상을 차지하는 비교기를 필요로 하지 않는다. 설계된 감지회로는 0.35 μ m CMOS공정을 적용하여 동작을 검증하였다. 제안된 회로는 기존의 비교기와 주변회로를 필요로 하지 않으므로 단위 픽셀의 레이아웃 면적을 줄이고 이미지의 해상도를 향상 시킬 수 있을 것으로 기대된다.

참고문헌

[1] T. Shimamura, H. Morimura, S. Shigematsu, M.

Nakanishi, and K. Machida, "Capacitive-Sensing Circuit Technique for Image Quality Improvement on Fingerprint Sensor LSIs," IEEE J. of Solid-state circuits, vol. 45, no. 5, pp.1080-1087, May, 2010.

[2] Seung-Min Jung, J. M. Nam, D. H. Yang, and M-K Lee "A CMOS Integrated Capacitive Fingerprint Sensor with 32-bit RISC Microcontroller," IEEE Journal of Solid-State Circuits, vol. 40, no. 8, pp.1745 - 1750, Aug. 2005.

[3] Jin-Moon Nam, Seung-Min Jung, and Moon-Key Lee, "Design and Implementation of a Capacitive Fingerprint Sensor Circuit in CMOS Technology", Sensors and Actuators A: Physical, vol. 135, no. 1, pp.283-291, Mar. 2007.

[4] 韓聖一, 李濠景, 黃鍾學, 金興壽 "2진-4치 변환기 설계에 관한 연구", 대한전자공학회 논문지 SC편, vol. 3, no. 8, pp.60-70, 2003.

저자소개



정 승 민 (Jung, Seung-Min)

2006년 9월 ~ 현재 : 한신대학교 IT대학 정보통신학부 부교수
1998년 3월 ~ 2006년 8월 : 용인송담대학교 조교수
1992년 2월 ~ 1998년 2월 : 삼성전자 반도체연구소 전임연구원
1999년 3월 ~ 2006년 2월 : 연세대학교 대학원 전기전자공학과 공학박사
1990년 3월 ~ 1992년 2월 : 연세대학교 대학원 전자공학과 공학석사
1986년 3월 ~ 1990년 2월 : 연세대학교 전자공학과 학사