

# 스위치드 연산증폭기를 이용한 CMOS 단일비트 3차 델타시그마 변조기 설계

이 한 울\*, 시대\*, 유태경\*, 이 건\*, 윤광섭°, 이상민\*\*

## Design of a CMOS Single Bit 3rd Order Delta-Sigma Modulator with Switched Operational Amplifier

Han-Ul Lee\*, Shi Dai\*, Tai-kyung Yoo\*, Keon Lee\*, Kwang-Sub Yoon°, Sang-Min Lee\*\*

### 요 약

본 논문은 오디오 신호 처리 시스템의 저속 고해상도 ADC를 위해 설계된 CMOS 단일비트 3차 델타시그마 변조기를 설계하였다. 변조기 내 적분기에 사용되는 연산증폭기의 전력소모를 감소시키기 위해서 연산증폭기내 바이어스 전류원에 차단/동작 기능을 하는 스위치를 장착시켰다. 또한 변조기내 스위치의 위치를 최적화 하여 기존의 스위칭 방식에서 발생하는 주파수 특성 변화를 최소화하였다. 단일 비트 3차 델타시그마 변조기 구조를 선택 하였으며, 제안한 델타 시그마 변조기의 성능측정결과 전원 전압 3.3V, 샘플링 주파수 6.4MHz, 입력주파수 20KHz에서 17.1mW의 전력소모를 나타냈다. SNDR은 84.3dB, 유효비트수는 13.5비트를 나타내었다.

**Key Words** : Delta sigma, modulator, CMOS, Switching, Switched OPamp

### ABSTRACT

This paper presents Single-bit Third order Delta-Sigma Modulator, which can be applied to the Low speed High resolution ADC in Audio signal Process System. Whereas the Operational Amplifier in modulator consumed static power dissipation in operating, this modulator used Switching on/off techniques, which makes the Power dissipation of the modulator reduced. Also proposed modulator minimizes frequency characteristic variation by optimizing switch position. And this modulator chooses Single-bit type to guarantee stability. The designed ADC went through 0.35um CMOS n-well 1-poly 4-metal process to be a final product, and the final product has shown 17.1mW of power dissipation with 3.3V of Supply Voltage, 6.4MHz of conversion rate. And 84.3dB SNDR and 13.5bit ENOB with 20KHz of input frequency.

### I. 서 론

최근 휴대폰, MP3, 디지털 캠코더 등 모바일 기기의 급속한 성장에 따라서 이러한 기기에 사용되는 오디오 신호처리 시스템에 대한 사양이 높아지

고 있다. 오디오 신호처리 분야에서 사용되는 데이터 변환기는 2~25kHz의 신호대역폭에 대해 15비트 이상의 해상도가 요구되어지고 있다. 기존의 나이퀴스트(Nyquist rate) 변환기법은 적당한 가격조건하에서 이러한 높은 해상도를 얻을 수 없다. 또한 현재

\* 본 연구는 지식경제부 및 정보통신산업진흥원의 IT융합 고급인력과정 지원사업(NIPA-2012-H0401-12-1007) 지원으로 수행되었습니다.

• 주저자 : 인하대학교 아날로그집적회로설계 연구실, ouls@inha.edu, 준회원

° 교신저자 : 인하대학교 전자공학과, ksyoon@inha.edu, 종신회원

\* 인하대학교 아날로그집적회로설계 연구실

\*\* 인하대학교 전자공학과

논문번호 : KICS2011-10-492, 접수일자 : 2011년 10월 21일, 최종논문접수일자 : 2012년 7월 6일

의 VLSI 공정 기술로는 약 0.1%의 수동소자 정합 특성을 제공하므로 15비트 이상의 해상도를 얻기 위해서는 고가의 레이저 트리밍 기법 등을 이용해야만 한다<sup>11,12</sup>.

이러한 단점 때문에 나이키스트 변환기보다 훨씬 높은 샘플링 주파수를 사용하는 오버샘플링 기법의 델타시그마 변조기에 많은 관심이 집중되고 있다<sup>3</sup>.

일반적으로 델타 시그마 변조기는 적분기, ADC(Analog-Digital Converter), DAC(Digital-Analog Converter), FF(Flip Flop) 등으로 구성된다. 그 중에서 전력 소모에 가장 큰 영향을 미치는 것은 각 적분기에 사용되는 연산 증폭기이다. 일반적인 델타 시그마 변조기의 경우 샘플과 적분과정 동안 연산 증폭기가 항상 동작 상태에 있어서 연속적으로 전력소모를 하게 되고 이로 인해서 변조기 전체의 전력소모가 증가하게 된다. 이러한 문제점을 해결하기 위한 방법 중 하나는 스위칭 방식을 이용한 연산증폭기의 사용이다. 적분하는 과정을 제외하고는 실질적으로 연산 증폭기 동작을 필요로 하지 않는다. 즉, 클럭의 반주기 동안만 동작을 하고, 샘플링 하는 주기 동안에는 스위칭 기법을 통해 연산 증폭기에서 사용되는 전력을 최소한으로 줄일 수 있다. 그러나 종전의 스위칭 기법들은 전류원 소스 자체에 스위치를 연결하기 때문에 연산증폭기의 출력 스윙 폭을 제한할 뿐 아니라 스위치의 차단/동작에 따라 극점과 영점 위치가 변하게 되어 전체적인 성능에 영향을 미치게 된다.

따라서 본 논문에서는 기본적인 시그마 델타 변조기 구조를 사용하면서도 기존 스위치드 연산증폭기에서 발생하는 주파수 특성 변화, 출력 스윙 제한

등의 문제점들을 개선하고 효과적으로 전력소모를 줄일 수 있는 스위칭 기법을 제시한다<sup>4,5</sup>.

2장에서는 단일비트 3차 변조기 구조를 제안하였으며, 제안된 변조기를 3장에서는 설계하였다. 특히 변조기내 사용되는 연산증폭기의 전력소모를 줄이기 위해서 스위칭 기법을 적용시킨 스위치드 연산증폭기를 제안하고 설계하였다. 4장에서는 제안된 변조기의 구현과 측정결과에 대하여 논의하였으며, 결론은 5장에서 논의하였다.

## II. 단일비트 3차 델타 시그마 변조기의 구조

제안된 단일비트 3차 델타시그마 변조기의 구조는 그림 1과 같다. 입력과 출력, 1비트 ADC에서 발생하는 양자화 오차가 나타나 있으며 1비트 DAC는 피드백 스위치를 이용해 구현하였다.

적분기의 입력으로 샘플된 신호가 들어오게 되면 적분기의 출력 단자의 전압은 일정하게 증가하거나 감소하게 된다. 이렇게 각각의 적분기를 모두 통과한 신호는 1비트 ADC인 비교기를 거쳐 부귀환 경로에 있는 1비트 DAC에 의해서 입력신호와 합쳐진다. 입력신호와 1비트 DAC를 거쳐 돌아온 신호의 크기가 같아질 때 까지 이러한 과정을 반복하게 된다. 입력신호가 크면 비교기의 출력에 디지털 값 1의 분포가 많아지고 입력신호가 작으면 디지털 값 0이 많아진다.

제안된 변조기를 구현하기위해 비이상적인 특성을 고려하여 그림 2와 같은 MATLAB 시뮬레이션 모델을 사용하였다. 입력신호와 피드백신호 부분에 지터 특성을 넣어주었고, 입력신호에는 열잡음을 추

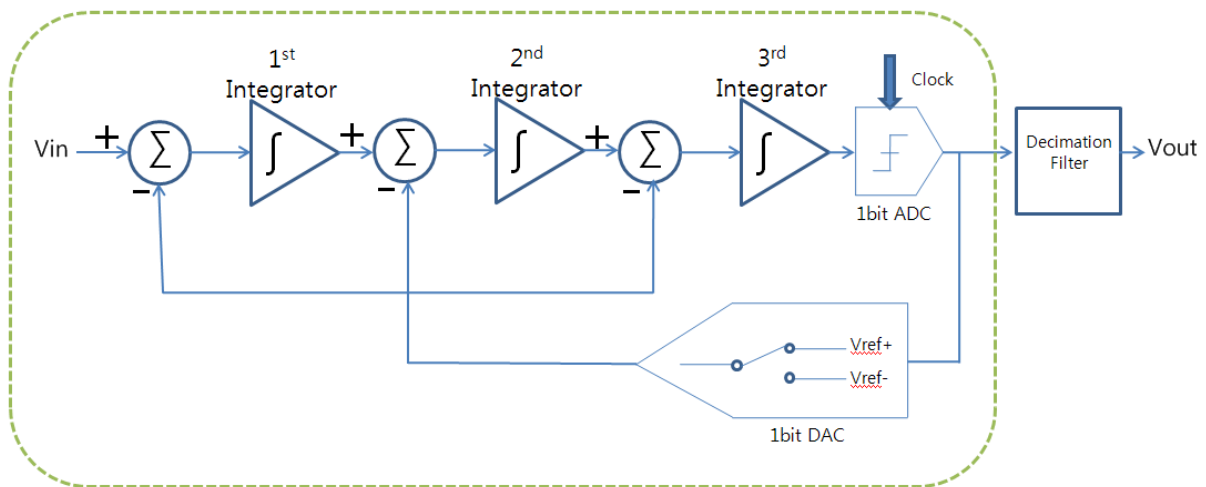


그림 1. 제안된 델타 시그마 변조기의 블록 다이어그램  
Fig. 1. Block diagram of the proposed delta sigma modulator.

가하였다. 첫 번째 적분기가 회로에 미치는 영향이 가장 크기 때문에 포화전압, 증폭기의 이득, 슬루율, 주파수 대역, 지터 잡음 등의 특성을 넣어주었고, 두 번째, 세 번째 적분기는 이상적인 적분기 모델을 사용하였다.

변조기 입력 단의 열잡음은 샘플링 커패시터를 결정하는데 있어 결정적인 역할을 한다. 열잡음은 입력 단으로부터 오는 것이므로 샘플링 커패시터를 통해서만 최소화 시킬 수 있다. 즉, 열잡음은 노이즈 셰이핑 되지 않으며, 동적 성능과 밀접한 관련이 있으므로 변조기 설계 시 반드시 고려되어야 할 항목이다. 그림 2의 매크로 모델에 대응되는 단일 비트 3차 델타시그마 변조기 회로도들 그림 3과 같

이 설계하였다.

적분기에 사용된 연산증폭기는 클럭에 따라 차단 동작되는 스위칭 방식을 적용하였으며, 비교기는 클럭에 따라 초기화 과정이 반복적으로 발생하며 3번째 적분기의 출력전압을 비교할 수 있도록 래치 비교기를 사용하였다.

### Ⅲ. 단일비트 3차 델타 시그마 변조기의 설계

본 논문에서는 단일비트 3차 델타시그마 변조기를 완전 차동형 스위치 커패시터 방식을 사용하여 설계하였다. 비 중첩클럭을 사용하여 샘플동작과 적분동작을 할 수 있도록 하였으며, 스위치로 인한 전하주입 현상을 막기 위해 지연된 클럭들을 부분적

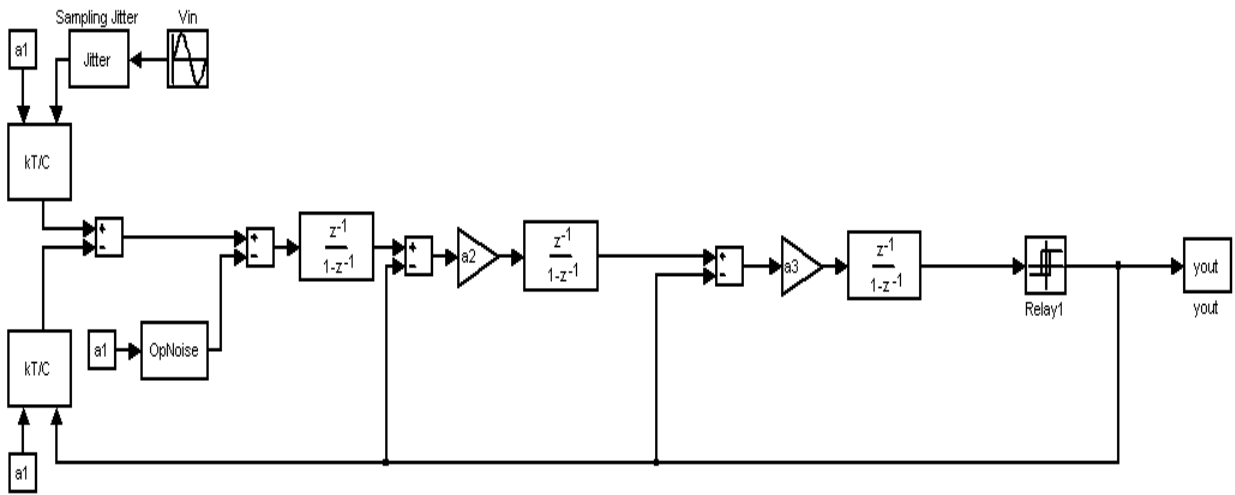


그림 2. 비이상적 특성을 갖는 델타시그마 변조기의 MATLAB 시뮬레이션 모델  
Fig. 2. MATLAB macro model of the delta sigma modulator with non idealities.

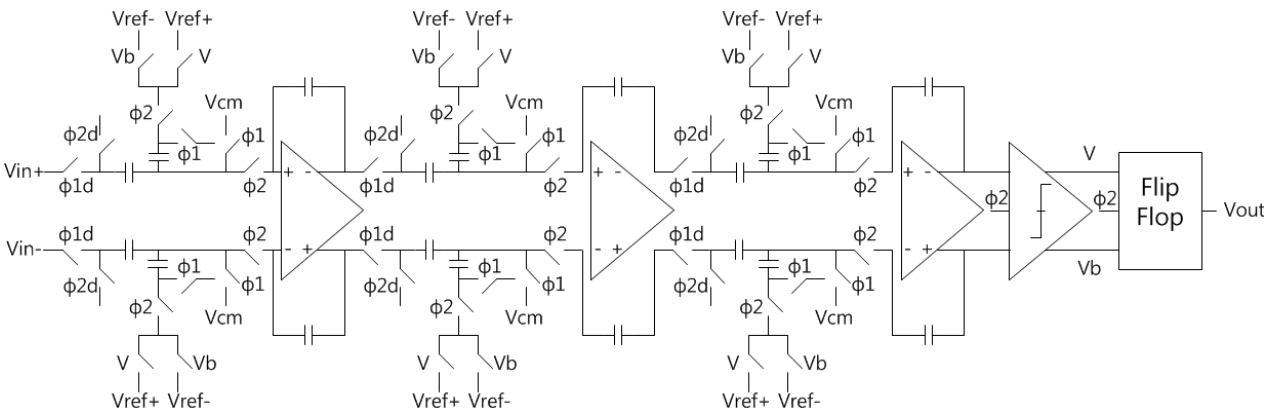


그림 3. 단일비트 3차 델타시그마 변조기의 전체회로도  
Fig. 3. Schematic of single bit 3rd order delta sigma modulator.

으로 사용하였다. 기준전압으로는 3.3V와 0V 전원 전압을 이용하였다.

일반적인 스위치드 연산 증폭기[6]의 경우 전류원 소스 자체에 스위치를 연결하기 때문에 출력 전압의 스윙 폭이 제한되고 스위치에 의한 극점과 영점의 위치가 변하기 때문에 설계 시 많은 문제점들을 가지고 있다.

이러한 문제점을 개선하기 위해서 본 연구에서는 그림 4와 같은 스위치드 완전차동 연산증폭기를 제안하였다. 완전차동 구조는 연산 증폭기의 전압이득을 6 dB 향상시키며, 오프셋 전압을 줄일 수 있는 구조이므로 높은 해상도를 필요로 하는 시그마 델타 변조기에 적합하다.

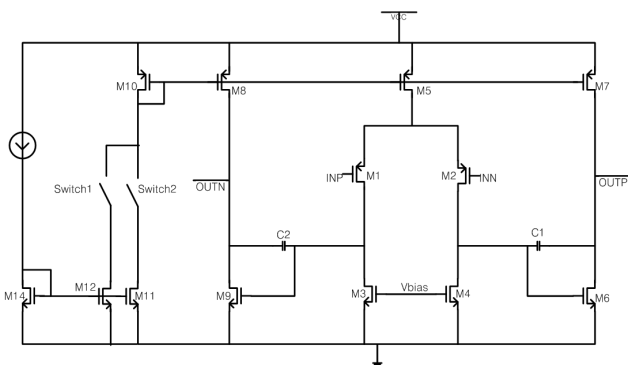


그림 4. 제안된 스위치드 연산증폭기의 회로도  
Fig. 4. Schematic of the proposed switched operational amplifier.

스위치드 커패시터 적분기를 이용하는 델타 시그마 변조기의 경우 OSR(Over Sampling Ratio)에 따라 SNR이 변화하게 된다. 입력신호의 주파수가 일정한 경우 OSR을 변화시켜, 즉 적분기에 사용되는 연산 증폭기의 전류량을 조절하여 성능을 조절할 수 있다.

그림 4에 제시한 스위치 연산 증폭기의 경우 스위치드 적분기 회로에서 2가지의 비 중첩 클럭을 사용함으로써 샘플과 적분 동작을 하게 되는데 샘플 동작에서는 스위치1과 스위치2를 차단함으로써 연산 증폭기의 전류원을 제거하여 전력소모를 최소화한다. 반대로 적분 동작에서는 스위치1 또는 스위치2를 동작시킴으로써 연산 증폭기에 의한 적분 동작을 원활히 수행할 수 있도록 설계하였다.

기존의 연산증폭기의 경우 두 번째 단 내부에 있는 스위치를 이용하게 되고 두 번째 단 전체를 동작/차단시킴으로써 연산증폭기가 안정화되기까지 지연시간이 증가하는 단점이 있다. 제안된 연산증폭기

는 스위치를 바이어스 전류 단에 위치하게 하여 연산증폭기가 차단되더라도 적은전류를 증폭단 자체에 공급해 주기 때문에 안정화 되는데 까지 시간이 적게 걸린다. 제안된 연산증폭기의 전압이득은 63dB이며, 위상여유는 84도이다. 5pF의 부하를 사용했을 때, 단일이득 주파수는 55MHz로 나타났으며, 동작 전류는 270uA ~ 300uA로 나타났다.

스위치드 커패시터 적분기를 이용하는 델타 시그마 모듈레이터의 경우 OSR에 따라 SNR이 변화하게 된다. 입력신호의 주파수가 일정한 경우 OSR을 변화시켜, 즉 적분기에 사용되는 증폭기의 전류량을 조절하여 성능을 조절할 수 있다. 그림 4에 제시한 스위치드 연산증폭기의 경우 스위치를 이용해서 적분기 구동에 필요한 전류량을 조절할 수 있으며 샘플과정에서는 스위치를 모두 차단함으로써 전력소모를 줄일 수 있다.

스위치드 커패시터 회로에서 중요한 부분 중에 하나인 비 중첩 클럭 회로는 클럭의 글리치를 감소시키고, 신호가 안정된 상태에서 샘플링하기위해 필요하다.

델타 시그마 변조기는 칩 외부에서 기준 클럭을 받은 후 그 클럭을 각각의 적분기에서 사용할 수 있도록 비 중첩 클럭을 발생시키는 비 중첩 클럭 발생기 회로를 통과하게 된다. 만약 클럭 발생기 회로를 통과한 두 개의 위상을 갖는 클럭이 오버랩 된다면 전하주입 문제가 발생하게 되므로 SNR에 영향을 미칠 수 있다.

비중첩 클럭 발생기는 기존 구조[7]를 사용하였으며, NAND 게이트와 인버터, 지연 셀 등으로 구성되어 있으며 각 소자의 크기를 조절함으로써 비 중첩 구간(1.2ns) 및 지연시간(0.4ns)을 정하게 설계하였다.

#### IV. 측정결과 및 고찰

제안된 델타시그마 변조기는 0.35um CMOS 1-poly 6-metal 공정을 이용하였고, Synopsys 사의 Hspice와 Cadence사의 Spectre를 이용하여서 설계 및 구현하였다.

설계된 델타시그마 변조기의 레이아웃은 잡음 및 매칭 문제를 최소화하기 위해서 완전 대칭 구조를 선택했으며 그림 5와 같다.

아날로그 블록(1차 적분기, 2차 적분기, 3차 적분기, 비교기)과 디지털 블록을 더블 가드링을 이용해

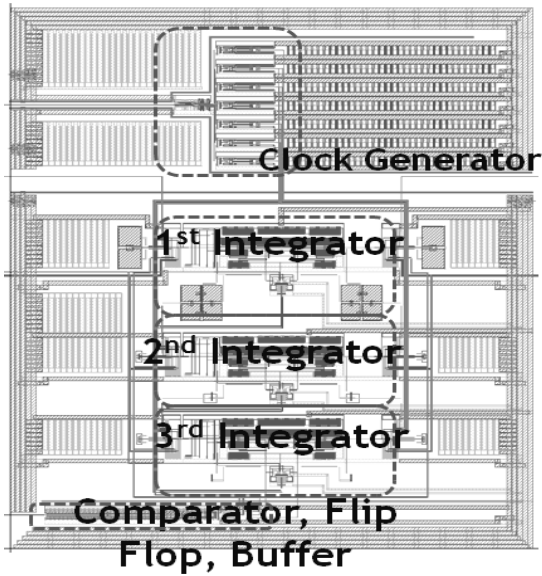


그림 5. 단일비트 3차 델타시그마 변조기의 전체 레이아웃  
Fig. 5. Layout of the single bit 3rd-order delta sigma modulator.

서 분리하였고, 전원부 또한 아날로그와 디지털을 서로 분리하여 디지털 단에서 발생하는 잡음이 아날로그 단에 미치는 영향을 최소화 하였다. 또한 레퍼런스 전압 발생기의 저항에는 바이패스 MOS 커패시터를 집적함으로써 기준 전압이 변동되는 것을 억제하였다. 설계된 변조기의 레이아웃 유효면적은  $0.63\text{mm}^2$ 이다.

본 논문에서 설계 및 구현된 단일비트 3차 델타시그마 변조기의 성능은 그림 6에 나타낸 PCB 데

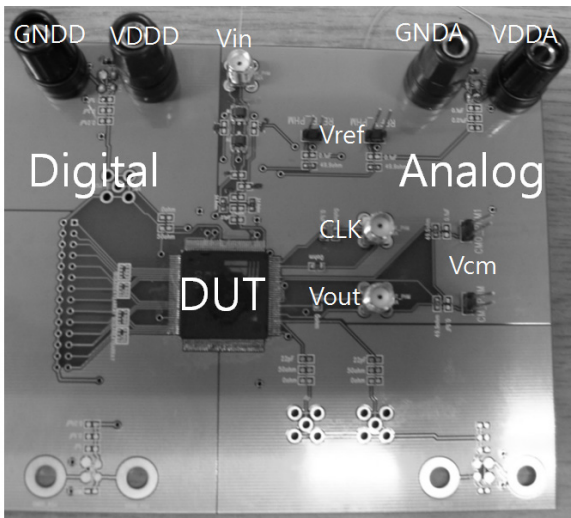


그림 6. 제작된 단일비트 3차 델타시그마 변조기의 테스트 보드 사진  
Fig. 6. Photograph of PCB for single bit 3rd-order delta sigma modulator

스트 보드를 사용하여 측정하였다. 테스트 보드에는 제안된 변조기가 탑재된 칩(DUT)과 테스트를 위한 주변 회로 및 단자가 포함되어 있다. 아날로그 전원과 디지털 전원을 분리하였으며, 차동 입력 신호를 만들기 위해서 트랜스포머를 사용하였다.

입력주파수와 샘플링 주파수가 각각 20kHz, 6.4MHz 일때, 스펙트럼 분석기를 통해서 측정된 변조기의 스펙트럼은 그림 7과 같으며, 측정된 SNDR은 84.3dB 이며, 유효비트수는 13.5비트로 측정되었다. 또한 측정된 전력소모는 17.1mW이며, FoM(Figure of Merit)은 23pJ/step 이다. 표 1은 변조기의 모의실험결과와 측정결과를 비교한 결과를 나타내었다.

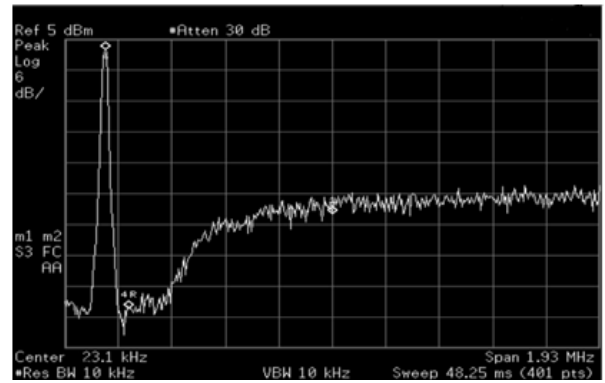


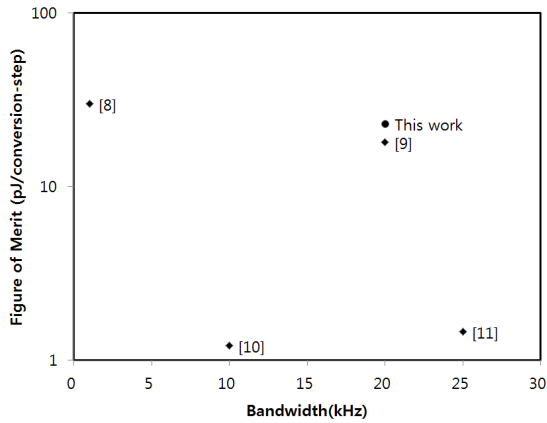
그림 7. 설계된 변조기의 측정된 스펙트럼  
Fig. 7. The measured spectrum of the proposed modulator.

표 1. 설계된 변조기의 모의실험 및 측정결과 성능 비교  
Table 1. Performance comparison of the simulation results with the measurement results.

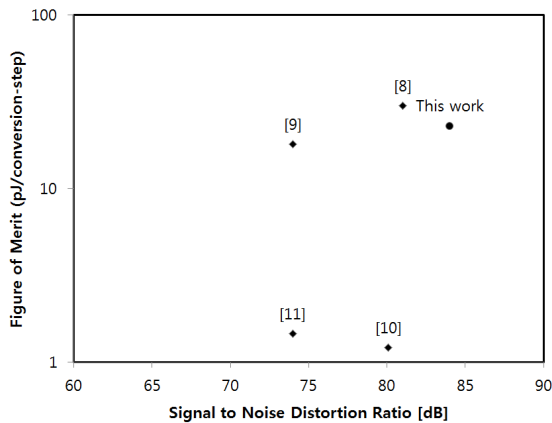
| parameters        | Simulation  | Measurement |
|-------------------|-------------|-------------|
| Signal Band Width | 25kHz       | 20kHz       |
| OSR               | 128         | 128         |
| SNDR              | 85.3dB      | 84.3dB      |
| ENOB              | 14비트        | 13.5비트      |
| Supply Boltage    | 3.3         | 3.3         |
| Power consumption | 19.5mW      | 17.1mW      |
| FoM               | 18.5pJ/step | 23pJ/step   |

제안한 단일비트 3차 델타시그마 변조기와 기존 변조기들의 성능을 비교한 결과를 그림 8에 나타내었다. 성능 비교는 델타시그마 변조기의 해상도 및 변환속도 대비 소모된 전력을 나타내는 지표인

FoM(Figure of Merit)을 이용하였다. 그림 8(a)에서는 기존 논문과 유사한 FoM을 가지는 데 비해서 대역폭은 유사하거나 넓은 것으로 나타났다. 또한 그림 8(b)에서는 기존 논문과 비교할 때 신호대잡음비가 우수한 것으로 확인되었다.



(a)



(b)

그림 8. 제안된 변조기와 타 논문의 FoM 성능 비교  
Fig. 8. Comparison of FoM of the proposed modulator with the conventional ones. (a) FOM versus BW. (b) FOM versus SNDR.

### V. 결 론

본 논문에서는 고해상도 저속 ADC를 위한 싱글 비트 3차 델타시그마 변조기를 제안하였다. 변조기 내 적분기에 사용되는 연산증폭기의 전력소모를 최소화 하기위해 차단/동작 기능을 가지는 스위치드 설계 방식을 사용하였다. 제안하는 3차 델타시그마 변조기는 스위치드 커패시터 적분기의 적분 커패시터 용량에 적합한 클럭을 사용하여서 기존 설계 방식을 이용한 변조기에 비해서 신호대 잡음비를

10dB 이상 향상시켰다. 제안된 단일 비트 3차 델타 시그마 변조기는 0.35um n-well 1-poly 6metal CMOS공정으로 제작되었으며, 측정결과 3.3V 단일 전원 전압에서 전력소모는 17.1mW, 20kHz의 입력 및 6.4MHz의 샘플링 속도에서 측정된 유효비트 및 SNDR은 각각 13.5비트 및 84.3dB이다. 제작된 델타 시그마 변조기의 유효 칩 면적은 0.63mm<sup>2</sup>이다.

제안된 고해상도 델타시그마 변조기는 저전력소모를 요구하는 스마트폰내 수신기의 RF 신호처리부와 기저대역 모뎀부를 연결하는 고해상도 ADC에 활용될 수 있을 것으로 기대된다.

### 감사의 글

반도체설계교육센터(IDECC)의 CAD Tool 지원에 감사드립니다. 본 논문은 인하대학교의 지원에 의하여 연구되었습니다.

### References

- [1] Liyuan Liu, Dongmei Li, Liangdong Chen, Yafei Ye, Zhihua Wang, "A 1-V 15-Bit Audio Delta Sigma-ADC in 0.18 um CMOS", *IEEE Transactions on Circuits and Systems-I*, vol. 59, no.5, pp.915-925, MAY 2012
- [2] Xicheng Jiang, Jungwoo Song, Jianlong Chen, Vinay Chandrasekar, Sherif Galal, Felix Y. L. Cheung, Darwin Cheung, and Todd L. Brooks, "A Low-Power, High-Fidelity Stereo Audio Codec in 0.13 um CMOS," *IEEE J, Solid-State Circuits*, vol 47, pp 1221-1231, MAY 2012.
- [3] Keith A. O'Donoghue, Paul J. Hurst and Stephen H. Lewis, Michiel S.J. Steyaert and Willy Sansen, "A Digitally Corrected 5-mW 2-MS/s SC ADC in 0.25-um CMOS With 94-dB SFDR," *IEEE J, Solid-State Circuits*, vol 46, pp 2673-2684, NOVEMBER 2011.
- [4] Vincenzo Peulso, Michiel S.J. Steyaert and Willy Sansen, "A 1.5V-100uW Delta Sigma Modulator with 12-b Dynamic Range Using Switched-Opamp Technique," *IEEE J, Solid-State Circuits*, vol 32, pp 943-952,

July 1997.

- [5] Jiri Nedved, Jozef Vanneuville, Dorine Gevaert and Jan Stvenhans, "A Transistor-Only Switched Current Sigma-Delta A/D Converter for a CMOS Speech CODEC," *IEEE J. Solid-State Circuits*, vol 30, pp 819-822, July 1995.
- [6] Vincenzo Peluso and Willy Sansen, "A 900mV 40uW switched opamp Delta Sigma Modulator with 77dB Dynamic Range", *ISSCC98*, pp. 68-69, Feb., 1998.
- [7] D. Jons and K. Martin, *Analog Integrated Circuit Design*, J. Wiley, 1997.
- [8] D. Senderowicz, G. Nicollini, S. Pernici, A. Nagari, P. Confalonieri, and C. Dallavale, "Low-voltage double-sampled  $\Sigma\Delta$ converters," *IEEE J. Solid-State Circuits*, vol. 32, pp. 1907 - 1919, Dec. 1997.
- [9] L. Dorrer, F. Kuttner, A. Santner, C. Kropf, T. Hartig, P. Torta, and P. Greco, "A 2.2mW, continuous-time sigma-delta ADC for voice coding with 95 dB dynamic range in a 65 nm CMOS process," in *Proc. European Solid-State Circuits Conf. (ESSCIRC)*, 2006, pp. 195 - 198.
- [10] J. Goes, B. Vaz, R. Monteiro, and N. Paulino, "A 0.9 V delta sigma modulator with 80 dB SNDR and 83 dB DR using a single-phase technique," in *Proc. ISSCC*, Feb. 2006, pp. 74 - 75.
- [11] K.-P. Pun, S. Chatterjee, and P. Kinget, "A 0.5-V 74-dB SNDR 25-kHz continuous-time delta-sigma modulator with a return-to-open DAC," *IEEE J. Solid-State Circuits*, vol. 42, no. 3, pp. 496 - 507, Mar. 2007.

**이 한 울 (Han-Ul Lee)**



2011년 2월 인하대학교 전자공학과 학사 졸업  
 2011년 2월~현재 인하대학교 전자공학과 석사과정  
 <관심분야> 아날로그 VLSI 설계 Analog-Digital converter 설계

**시 대 (Shi Dai)**



2011년 2월 인하대학교 전자공학과 학사 졸업  
 2011년 2월~현재 인하대학교 전자공학과 석사과정  
 <관심분야> 아날로그 VLSI 설계

**유 태 경 (Tai-Kyung Yoo)**



2008년 2월 단국대학교 전자공학과 학사 졸업  
 2012년 2월 인하대학교 전자공학과 석사 졸업  
 <관심분야> 아날로그 VLSI 설계, DC-DC converter 설계

**이 건 (Keon Lee)**



2011년 2월 인하대학교 전자공학과 학사 졸업  
 2011년 2월~현재 인하대학교 전자공학과 석사과정  
 <관심분야> 아날로그 VLSI 설계, DC-DC converter 설계

**윤 광 섭 (Kwang-Sub Yoon)**



1982년 인하대학교 전자공학과 학사 졸업  
 1983년 Georgia Institute Inc, Technology 전자공학과 석사 졸업  
 1989년 Georgia Institute Inc. Technology 전자공학과 박사 졸업

1984년 3월~1989년 2월 Georgia Institute of Technology Research Assistant  
 1989년 3월~1992년 2월 Silicon Systems Inc, Tustin Calif. U.S.A Senior Design Engineer  
 1992년 3월~현재 인하대학교 전자공학과 교수  
 <관심분야> 혼성신호처리 집적회로 설계, 설계 자동화 및 소자/회로/시스템 모델링 등

이 상 민 (Sang-Min Lee)



1987년 인하대학교 전자공학과  
학사 졸업

1989년 인하대학교 전자공학과  
석사 졸업

2000년 인하대학교 전자공학과  
박사 졸업

2006년 9월~현재 인하대학교

전자공학과 부교수

<관심분야> Bio-Signal Processing, Psyc-Acoustic,  
Brain-Machine Interface