
배전압 회로를 적용한 변형된 Charge Pump 기반 전압 증배기 설계

여협구*

Design of Voltage Multiplier based on Charge Pump using Modified
Voltage Doubler Circuit

Hyeopgoo Yeo*

이 논문은 한신대학교 연구비를 지원받았음

요 약

본 논문에서는 기존의 Dickson's charge pump에 개선된 배전압 회로를 조합하여 구성된 고전압 출력에 용이한 전압 증배기 회로를 소개한다. 기존의 charge pump로 얻어진 전압을 승압에 다시 사용하는 구조로 배전압기를 응용하여 전압 증배를 가속화 하면서도 DMOS의 구조적 신뢰성을 저하하지 않도록 회로 구조를 제안하였다. 제안된 전압 증배기는 3V 입력 전원의 6단 회로 구성으로 약 33V의 출력을 내며 6단 이상의 구성으로 고전압 증배도 가능하다. 제안된 회로의 성능을 평가하기 위해 Magna DMOS 공정을 이용하여 시뮬레이션 하였으며 이론적인 증배와 일치함을 보였어 최소한의 소자 사용으로 고전압 전압 증배가 가능한 새로운 전압 증배기를 제시하였다.

ABSTRACT

This paper introduces a new DC-DC voltage multiplier using a Dickson's charge pump and a modified voltage doubler. The voltage obtained from a conventional Dickson's charge pump was reused for accelerating the voltage multiplication and the architecture of the proposed voltage multiplier would not decrease the device reliability of DMOS. The proposed 6-stage voltage multiplier generates about 33V with 3V voltage source. To evaluate the proposed voltage multiplier, simulations were performed with Magna DMOS technology. The simulated voltage multiplication agrees well with a theoretical value, therefore, this paper introduces a new fast voltage multiplier with minimum devices.

키워드

전압 증배기, Dickson's charge pump, 배전압 회로, DMOS

Key word

Voltage Multiplier, Dickson's charge pump, voltage doubler, DMOS

* 정회원 : 한신대학교 정보통신학부(hgyeo@hs.ac.kr)

접수일자 : 2012. 06. 05

심사완료일자 : 2012. 07. 20

I. 서 론

최근 모바일 시스템 급속한 발전은 실로 우리 생활 전반의 급속한 변화에 기여하고 있다. 반도체 제조기술의 발전으로 가능해진 시스템의 소형화로 고성능의 프로세서나 고용량의 메모리나 하나의 칩으로 구현되었다. 또한 모바일 시스템의 물리적인 크기 뿐 아니라 저전압, 전력력 모바일 시스템의 요구로 시스템의 전압은 낮아지고 있고 회로 기술의 발전으로 인하여 이러한 고성능, 저소비전력의 모바일 시스템의 진화를 가속화하고 있다.

모바일 시스템의 저장 매체로 주로 사용되고 있는 플래쉬 메모리와 같은 비휘발성 메모리 사용 또한 증가하고 있는데, 이러한 비휘발성 메모리의 프로그래밍을 위해서는 20V 이상의 높은 전압을 필요로 하기도 한다. 따라서 낮은 단일 전압을 사용하는 모바일 시스템에서는 고전압을 얻기 위해서는 시스템 내부에 낮은 전압에서 고전압을 발생시키는 승압회로가 필요하게 된다.

그림 1은 기존의 Dickson's charge pump의 구조로 승압 회로 중 가장 일반적으로 사용하는 회로이다[1]. 다이오드 또는 다이오드로 연결된 MOS 회로와 캐패시터로 구성되는데 클럭 신호와 위상이 반대인 클럭바 신호를 발생하여 홀수 stage의 캐패시터에는 터치패널을 통과시킨 클럭 신호를 입력시키고 짝수 stage에는 위상이 반대인 클럭바 신호를 입력한다. 다이오드에 의하여 각 단의 전하는 한 방향으로만 전달되고 전하가 출력 캐패시터에 쌓여 전압을 발생시키는 구조이다. 이때 charge pump 단수에 따른 전압은 $(N+1)V_{DD} - NV_{TH}$ 과 $(N+1)(V_{DD} - V_{TH})$ 사이를 스윙하게 되며 최종적으로 출력되는 전압은 식(1) 접근하게 된다[1][2].

$$(N+1)V_{DD} - NV_{TH} \quad (1)$$

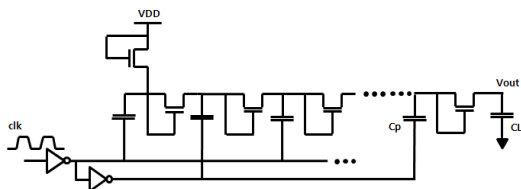


그림 1. Dickson's charge pump 회로 구조
Fig. 1 Dickson's charge pump circuit

본 논문에서는 점점 낮아지는 구동 전압에서도 효율적으로 높은 전압을 발생시킬 수 있는 전압 증배 회로를 소개하고 그 성능을 검증한다. 제안된 전압 증배 회로는 기존의 charge pump 회로에 배전압 회로를 응용하여 구현함으로써 적은 charge pump 단수로 고전압 전압 증배가 가능하도록 하였다.

본 논문에서는 고전압 증배회로 검증 및 성능을 평가하기 위해 EDMOS 기술로 회로를 구현하였고 Cadence Spectre로 시뮬레이션을 수행하여 고전압 증배 회로의 특성을 기존의 Dickson's charge pump 회로의 특성과 비교하였다.

II. 전압 증배 회로

그림 2는 본 논문에서 제안하는 배전압 회로를 응용한 고속 승압 회로이다. 7단으로 구성된 고전압 증배회로 구조로 전체적으로는 Dickson's charge pump를 기본 형태로 하며, 처음 2, 3 단에서 증폭된 신호를 이용하여 4단 이상의 상위단을 전압 증배하는 펌핑 신호로 사용하는 구조인데 이는 그림 3(a)에서 나타난 배전압 회로를 다이오드 스위치 형태로 변형한 것이다. 처음 3단은 그림 1에 나타낸 기존의 Dickson's charge pump 회로와 동일한 회로로 증배 효과 또한 동일하다. 4단 이후부터는 증폭된 신호를 이용하는 변형된 배전압 회로를 구성하여 신호를 전달하는 구조로 고속의 전압 증배가 가능하도록 구성되어 있다. 따라서, 제안된 전압 증배 회로는 기존의 charge pump에서 증배된 전압을 다시 이용하여 전하를 상위 단으로 전달하는 방식으로 충전된 전하를 반복적으로 이용하여 효과적으로 전압 증배가 가능하도록 한 구조이다. 6단 이후의 배전압 회로 구성은 여러가지 형태로 구성할 수 있으나 본 논문에서는 하위단을 구성한 형태를 반복 구성하는 구조로 설계하였다. 즉, NDMOS 게이트 신호를 제어하는데 있어 이미 증배된 신호 전압을 이용할 수도 있지만 NDMOS의 소스가 접지에 연결된 형태로 이를 스위치로 동작시키는데 굳이 높은 전압이 필요 없기 때문에 그림 3 또는 그림 4의 SW2에 해당되는 NDMOS의 게이트 제어 신호로 하위 단 구성과 같은 구조인 시스템 클럭신호를 이용하는 구조이다. 결과적으로, 기존의 charge pump 회

로와 배전압 회로를 조합하여 고전압 증배가 이루어지도록 하였다.

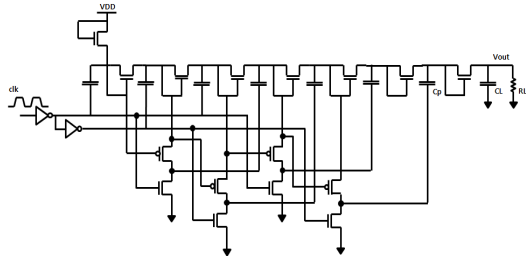


그림 2. 제안된 고전압 전압 증배 회로 7단 회로 구조
Fig. 2 The proposed high voltage multiplier circuit with 7-stage charge pump

제안된 회로의 동작 특성을 배전압 회로 동작을 통하여 살펴보기 위해 배전압 회로 구성을 그림 3에 나타내었다. 그림 3(a)은 스위치로 구성된 이상적인 배전압 회로를 보여주고 있다[3]. 그림 3(a)에서 보듯이 입력전압을 배로 증폭시키기 위해 4개의 스위치가 필요하며 각각의 스위치는 제안된 회로에서의 MOS 스위치 및 MOS로 구성된 다이오드에 해당된다. SW2, SW3가 연결된 상태에서 SW2, SW3를 끊고 SW1, SW4가 연결되면 CL를 VIN에 두 배에 해당하는 전압이 전달되게 된다. 이러한 배전압 회로를 이용하여 캐스캐이드 형태로 연결되면 높은 전압을 빠르게 얻을 수 있고 이론적으로는 입력 전압의 2^N 에 해당하는 전압을 얻을 수 있다[2]. 그러나 이러한 전압을 얻기 위해서는 스위치가 이상적으로 동작해야 하기 때문에 MOS 스위치를 사용하는 경우에 있어서는 그 구현이 용이하지 않다. 다이오드 형태의 스위치를 구현하여 회로 구성을 하는 것이 용이한데, 그림 3(b)는 다이오드로 구성된 배전압 회로로 SW2를 제외한 스위치를 다이오드로 구현한 회로이다. 그러나 이러한 회로는 배전압 동작상에 문제가 발생하게 된다. 즉, SW1이 다이오드로 구현되어 있기 때문에 SW2가 접지로 연결되어 C1에 충전하는 경우 VIN의 높은 전압이 다이오드로 구현된 SW1을 통해 들어오기 때문에 대략 $V_{IN}/2$ 전압이 C1 단자에 걸리게 되고 결과적으로 C1 양단간에 원하는 충분한 전압이 걸리지 않게 되어 배전압에 문제가 발생하게 된다. 이를 해결하기 위해서 SW1의 구조를 다이오드 형태에서 스위치의 형태로 바꾸어야 한다. 이렇게 SW1을 다이오드 형태로

바꾼 구조가 Two-Phase Voltage Doubler(TPVD) 형태의 구조 중에 논문 [4]에서 소개된 회로와 유사한 구조를 가지게 된다.

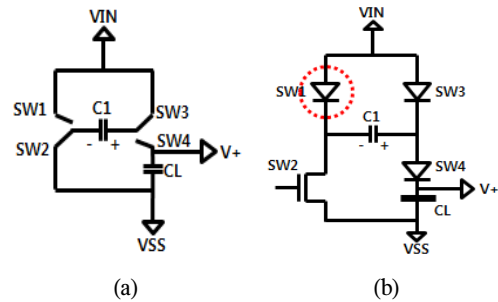


그림 3. 배전압 회로 구조 (a)이상적인 스위치로 구성된 배전압 회로, (b)다이오드로 구성된 배전압 회로
Fig. 3 The structure of the voltage multipliers (a) with ideal switches (b) with diode switches

본 논문에서 제안된 회로에서 그림 4와 같이 SW1으로 사용되고 있는 PDMOS가 스위치로서 동작하기 위해서는 PMOS의 소스를 통하여 공급되는 전압보다 높거나 그에 상응하는 전압이 PMOS의 게이트에 가해져야 SW1이 스위치로서 동작을 하게 되고 SW1으로 유입되는 전압을 V2를 효과적으로 차단하여 C- 단자가 SW2에 의하여 접지 전압으로 강하될 수 있도록 해야한다. 따라서, SW1로 사용되는 PMOS는 기존의 charge pump 구조의 회로에서 한 단 아래에서 생성된 신호를 이용하여 PMOS의 게이트를 컨트롤 하도록 하였다. 따라서 게이트 전압이 V2에 비하여 threshold voltage (V_t) 만큼 높은 상태를 유지하여 SW1을 끄고 효과적으로 신호를 차단하게 하여 C1 단자가 접지 전압으로 강하할 수 있도록 동작한다. 또한, SW1을 동작시켜 전하를 캐패시터에 충전하는 구간에서는 SW2가 차단됨과 동시에 전압이 V2쪽으로 유입된다. 이때 SW1에 PDMOS 게이트는 기존 전압에서 클럭 스윙 전압(여기서는 V_{DD})만큼 강하하여 SW1이 스위치로서 동작하는 데 문제가 없도록 한다. 그러나, 이와 같은 동작을 시키는 증배회로는 소자의 신뢰성 문제를 야기하게 된다. 즉, MOS 소자의 게이트 소스 또는 드레인간 전압에 과부하가 걸리게 되어 MOS의 물리적인 신뢰성에 영향을 주게 되고 결국 소자가 정상적으로 동작하지 못하게 된다. 따라서, 제안된 회로에서는 높은 Vgd에서도 소자의 신뢰성을 해

치지 않는 소자가 필요하며 높은 게이트-드레인간의 전압에서도 소자의 신뢰성을 확보할 수 있는 DMOS를 사용하였다. 본 논문에서 사용된 MOS 스위치 또는 다이오드는 모두 DMOS 공정을 이용한 소자를 이용하였고, 게이트, 드레인간을 제외한 노드에 높은 전압이 걸리지 않도록 구현하여 소자의 신뢰성에 문제가 없도록 회로 설계를 하였다.

그림 4에서 보듯이 제안된 전압 증배기는 Dickson's charge pump를 기반으로 회로에 배전압 회로의 스위치를 구현하여 최소의 단 구성으로 높은 전압출력이 되도록 설계하였는데 SW4의 경우 기존의 배전압 회로와는 달리 바로 다음 단계 전하를 전달하는 구조가 아니라 한단 건너 전하를 전달하는 구조를 가지고 있다. 그 이유는 기존의 charge pump에서 전하를 전달하는 과정에서 흡수 단과 짝수 단의 전하를 교대로 교차하여 전하의 유실이 없도록 전하 전달을 하는데 제안된 회로에서도 반대 위상의 신호가 흡수 단과 짝수 단에 동기 되게 동작시킴으로써 전하 유실을 방지하도록 설계하였기 때문이다.

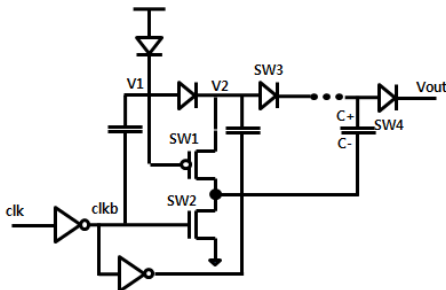


그림 4. 제안된 증배회로의 배전압 응용 회로
Fig. 4 The proposed voltage multiplier based on voltage doubler

제안된 회로는 처음 3단의 출력은 Dickson's charge pump에 의한 출력식과 동일하므로 식(1)에 의하여 3단까지는 $(N+1)V_{DD} - NV_{TH}$ 을 따르게 된다. 4단 부터는 charge pump에 의해 키워진 전압을 입력받아 다시 charge pump 회로를 증배시키는 구조로 V1이 $V_{DD}-V_{TH}$ 상태에서 clkb 신호가 high로 트리거되면 V1은 $2V_{DD}-V_{TH}$ 로 전압이 상승하고 다이오드를 통하여 V2 노드에 전달되게 되는데, 이때 SW1 PDMOS 게이트에 가해지는 신호는 V1과 같은 전압으로 V2에 전해지는 전압보다 V_{TH} 만큼 높기 때문에 SW1이 차단되게 되어 V2 노드

에 전하가 온전히 충전된다. 동시에 clkb에 연결된 SW2 NDMOS의 게이트 전압은 high 상태로 NDMOS가 동작하여 접지에 연결된다. 이후 clk 신호가 high 상태로 천이하게 되면 SW1의 PDMOS 게이트 전압이 다시 $V_{DD}-V_{TH}$ 가 되어 V2보다 낮아지게 되어 SW1이 동작하며 이때 C- 단자로 충전되고 한단 건너 SW4 입력 단으로 전하가 전달되게 된다.

4단 이후의 전하 충전은 위에서 설명한 바와 같은 방식으로 이루어지게 된다. 두 단 하위 단계에서 얻어진 전압을 상위 단계에서 또 다시 이용하게 되고 이러한 동작으로 쌓인 전압을 계속해서 재사용하는 형태가 된다. 따라서 N 단으로 구성된 회로에서 최종적으로 얻어지는 출력 단수 N의 제곱 형태로 전압이 생성됨을 유추해볼 수 있다.

제안된 전압 증배 회로는 앞서 설명하였듯이 그림 2(a)와 같이 첫 단부터 배전압 회로를 응용 하는 것이 아니라 두 번째 단부터 적용되기 때문에 첫 단계에서 생성된 전압은 상수 형태로 기여하게 된다. 두 번째 단부터 배전압 응용이 시작되므로 증배회로의 단수는 실제 회로의 단수보다 한 단수 낮게 된다. 또한, 배전압 회로에 의한 신호는 두 단수 아래서 생성된 신호가 charge pump 단의 클럭 신호로 작용하기 때문에 $(N-1)*(N-3)$ 에 비례하는 형태로 출력전압이 생성됨을 유추할 수 있다. 제안된 전압 증배 회로에서의 최종 출력전압은 조금 복잡한 형태로 표현되는데 위와 같은 접근방법으로 출력전압을 구하면 5단 이후부터는 근사적으로 식(3)과 같이 정리될 수 있다. 단, $N \geq 5$ 이다.

$$2V_{DD} - V_{TH} + (N-1)(N-3)(V_{DD} - V_{TH}) \quad (2)$$

3단까지는 기존의 charge pump와 동일한 형태이므로 출력전압은 식(1)을 따른다. 4단의 전압은 증배회로에서 온 신호가 1개 밖에 없으므로 단순히 증배회로 신호에 의한 펌핑 전압을 더하면 된다. 3단까지의 전압에서 2단에서 얻어진 전압으로 증배를 하므로 식(3)과 같이 구할 수 있다.

$$4V_{DD} - 3V_{TH} + (2V_{DD} - V_{TH}) = 6V_{DD} - 4V_{TH} \quad (3)$$

위에서 언급하였듯이 제안된 전압 증배 회로는 기존의 Dickson's charge pump에서 얻을 수 있는 단수의 증가에 따른 단순한 선형적 전압 증가로 출력 전압이 얻어지

는 것이 아니라, 단수 증가에 따른 제곱 형태의 전압 증배 효과로 최소한의 단수로 높은 출력전압을 얻을 수 있음을 알 수 있다.

III. 시뮬레이션

제안된 고전압 전압 증배회로를 검증하기 위해 두 Magna EDMOS 공정을 사용하여 제안된 회로와 기존의 Dickson's charge pump를 구현하였다. 제안된 전압 증배회로의 전압 증배식을 유도하였고 시뮬레이션 결과와 비교하여 근사적으로 일치함을 알 수 있었다. 또한 시뮬레이션으로 제안된 증배회로와 기존의 charge pump의 성능을 비교, 평가하였다.

시뮬레이션 조건으로 1MHz 클럭 신호를 이용하였고 각단에 전하 전달 캐패시터 C_p 는 500pF 부하 캐패시터 CL 은 1nF로 고정하였다. 제안된 전압 증배 회로와 기존의 charge pump가 단수에 따른 출력 전압이 많은 차이를 보이기 때문에 본 논문에서는 부하 RL 에 의해 회로에 미치는 영향을 최소화하기 위하여 100MΩ으로 비교적 높은 저항으로 고정하였다.

그림 5는 charge pump 단수 증가에 따른 기존의 charge pump와 제안된 전압 증배 회로의 출력 전압을 나타내고 있다. 제안된 증배회로에서 3단까지는 기존의 charge pump와 동일한 구조를 가지기 때문에 4단부터 비교를 하였다. 기존의 charge pump는 식(1)과 같이 단수 증가에 따른 출력전압의 증가가 선형적임을 알 수 있는데, 그림 5에서 보듯이 8단으로 얻을 수 있는 $V_{DD}=3V$ 기준으로 대략 21V이다. $V_{TH}=0.75V$ 로 식(1)을 적용하였을 때 시뮬레이션 결과와 일치하는 것을 알 수 있다.

제안된 전압 증배 회로의 경우 그림 4에서 볼 수 있듯이 제안된 전압 증배 회로의 출력전압은 단수의 제곱에 비례하는 형태로 증가됨을 볼 수 있다. 제안된 전압 증배회로의 증배는 대략 식(2)에 따른다. 따라서, 제안된 회로의 8단 출력전압은 $V_{DD}=3V$, $V_{TH}=0.75V$ 로 가정하였을 때 대략 84V로 시뮬레이션으로 얻은 결과와 근사적으로 일치함을 알 수 있다. 9단의 경우 약 120V 이상의 고전압 출력도 가능함을 알 수 있다.

만약, $V_{DD}=1.2V$, $V_{TH}=0.4V$ 를 가지는 저전압 공정에 적용되었다고 가정하면 7단으로 약 21.2V로 기존의 charge pump로 구현되었을 때의 전압 약 6.8V 전압 출력

에 비하여 약 3배 이상의 출력전압을 얻을 수 있다. 9단으로 얻을 수 있는 출력 전압은 제안된 증배회로가 대략 40V로 기존의 charge pump 회로로 구성하였을 때 49단으로 구성하여야 얻을 수 있는 출력 전압을 가지게 된다.

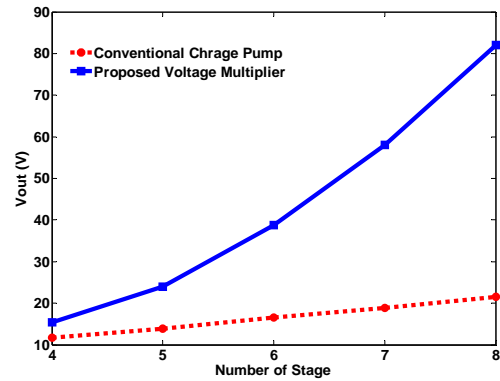


그림 5. 기존의 charge pump 회로와 제안된 전압 증배기 회로의 단수 증가에 따른 전압 증배 특성 비교
Fig. 5 The comparison of the voltage multiplications characteristics with various stages between the conventional charge pump multiplier and the proposed voltage multiplier.

그림 6은 6단을 기준으로 구현한 기존의 charge pump 회로와 제안된 전압 증배 회로의 V_{DD} 전압에 따른 출력 전압을 비교하였다.

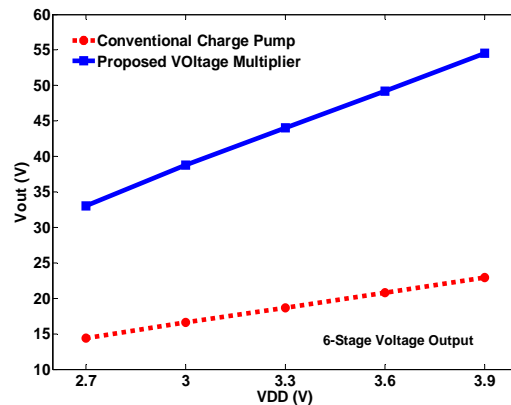


그림 6. 기존의 charge pump 회로와 제안된 전압 증배기 회로의 V_{DD} 증가에 따른 전압 증배 특성 비교
Fig. 6 The comparison of the voltage multiplications characteristics with various V_{DD} between the conventional charge pump and the proposed voltage multiplier.

두 회로 모두 V_{DD} 전압에 따른 선형적 출력을 보였으나 그 기울기에 있어서는 제안된 증배회로가 2배 이상 높음을 보였으며, 이는 각각 식(1), 식(2)에 잘 부합함을 알 수 있었다.

V. 결 론

본 논문에서는 기존의 charge pump 회로에 배전압 회로를 응용한 고전압 전압 증배 회로를 구현하여 그 성능을 평가하였다. 회로의 소자 신뢰성을 확보하기 위하여 DMOS 소자로 회로를 구성하여 V_{gd} 가 높은 전압에서 견딜 수 있도록 하였다. NDMOS와 PDMOS 스위치를 동시에 사용함으로써 전압의 손실없이 배전압 효과를 극대화 하였고 소자의 신뢰성을 확보하면서도 단 수의 제곱 형태의 증배가 가능하도록 회로를 구현하였다.

또한, 제안된 증배회로에 대한 출력 전압의 식을 도출하고 그 결과가 시뮬레이션 결과와 일치하는지 분석하였다. 제안된 회로의 기능을 확인하고 기존의 charge pump와 비교 평가하여 검증하기 위해 Magna EDMOS 공정을 이용하였다. 시뮬레이션 결과 기존의 Dickson's charge pump에 비하여 $V_{DD}=3V$, 6단을 기준으로 하여 2배 이상의 전압 증배 효과를 볼 수 있었으며 이는 단 수가 증가할수록 더욱 급격한 차이를 보이며 기존의 charge pump가 단수에 대해 선형적 증가를 하는 반면 제안된 증배 회로는 단수의 제곱 형태로 증가함을 알 수 있었다. 제안된 회로는 최소한의 단 수로 높은 전압을 출력하므로 저전압 단일 칩에서 높은 전압을 필요로 할 때 효과적이며 50V 이상의 고전압이 필요한 응용에서 매우 유용할 것으로 기대된다.

본 논문에서는 출력 전압에 대한 특성만을 비교 평가하였으나 제안된 증배 회로의 부하효과 및 전력 효율의 보다 자세한 성능 분석을 통하여 제안된 회로의 분석이 또한 필요할 것으로 본다.

참고문헌

- [1] J.F. Dickson, "On-Chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique," IEEE J. Solid-State Circuits, vol. SC-11, pp. 374-378, June 1976.
- [2] R. J. Baker, *CMOS Circuit Design, Layout, and Simulation*, 3rd ed., Wiley-IEEE Press, 2010
- [3] J.A. Starzyk et. al, "A DC-DC Charge Pump Design Based on Voltage Doubler," IEEE Trans. Circuits Syst. I, vol. 48, no. 3, pp. 350-359, March 2001.
- [4] R. Casanova, et al., "Design of a Step-up 400mW@40V Charge-Pump for Microrobotics Applications in a 100V-0.7 μ m Intelligent Interface Technology," IEEE International Symposium on Industrial Electronics, vol. 2, pp. 1227-1229, May 2004.

저자소개

여협구(Hyeopgoo Yeo)



1991년 연세대학교 전자공학과 공학사
 1993년 연세대학교 전자공학과 공학석사

1993년~1999년 삼성전자(주) 연구원
 2007년 University of Florida 전기공학 공학박사
 2008년~2009년 삼성전자(주) 수석연구원
 2009년~현재 한신대학교 정보통신학부 조교수
 ※ 관심분야: RFIC, 혼성회로설계, 초고속 데이터링크

감사의 글

본 연구는 한신대학교 연구비 지원에 의하여 이루어진 연구임.