

---

# Post-Package 프로그램이 가능한 eFuse OTP 메모리 설계

김려연\* · 장지혜\* · 김재철\*\* · 하판봉\* · 김영희\*

Design of eFuse OTP Memory Programmable in the Post-Package State for PMICs

Liyan Jin\* · Ji-Hye Jang\* · Jae-Chul Kim\*\* · Pan-Bong Ha\* · Young-Hee Kim\*

---

This work was supported by Industrial Strategic Technology Development Program funded by the Ministry of Knowledge Economy (MKE, Korea) (10039239, "Development of Power Management System SoC Supporting Multi-Battery-Cells and Multi-Energy- Sources for Smart Phones and Smart Devices"). And this work was supported by IC Design Education Center(IDECE).

---

## 요 약

본 논문에서는 단일전원을 사용하는 PMIC 칩이 패키지 상태에서 eFuse OTP 메모리를 프로그램 가능하도록 스위칭 전류가 작은 FSOURCE 회로를 제안하였다. 제안된 FSOURCE 회로는 non-overlapped clock을 사용하여 short-circuit current를 제거하였으며, 구동 트랜지스터의 ON되는 기울기를 줄여 최대 전류를 줄였다. 그리고 power-on reset 모드동안 eFuse OTP의 출력 데이터를 임의의 데이터로 초기화시키는 DOUT 버퍼 회로를 제안하였다. 0.35 $\mu\text{m}$  BCD 공정을 이용하여 설계된 24비트 differential paired eFuse OTP 메모리의 레이아웃 면적은 381.575 $\mu\text{m} \times$  354.375 $\mu\text{m}$ (=0.135mm<sup>2</sup>)이다.

## ABSTRACT

In this paper, we propose a FSOURCE circuit which requires such a small switching current that an eFuse OTP memory can be programmed in the post-package state of the PMIC chips using a single power supply. The proposed FSOURCE circuit removes its short-circuit current by using a non-overlapped clock and reduces its maximum current by reducing the turned-on slope of its driving transistor. Also, we propose a DOUT buffer circuit initializing the output data of the eFuse OTP memory with arbitrary data during the power-on reset mode. We design a 24-bit differential paired eFuse OTP memory which uses Magnachip's 0.35 $\mu\text{m}$  BCD process, and the layout size is 381.575 $\mu\text{m} \times$  354.375 $\mu\text{m}$  (=0.135mm<sup>2</sup>).

## 키워드

전력 관리 집적 회로, 이퓨즈, 오티피, 포스트 패키지, 파워 온 리셋

## Key words

PMIC, eFuse, OTP, Post-package, Power-on reset

---

\* 정회원 : 창원대학교  
\*\* 종신회원 : 구미대학교

접수일자 : 2012. 06. 11  
심사완료일자 : 2012. 06. 29

## I. 서 론

PMIC(power management IC)는 아날로그 트리밍 기능을 수행하기 위해 추가 공정이 필요 없는 로직 공정 기반 설계가 가능한 eFuse OTP(electrical Fuse One-Time Programmable) 메모리를 필요로 한다[1][2]. 내장되는 eFuse OTP 메모리 용량은 수 백 Kb 이하가 요구된다. eFuse OTP 메모리는 eFuse에 수 십 mA의 과전류를 흘려 blowing하여 프로그램 한다[3][4].

기존의 eFuse OTP 메모리를 프로그램하는 방법은 듀얼 전원인 VDD와 VIO(IO Voltage)를 이용하여 eFuse의 양극(anode)에 연결된 SL(Source Line)으로 VIO 전압이 공급되어 과전류가 eFuse를 통해 흐르면서 프로그램하는 것이다[5]. 그리고 또 다른 방법은 단일전원인 VDD만 사용하는 경우 프로그램 모드에서 프로그램 데이터는 프로그램 트랜지스터의 게이트에 공급되고, 외부 전압인 FSOURCE를 통해 프로그램 전압을 공급하여 eFuse를 blowing하는 것이다[6]. 이때 FSOURCE 전압은 읽기 모드에서 0V 또는 플로팅 상태를 유지한다. 웨이퍼 상태에서 FSOURCE 전압을 이용하여 프로그램하는 방법은 추가적인 FSOURCE pad가 필요하므로 레이아웃 면적이 증가하고 웨이퍼 테스트 비용이 증가하는 단점이 있다. 그리고 PMIC 회로가 패키징된 뒤 전기적 특성의 변화가 일어날 수도 있다. 그래서 패키지 상태에서 프로그램이 가능한 eFuse OTP 설계가 요구된다.

본 논문에서는 단일 전원인 VDD를 사용하는 PMIC 칩을 패키지 상태에서 eFuse OTP 메모리를 프로그램하는 기술을 제안하였다. 패키지 상태에서 eFuse OTP를 프로그램하기 위해서 스위칭 전원인 스위칭 전류로 인한 I·R 전압 강하(voltage drop)가 작은 FSOURCE 회로를 새롭게 제안하였다. FSOURCE 회로의 스위칭 트랜지스터인 PMOS와 NMOS 트랜지스터가 동시에 ON되면서 발생하는 short-circuit 전류를 제거하기 위해 non-overlapped clock을 사용하였으며, 구동 트랜지스터의 ON되는 기울기(slope)를 완만하게 하여 최대 전류(peak current)를 줄였다. 그리고 본 논문에서는 power-on reset 모드에서 OTP 메모리의 출력 데이터를 임의의 데이터인 '0' 또는 '1'로 초기화시키는 DOUT 버퍼회로를 제안하였다. 0.35 $\mu$ m BCD 공정을 이용하여

post-package 프로그램이 가능한 24비트 differential paired eFuse OTP 메모리를 설계하였다.

## II. 회로설계

0.35 $\mu$ m BCD 공정을 이용하여 설계한 24비트 differential paired eFuse OTP 메모리의 주요 특징은 표 1과 같다. 셀 어레이는 1행  $\times$  24열로 구성되어 있다. eFuse OTP 셀은 프로그램된 eFuse link의 센싱 저항이 작은 differential paired eFuse OTP 셀을 사용하였으며, eFuse 링크는 p-polysilicon을 사용하였다. 동작모드는 프로그램 모드, normal read 모드, test read 모드와 reset 모드가 있다. 그리고 eFuse OTP 메모리의 프로그램 비트와 read 비트는 각각 1비트, 24비트이다. 사용되는 전원은 VDD의 단일전원을 사용하였다. VDD 전압은 프로그램 모드인 경우 eFuse 링크에 충분한 프로그램 과위를 공급하기 위해 5.5V가 사용되며, 읽기 모드인 경우 2.0V~5.5V가 사용된다.

표 1. 24비트 differential paired eFuse OTP의 주요 특징  
Table. 1 Major specifications of a 24-bit differential paired eFuse OTP memory

Items	Main Features
Process	MC 0.35 $\mu$ m BCD Process
Cell Array Size	1R $\times$ 24C
eFuse Type	P-poly(Ti-silicide)
VDD	2V~5.5V
Temperature Range	-40 $^{\circ}$ C ~ 85 $^{\circ}$ C
Operating Mode	Program / Normal Read / Test Read / Reset
Program bit / Read bit	1bit / 24bit
Program Voltage	5.5V
Program Time	200 $\mu$ s

24비트 eFuse OTP 메모리 설계에 사용된 differential paired eFuse 셀은 그림 1에서 보는바와 같다. eFuse OTP 셀의 왼쪽 회로(eFuse1, MN1과 MN2)는 프로그램 데이

터를 저장하는 부분이고, 오른쪽 회로(eFuse2, MN3와 MN4)는 complementary 프로그램 데이터를 저장하는 부분이다. MN1과 MN3는 프로그램 트랜지스터이고, MN2와 MN4는 읽기용 트랜지스터이다. FSOURCE는 프로그램 모드에서는 5.5V의 프로그램 전압을 인가하여 과전류를 흘려주고, 나머지 동작 모드(normal read 모드, test read 모드와 reset 모드)에서는 0V를 구동해주는 스위칭 전원이다. Differential paired eFuse 셀의 프로그램 데이터가 '1'인 경우 PGM\_BL\_SEL와 PGM\_Blb\_SEL 신호는 각각 5.5V와 0V가 인가되어 eFuse1과 MN1 소자를 통해 과전류가 흐르면서 eFuse1이 blowing되는 반면, eFuse2는 MN2가 OFF 상태에 있으므로 blowing되지 않는다. 그리고 프로그램 데이터가 '0'인 경우 MN1은 OFF 상태이고 MN3가 ON 상태에 있으므로 eFuse2가 blowing된다. 읽기 모드 시 RWL 신호에 의해 MN2와 MN4 NMOS 트랜지스터가 선택되고 pull-up load에 의하여 BL과 Blb의 전압이 pull-up되면 DOUT 버퍼에서 BL과 Blb의 차동전압(differential voltage)을 센싱한다.

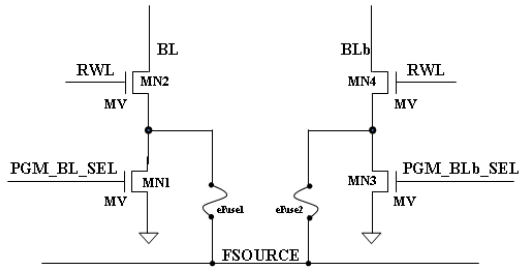


그림 1. Differential paired eFuse OTP 셀 회로도  
Fig. 1 Differential paired eFuse OTP memory cell circuit

BCD 공정을 이용하여 설계한 24b eFuse OTP 메모리의 블록도는 그림 2에서 보는 바와 같이 1행 × 24열의 OTP 셀 어레이, 제어 신호 (RD, PGM, TM\_EN)에 따라 동작 모드에 적합한 내부 제어신호를 공급하는 제어 로직, 어드레스 A[4:0]를 디코딩하여 프로그램되는 열(column)을 선택해주는 PGM\_BL\_SEL 회로, BL/Blb의 차동전압을 센싱하기 위한 DOUT 버퍼회로로 구성되어 있다. TM\_EN(Test Mode Enable) 신호는 functional screen test용 test read mode와 normal read mode를 구분해 주는 신호이다.

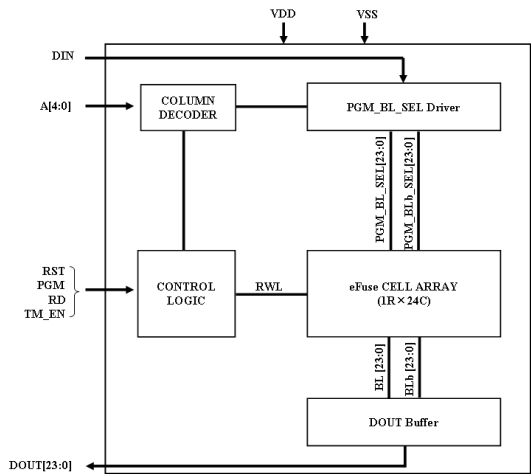


그림 2. 24비트 differential paired eFuse OTP 메모리의 블록도  
Fig. 2 Block diagram of a 24-bit differential paired eFuse OTP memory

프로그램 모드에서 그림 3의 PGM\_BL\_SEL 회로 출력인 PGM\_BL\_SEL와 PGM\_Blb\_SEL는 A[4:0]의 decoding에 의해 선택되지 않은 열의 경우 0V를 유지된다. 반면, 선택된 열인 경우 PGM\_BL\_SEL와 PGM\_Blb\_SEL는 DIN이 '0'인 경우에 0V와 VDD, DIN이 '1'인 경우에 VDD와 0V로 구동된다. 그리고 읽기 모드에서 PGMb\_COL 신호가 VDD를 유지하므로 PGM\_BL\_SEL[23:0]와 PGM\_Blb\_SEL[23:0] 신호는 모두 0V를 구동한다.

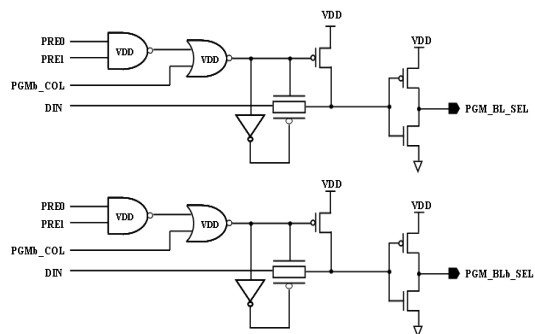


그림 3. PGM\_BL\_SEL 회로  
Fig. 3 PGM\_BL\_SEL circuit

그림 4의 DOUT 버퍼는 BL/BLb의 차동전압을 센싱하여 래치하는 S/A based D F/F 회로를 사용하였다. SAENb가 high인 구간동안 N1과 N2 node는 0V를 유지하며, SR 래치 회로는 이전 상태의 데이터를 래치한다. SAENb가 high에서 low로 활성화되면 BL/BLb 전압을 센싱하여 DOUT port로 출력한다. 그림 4(a)와 그림 4(b)는 power-on reset 모드에서 DOUT을 각각 '0'와 '1'로 reset 하는 회로이다.

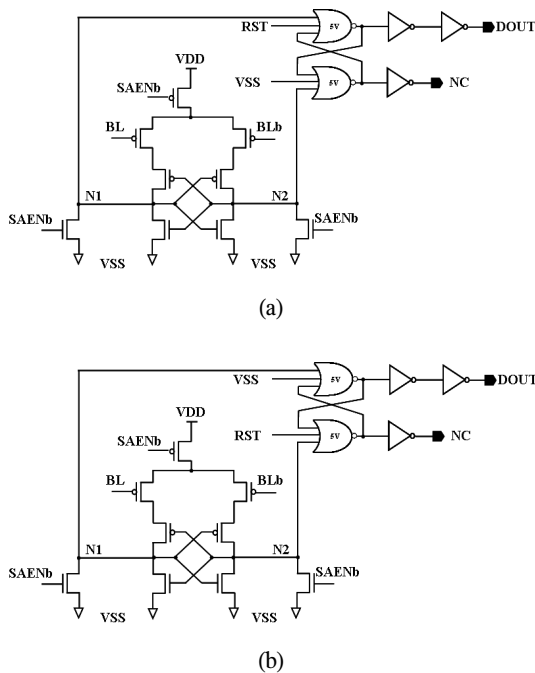


그림 4. DOUT 버퍼 (a) default '0'로 reset하는 회로 (b) default '1'로 reset하는 회로  
Fig. 4 DOUT buffer: (a) resetting circuit with a default '0' and (b) resetting circuit with a default '1'

웨이퍼 상태에서 FSOURCE 전압을 이용하여 웨이퍼 상태에서 프로그램하는 방법은 추가적인 FSOURCE pad가 필요하므로 레이아웃 면적이 증가하고 웨이퍼 테스트 비용이 증가하는 단점이 있다. 그리고 OTP 메모리를 이용하여 웨이퍼 상태에서 PMIC의 아날로그 회로를 트리밍한 뒤 패키징하면 아날로그 회로의 전기적인 특성 변화가 일어날 수도 있다. 그래서 본 논문에서는 패키지 상태에서 eFuse OTP를 프로그램이 가능하도록 스위칭 전원인 FSOURCE 회로를

새롭게 제안하였다. 단일전원인 VDD만 사용해서 eFuse OTP를 프로그램하는 경우 프로그램 모드에서 프로그램 데이터는 그림 1에서 보여지는 프로그램 트랜지스터(MN1과 MN2)의 게이트에 공급되고, 스위칭 전압인 FSOURCE를 통해 프로그램 전압을 공급하여 eFuse를 blowing하는 것이다. 그리고 FSOURCE 전압은 읽기 모드에서 0V를 유지한다.

프로그램 모드에서 VDD와 VSS metal line의 스위칭 전류로 인한 I·R 전압 강하를 줄이기 위해 non-overlapped clock을 사용하여 FSOURCE 회로의 스위칭 트랜지스터인 MP2와 MN2가 동시에 ON되어서 발생하는 short-circuit 전류를 제거하였으며, 스위칭 트랜지스터의 ON되는 기울기를 완만하게 하여 최대 전류를 줄였다.

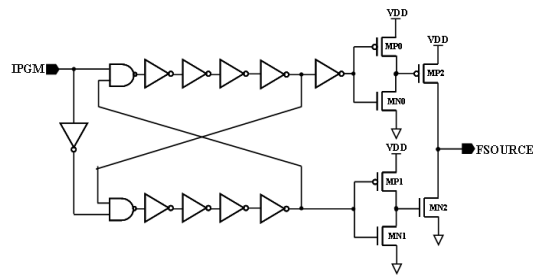


그림 5. FSOURCE 스위칭 회로  
Fig. 5 FSOURCE switching circuit

### III. 모의실험 결과

0.35 $\mu$ m BCD 공정 기반의 24비트 eFuse OTP 메모리를 설계하였다. 그림 6은 VDD=5.5V, typical model parameter, Temp=25 $^{\circ}$ C의 조건에서 프로그램 모드시 VDD와 VSS 전류에 대한 모의실험 결과이다. 그림 5의 FSOURCE 스위칭 회로를 사용하므로 최대 전류는 83.3mA로 eFuse link를 blowing시키기 위한 프로그램 전류인 73mA 수준으로 양호한 결과를 보이고 있다.

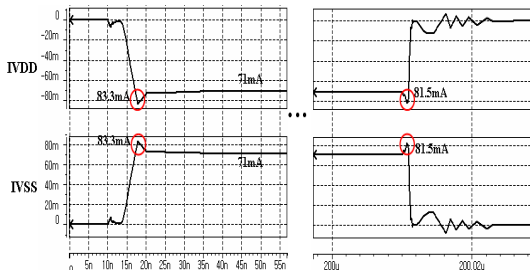


그림 6. 프로그램 모드에서 VDD와 VSS 전류에 대한 모의실험 결과  
 Fig. 6 Simulation result of VDD and VSS currents in the program mode

그림 7은 프로그램 모드에서 스위칭 전원인 FSOURCE가 선택되는 파형을 볼 수 있다. FSOURCE는 프로그램 모드에서는 5.5V, 나머지 동작 모드에서는 0V의 전압을 구동한다. 그림 8은 reset mode에서 DOUT을 '0' 또는 '1'로 reset되는 파형을 보여주고 있다.

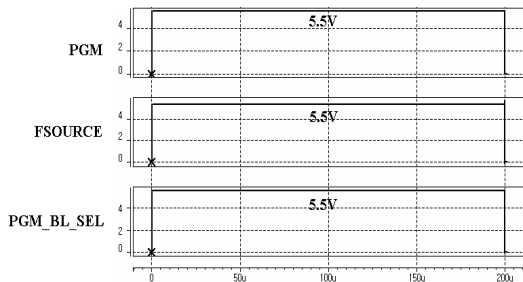


그림 7. 프로그램 모드에서 function simulation 결과  
 Fig. 7 Function simulation result in the program mode

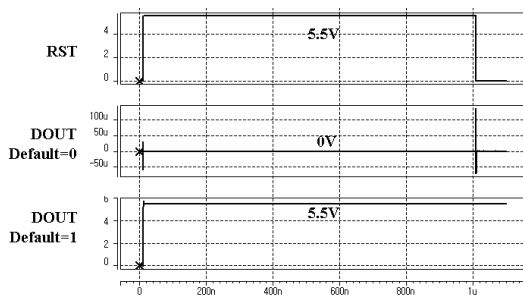


그림 8. Reset 모드에서 DOUT의 function simulation 결과  
 Fig. 8 Function simulation result of DOUT in the reset mode

0.35 $\mu$ m BCD 공정을 이용하여 post-package 프로그래밍이 가능한 24비트 differential paired eFuse OTP 메모리를 설계하였다. 그림 9는 설계된 24비트 differential paired eFuse OTP 메모리의 레이아웃 사진을 보여주고 있으며, 레이아웃 면적은 381.575 $\mu$ m  $\times$  354.375 $\mu$ m(=0.135mm<sup>2</sup>)이다.

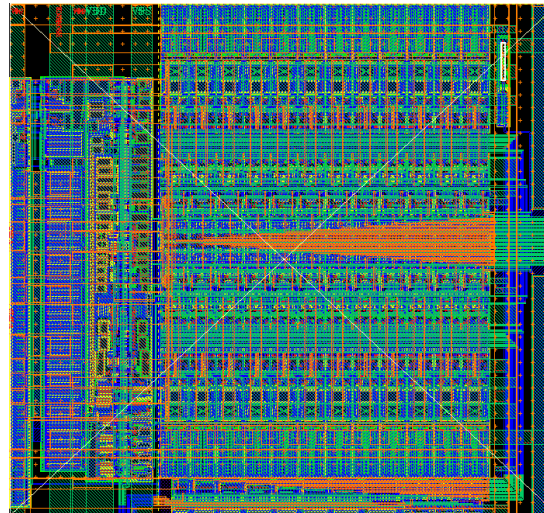


그림 9. 설계된 24비트 differential paired eFuse OTP 메모리의 레이아웃 이미지  
 Fig. 9 Layout image of the designed 24-bit differential paired eFuse OTP memory

## V. 결 론

본 논문에서는 단일 전원인 VDD를 사용하는 PMIC 칩을 패키지 상태에서 프로그래밍하는 eFuse OTP 메모리 기술을 제안하였다. 프로그램 모드에서 VDD와 VSS metal line의 스위칭 전류로 인한 I·R 전압 강하를 줄이기 위해 non-overlapped clock을 사용하여 FSOURCE 회로의 short-circuit 전류를 제거하였으며, 스위칭 트랜지스터의 ON되는 기술기를 완만하게 하여 최대 전류를 줄였다. 모의실험 결과 최대전류는 83.3mA로 eFuse link를 blowing시키기 위한 프로그램 전류인 73mA 수준으로 양호한 결과를 보이고 있다. 그리고 power-on reset 모드에서 OTP 메모리의 출력 데이터를 임의의 데이터인 '0' 또는 '1'로 초기화시키는 DOUT 버퍼회로를 제안하였

다. 0.35 $\mu$ m BCD 공정을 이용하여 post-package 프로그램이 가능한 24비트 differential paired eFuse OTP 메모리를 설계하였으며, 레이아웃 면적은 381.575 $\mu$ m  $\times$  354.375 $\mu$ m (=0.135mm<sup>2</sup>)이다.

### 감사의 글

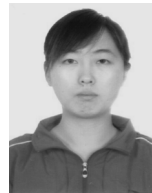
This work was supported by Industrial Strategic Technology Development Program funded by the Ministry of Knowledge Economy (MKE, Korea) (10039239, "Development of Power Management System SoC Supporting Multi-Battery-Cells and Multi-Energy- Sources for Smart Phones and Smart Devices"). And this work was supported by IC Design Education Center(IDECE).

### 참고문헌

- [1] H. K. Cha, I. H. Yun, J. B. Kim, B. C. So, K.H. Chun, I. K. Nam, and K. R. Lee, "A 32-KB standard CMOS antifuse one-time programmable ROM embedded in a 16-bit microcontroller", IEEE Journal of Solid-State Circuits, vol. 41, no. 9, Sep. 2006.
- [2] S. H. KULKARNI. "High-density 3-Dmetal-fuse PROM featuring 1.37 $\mu$ m<sup>2</sup> 1T1R bit cell in 32nm high-k metal-gate CMOS technology", Symposium on VLSI Circuits, USA: IEEE Press, pp. 28-29, Jun. 2009.
- [3] J. Fellner, P. Boesmueller, and H. Retter. "Lifetime study for a poly fuse in a 0.35  $\mu$ m polycide CMOS process", Proceedings of the 43rd IEEE Annual International Reliability Physics Symposium. San Jose, pp. 446-449, 2005.
- [4] C. Kpithandaraman, S. K. Iyer, and S. S. Iyer. "Electrically programmable fuse (eFuse) using electromigration in silicides", IEEE Electron Device Letters, vol. 23, no. 9, pp. 523-525, 2002.

- [5] 김정호 외, "저전력 OTP Memory IP 설계 및 측정", 한국해양정보통신학회논문지, vol. 14, no. 11, Nov. 2010.
- [6] Y. B. Park, I. H. Choi, D. H. Lee, L. Jin, J. H. Jang, P. B. Ha, Y. H. Kim, "Design of an eFuse OTP memory of 8 bits based on a 0.35 $\mu$ m BCD process", Proceeding of 2011 International Conference on Mobile-IT Convergence, pp. 137-139. Sep. 2011.

### 저자소개



김려연(Li-Yan Jin)

2007.7 연변대학교  
컴퓨터공학과 공학사  
2009.9 창원대학교 전자공학과  
석사과정

2009.9~현재 창원대학교 전자공학과 박사과정  
※관심분야: Non-Volatile memory 설계, High-Speed I/O Interface 설계



장지혜(Ji-Hye Jang)

2008.2 창원대학교  
전자공학과 공학사  
2008.3 창원대학교  
전자공학과 석사과정

2010.3~현재 창원대학교 전자공학과 박사과정  
※관심분야: Non-Volatile memory 설계, High-Speed I/O Interface 설계



김재철(Jae-Chul Kim)

1990.2 경북대학교  
전자공학과 공학사  
1992.2 경북대학교  
전자공학과 공학석사

2000.2 경북대학교 전자공학과 공학박사  
1997.3~현재 구미대학교 정보통신과 조교수  
※관심분야: 실시간영상처리, 디지털회로설계, ASIC 설계



**하판봉(Pan-Bong Ha)**

1981.2 부산대학교  
전기공학과 공학사  
1983.2 서울대학교  
전자공학과 공학석사

1993.2 서울대학교 전자공학과 공학박사  
1987.3~현재 창원대학교 전자공학과 교수  
※ 관심분야: 임베디드 시스템, SoC 설계



**김영희(Young-Hee Kim)**

1989.2 경북대학교  
전자공학과 공학사  
1997.2 포항공과대학교  
전자전기공학과 공학석사

2000.8 포항공과대학교 전자전기공학과 공학박사  
1989.1~2001.2 현대전자 책임연구원  
2001.3~현재 창원대학교 전자공학과 교수  
※ 관심분야: 메모리 IP 설계, SoC 설계