

# 양방향 스위치를 이용한 H-bridge 구조의 새로운 멀티레벨 인버터

이상혁<sup>1</sup>, 강성구<sup>1</sup>, 이태원<sup>2</sup>, 허민호<sup>2</sup>, 박성준<sup>†</sup>

## A New Multilevel Inverter of H-bridge Topology using Bidirection Switch

Sang-Hyeok Lee<sup>1</sup>, Seong-Gu Kang<sup>1</sup>, Tae-Won Lee<sup>2</sup>, Min-Ho Hur<sup>2</sup>, and Sung-Jun Park<sup>†</sup>

**Abstract** - Recently, Switching devices become cheaper, depending on the multi-level inverters are considered as the power-conversion systems for high-power and power-quality demanding applications. The multi-level inverters can reduce the THD(Total Harmonic Distortion) as the output which is similar sinusoidal waveform by synthesizing several capacitor DC voltages. However it has some disadvantages such as increased number of components, complex PWM control method. Therefore, this paper is proposed the new multi-level inverter topology using an new H-bridge output stage with a bidirectional auxiliary switch. The proposed topology is the 4-level 3-phase PWM inverter with less switching part than conventional multi-level inverters and reactive power control possible. In order to understand the new multi-level inverter, topology analysis and switching patterns and modes according to the current loop are described in this paper. The proposed multi-level inverter topology is validated through PSIM simulation and the experimental results are provided from a prototype

**Keywords:** multi-level, H-bridge, reactive power control

### 1. 서 론

한정적인 에너지를 효율적으로 관리하고 사용하기 위한 전력전자 기술의 지속적인 성장은 전력변환 시스템에 많은 발전을 갖고 왔다. 전력변환 기술에서 주요한 관점으로는 에너지 변환 효율과 가격으로 차세대 에너지 지원으로 주목받고 있는 신재생에너지와 접목되어 보다 안정적이고 효율적인 에너지를 생산하고 관리하는데 많은 연구가 이루어지고 있다.<sup>[1,2]</sup> 최근 신재생 에너지 발전과 더불어 고효율, 저 EMI 기능을 겸비한 인버터 수요가 증가하고 있으며, 이를 대응하기 위해 경제성 있는 멀티레벨 인버터에 대한 토폴로지 개발이 활발히 이루어지고 있다.<sup>[3,4,5,6]</sup>

멀티레벨 인버터는 그림 1과 같이 다수의 커패시터 DC 전압을 합성하여 정현적인 파형에 가깝게 출력함으로써 왜곡이 적은 대용량 AC 전압을 손쉽게 만들 수

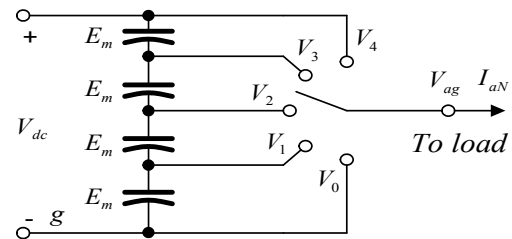


Fig. 1 Multilevel Inverter concept using a switch

있다. 또한 전압 레벨 수를 증가함으로써 총고조파 왜율(THD:Total Harmonic Distortion)을 감소시킬 수 있고 스위치의 정격 전압과 스위치 손실을 줄여 우수한 출력 전압을 얻을 수 있다. 또한 멀티레벨 인버터는 출력 전압의 레벨 수가 높을수록 고조파 성분이 매우 낮아 필터의 크기를 줄일 수 있는 특징을 갖고 있다.

멀티레벨 인버터의 이상적인 구조로는 적은 수의 소자수로 다수의 레벨을 형성하여 인버터의 효율을 최대로 하기 위해 스위칭 주파수를 낮출 수 있는 구조를 갖고 있어야 한다. 대표적으로 사용되는 멀티레벨 구조로는 그림 2와 같이 다이오드-클램프(Diode-Clamp), 플라잉-커패시터(Flying Capacitor), 다단(Cascaded) 멀티레벨 인버터로 구분할 수 있으며 토폴로지에 따라 고유의 장·단점을 갖고 있다.

Paper number: TKPE-2012-17-4-2 ISSN: 1229-2214

<sup>†</sup> Corresponding Author : sjpark1@chonnam.ac.kr, Dept. of Electrical Engineering, Chonnam Nat'l Univ.  
Tel: +82-62-530-3410 Fax: +82-62-530-1749

<sup>1</sup> Dept. of Electrical Engineering, Chonnam Nat'l Univ.

<sup>2</sup> Power Advanced Development, Samsung Electro-Mechanics  
Manuscript received Mar. 21, 2012; accepted Apr. 10, 2012

— 본 논문은 편집위원회에서 우수기술논문으로 추천됨

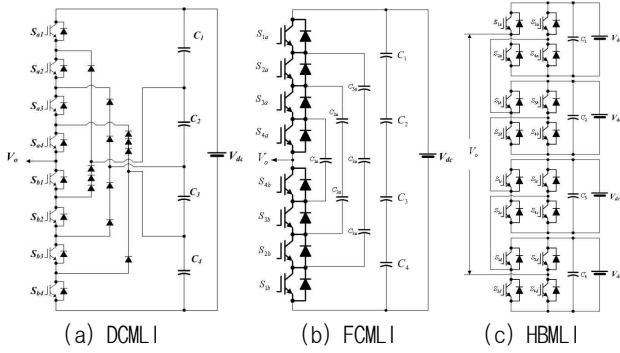


Fig. 2 Multi-level Inverter Topology

그림 2(a)는 다이오드-클램프 멀티레벨 인버터(DCMLI)로 레벨 수가 증가할수록 고조파 성분은 낮아지며 제어는 간단한 장점을 갖고 있지만, 다수의 클램핑 다이오드가 필요하며 커패시터 전압 불균형이 발생하는 문제점을 해결하기 위한 복잡한 스위칭 알고리즘이 필요하다.<sup>[7,8]</sup>

그림 2(b)는 플라이-커패시터 멀티레벨 인버터(FCMLI)로 클램핑 다이오드 대신 다수의 커패시터를 사용하는 구조로 내부 전압 레벨에 여유를 갖게 되어 안정적인 전원 공급과 유·무효 전력 제어가 가능하지만 레벨 수가 증가할수록 대용량 전력 커패시터를 그룹화 시키기 어렵고 제어가 복잡해지는 단점을 갖고 있다.<sup>[9,10]</sup>

그림 2(c)는 다단 멀티레벨 인버터(HBMLI)로 다수의 H-bridge 인버터를 직렬로 연결한 형태로 기존의 클램핑 다이오드나 다수의 커패시터가 불필요하여 기존 멀티레벨 구조보다 최소 부품으로 구성할 수 있다. 또한 H-bridge 단위로 그룹화가 가능하여 확장, 제어가 용이하고 DC 링크 불평형 문제가 없는 특징을 갖고 있다. 하지만 레벨 수의 증가는 절연된 입력 전원의 증가를 의미함으로써 레벨 수를 증가하는데 한계가 있다.<sup>[11,12]</sup>

최근 스위치 소자 값이 저렴해짐에 따라 고효율 인버터를 제작하기 위해 멀티레벨 구조를 사용하고 스위치 소자를 암(Arm)별로 패키징하여 손실과 열 문제를 해결

하고 있다. 따라서 본 논문에서는 3상 출력을 갖는 4-Level 인버터로 기존 토폴로지 보다 스위칭 소자가 적고 무효전력 제어가 가능한 멀티레벨 인버터를 제안한다. 제안된 멀티레벨 인버터는 시뮬레이션과 실험을 통해 토폴로지의 타당성과 우수성을 검증하였다.

## 2. 4-Level 3상 PWM 인버터

본 논문에서 제안된 토폴로지는 그림 3과 같이 DC Link부는 3개의 커패시터에 의해  $V_{dc}/3$ 로 분압되며 스위칭부는 18개의 스위치 소자를 사용하여 구성되었다. 이 토폴로지는 4-Level 3상 PWM 인버터로 각 암마다 H-bridge 구조와 비슷한 형태로 상위 스위치 2개, 하위 스위치 2개, 양방향을 위한 스위치 2개로 총 6개의 스위치로 4-level 압전압을 출력할 수 있다. 여기서 양방향 스위치의 경우 역병렬 다이오드 없이 구현함으로써 도통 손실을 줄이고 중성점과 전기적으로 분리시켜 무효전력을 효율적으로 제어 가능한 특징을 갖고 있다. 또한 기존 토폴로지 보다 스위칭 소자가 적고 각 암마다 모듈화가 가능하여 유지 보수가 용이하다.

그림 4는 전압 레벨에 따라 암에 흐르는 전류 루프를 나타내며 Level에 따라 3개의 Mode로 구분할 수 있다. 먼저 Mode 1은 그림 4(a)와 같이 0-1 Level을 출력하는 모드로 0-Level은 전류가 양방향 스위치를 도통하지 않고  $Q_{HD}$ 만을 도통하며 1-Level은  $Q_{LD}$ 와 양방향 스위치를 도통함으로써  $V_{dc}/3$ 의 전압을 출력할 수 있다.

Mode 2는 그림 4(b)와 같이 1-2 Level을 출력하는 모드로 2-Level은  $Q_{LU}$ 와 양방향 스위치를 도통함으로써  $2V_{dc}/3$ 의 전압을 출력할 수 있다.

Mode 3은 그림 4(c)와 같이 2-3 Level을 출력하는 모드로 3-Level은 양방향 스위치를 도통하지 않고  $Q_{HU}$ 만을 도통함으로써  $V_{dc}$ 의 전압을 출력할 수 있다. 따라서 제안된 토폴로지는 Mode에 따라 전류가 모든 스위치를 도통하게 되어 스위치의 정격 전압은  $V_{dc}$  보다 큰 전압정격을 갖는다.

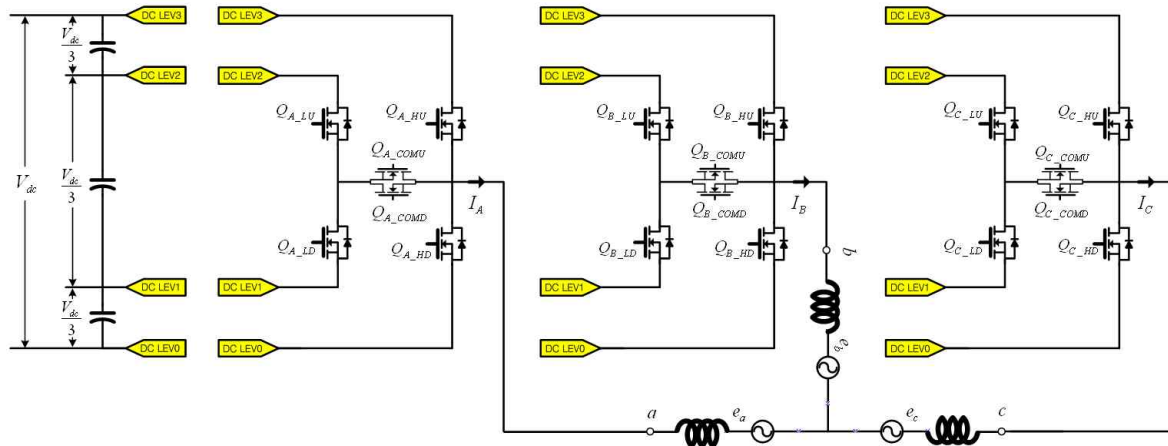


Fig. 3 Proposed 4-Level 3phase PWM Inverter

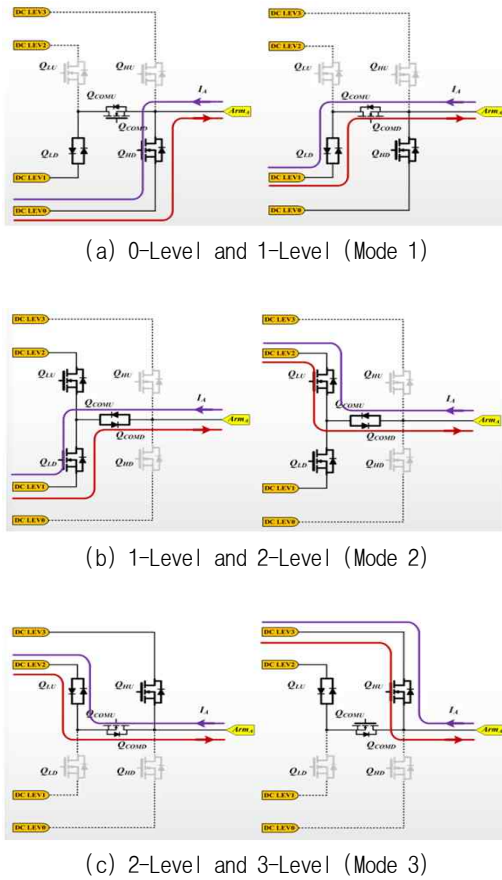


Fig. 4 The number of output levels according to the switching state

3가지의 Mode에 따라 스위치 상태만을 고려하여 회로를 재구성하면 그림 5의 오른쪽 그림과 같이 간단한 구조로 나타낼 수 있다.

그림 5는 Mode에 따라 극전압을 출력하기 위한 하이 사이드 스위치와 로우 사이드 스위치를 구분하여 재구성한 그림으로 5(a)는 Mode 1로  $Q_{LD}$ 와  $Q_{COMU}$ 는 스위치 ON 상태 그리고  $Q_{HD}$ 와  $Q_{COMD}$ 가 PWM 동작한다. 그리고 그림 5(b)는 Mode 2로  $Q_{LD}$ 와  $Q_{LU}$ 는 스위치 ON 상태,  $Q_{HD}$ 와  $Q_{COMD}$ 는 PWM 동작하며 그림 5(c)는 Mode 3로  $Q_{COMD}$ 와  $Q_{LU}$ 가 스위치 ON 상태이며  $Q_{COMU}$ 와  $Q_{HU}$ 가 PWM 동작한다. 여기서 PWM 동작은 Dead Time이 보장되어야 하는 구간으로 Mode에 따른 스위치 상태를 정리하면 표 1과 같다.

Table 1 Switching Pattern according to the Mode

	$Q_{LU}$	$Q_{LD}$	$Q_{HU}$	$Q_{HD}$	$Q_{COMU}$	$Q_{COMD}$
Mode1	OFF	ON	OFF	/PWM	ON	PWM
Mode2	PWM	/PWM	OFF	OFF	ON	ON
Mode3	ON	OFF	PWM	OFF	/PWM	ON

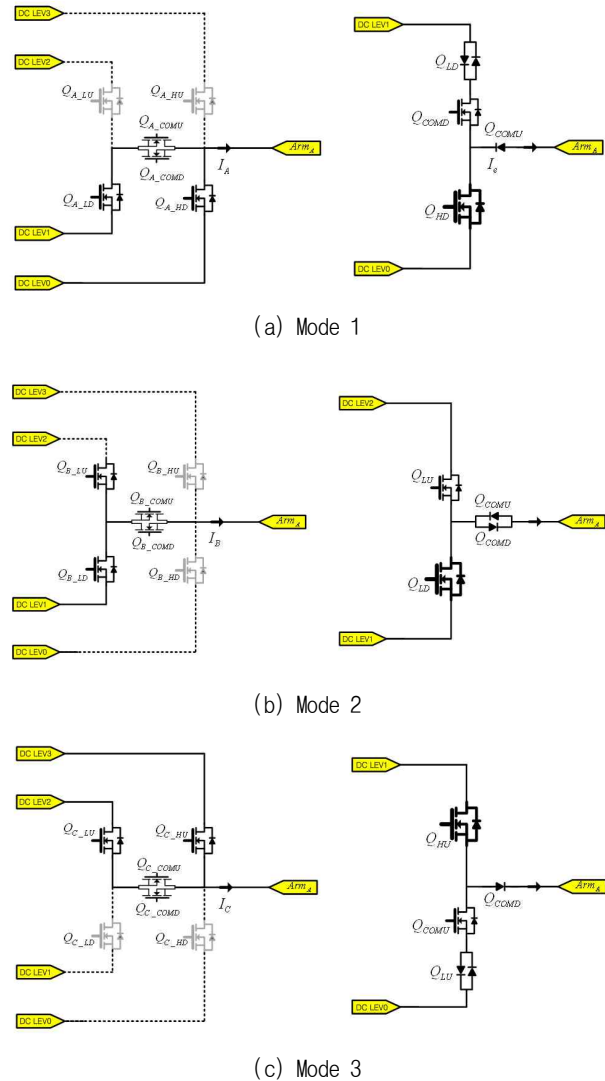


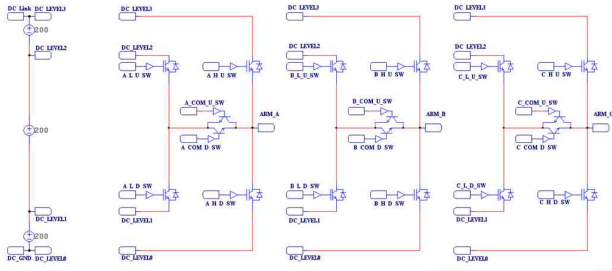
Fig. 5 Switch State according current flow

결과적으로 Mode에 따라 0-Level부터 3-Level까지 총 4-Level 출력을 갖는 인버터 출력 암전압을 출력함으로써 선간전압은 7-Level, 상전압은 13-Level을 출력할 수 있으며, 시뮬레이션을 통해 제안된 토폴로지의 타당성을 검증하였다.

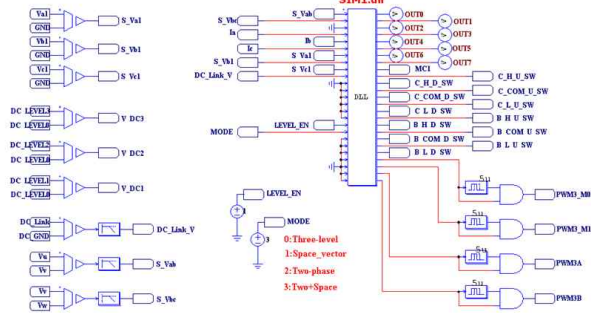
### 3. 시뮬레이션

본 논문에서 제안된 토폴로지를 검증하기 위해 그림 6과 같이 시뮬레이션 회로도를 작성하였다. 그림 6(a)은 제안된 토폴로지 DC Link부는 3개의 DC 전압 소스로 구성하고 18개의 스위치를 이용하여 4-Level 3상 PWM 인버터 토폴로지를 구현하였다. 스위칭 소자에 연결된 PWM 신호는 DLL 출력과 연결되어 있다.

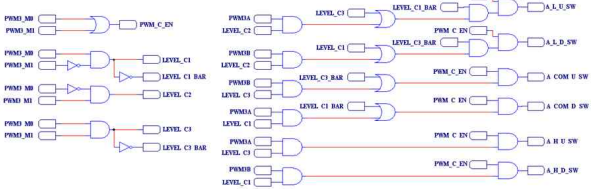
그림 6(b)은 제안된 토폴로지를 제어하고 멀티레벨 스위칭에 대한 알고리즘을 구현하기 위한 DLL 블록으로 입력으로는 센싱값을 받고 출력으로는 디버깅을 위한 출력 신호들과 스위치 PWM 신호로 구성되어 있다.



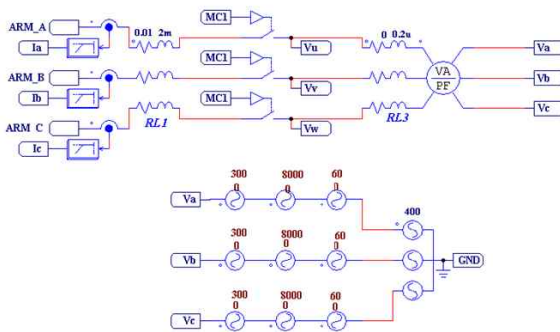
(a) Proposed Topology



(b) DLL and Sensing



(c) FPGA Logic



(d) 3Phase Grid

Fig. 6 Simulation Circuit

그림 6(c)은 PWM 포트를 확장하기 위한 FPG Logic 부분이다. 제안된 토폴로지는 18개의 PWM 신호가 필요하지만 DSP 같은 프로세서의 경우 12개의 PWM 포트만 존재한다. 따라서 FPGA Logic을 통해 부족한 PWM 신호를 GPIO 6개, PWM 6개를 조합하여 필요한 18개의 PWM 신호로 확장하였다.<sup>[13,14]</sup>

그림 6(d)은 계통연계를 위한 부분으로 고조파를 포함할 수 있는 3상 전원과 계통 라인을 차단하는 MC에 대한 시뮬레이션 회로도이다.

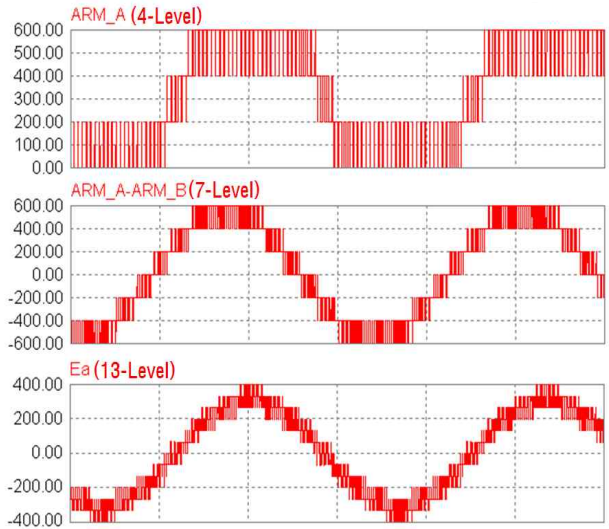


Fig. 7 Pole, Line and Phase Voltage waveform

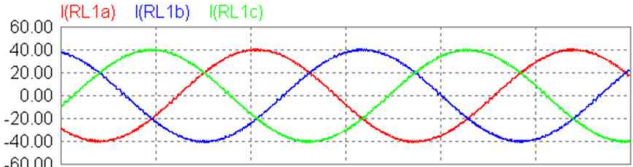


Fig. 8 Grid-Connected Current Waveform

그림 7은 R-L 부하에서 제안된 토폴로지를 구동하여 얻은 멀티레벨 전압 파형으로 인버터 출력 압전압(4-Level), 선간전압(7-Level), 그리고 상전압(13-Level)을 확인할 수 있으며, 이 파형을 이용하여 계통 연계를 하여 얻은 연계 전류 파형은 그림 8과 같다. 참고로 전류제어 지령치 40[A]로 설정하여 얻은 출력파형이다.

### 4. 실험결과

본 논문에서 시작품으로 제작된 Power Stack은 그림 9와 같이 전원부, 센싱부, 스위칭부, 제어부로 구분할 수 있다. 전원부에서는 SMPS에서 ±12[V], +5[V]를 입력받아 +3.3[V]로 변환하여 필요한 소자의 전원으로 사용되며 센싱부에서는 DC Link 전압/전류, 3상 전압/전류를 센싱하기 위해 비절연 타입의 고저항 전압센서와 TAMURA사의 전류 센서 그리고 2차 Low Pass Butter worth Filter를 사용하였다.

스위칭부는 제안된 토폴로지에 필요한 18개의 스위치 소자 대신 MITSUBISHI 사의 IPM(Intelligent Power Modules) 2개와 SEMIKRON 사의 양방향 스위치 3개를 사용하여 제안된 4-Level 인버터 토폴로지를 구현하였다.

제어부에서는 고속 연산과 부동 소수점 연산이 가능한 TMS320F28335를 사용하여 멀티레벨 알고리즘을 구현하였으며, XC3S200 FPGA 모듈을 사용하여 PWM 포트를 확장하였다.

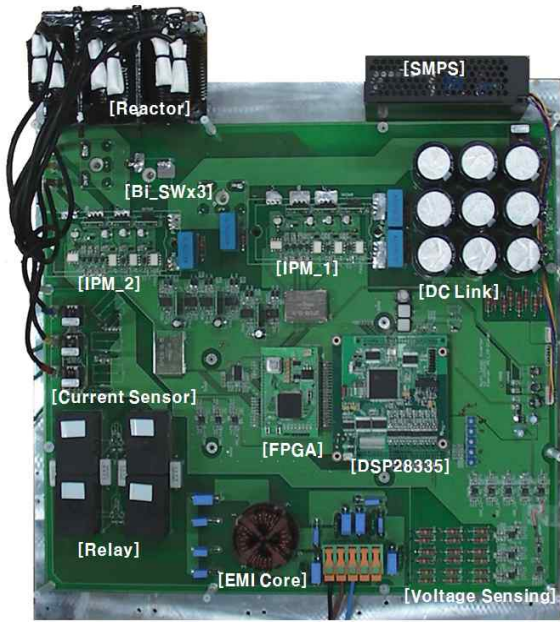


Fig. 9 4-Level Inverter Stack

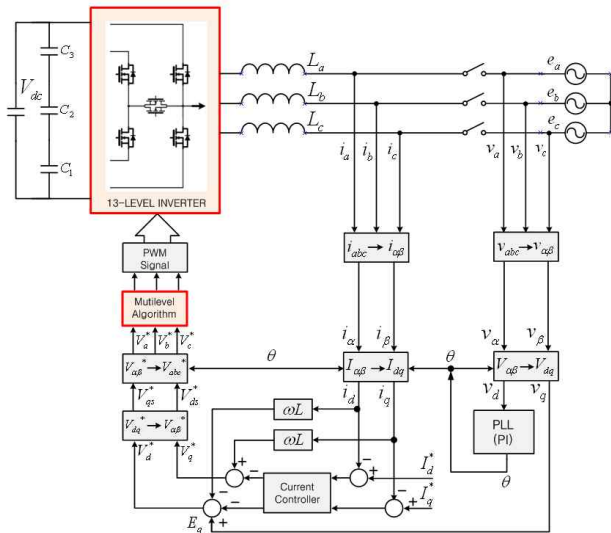
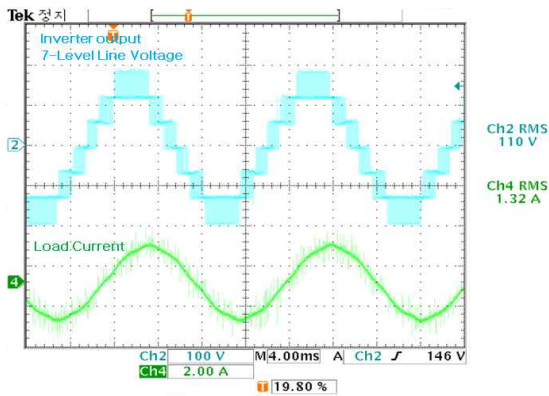
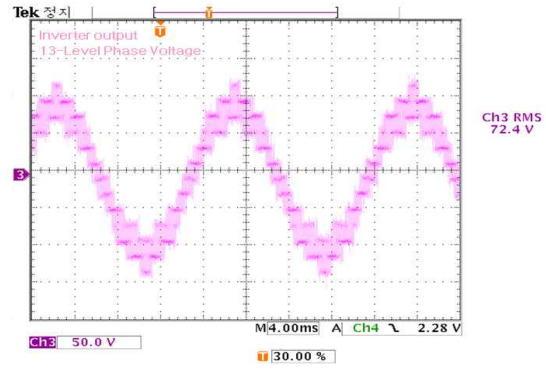


Fig. 10 Control block diagram of 4-level Inverter

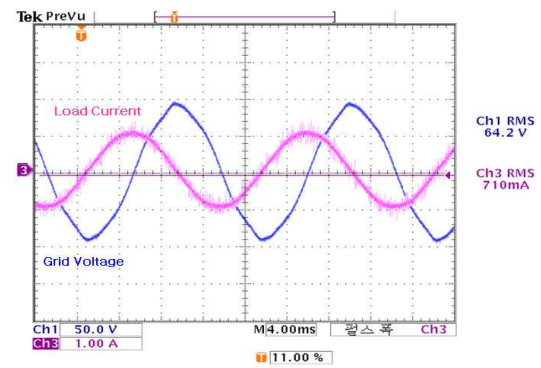


(a) Phase Current & 7-Level Line Voltage

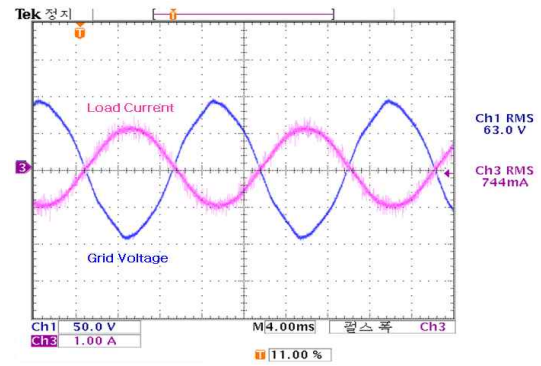


(b) 13-Level Phase Voltage

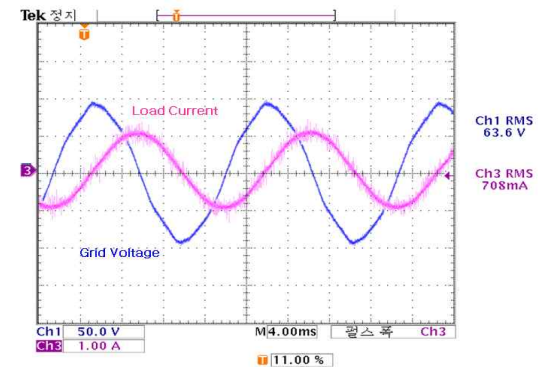
Fig. 11 Voltage/Current waveform of R-L Load



(a)  $I_d = +1[A]$   $I_q = 0[A]$



(b)  $I_d = 0[A]$   $I_q = +1[A]$



(c)  $I_d = -1[A]$   $I_q = 0[A]$

Fig. 12 Reactive Power Control waveform

4-Level 3상 PWM 인버터를 제어하는 블록도는 그림 10과 같이 3상 전압/전류를 센싱하고 좌표변환하여 위상각을 추정하고 전류 제어를 구동하고 역좌표변환을 통하여 전압 지령치( $V_{abc}^*$ )을 생성한다. 여기까지는 기존 계통연계 인버터와 동일한 제어방식이며 추가로 멀티레벨 스위칭을 위한 알고리즘이 적용되어 제안된 토폴로지에서 4-Level 파형을 출력할 수 있다.

실험에 사용된 DC Link 전압 180[V]로 동작 확인을 위해 R-L 부하를 연결하여 전압과 전류 파형을 확인하였다. 그림 11과 같이 인버터 출력의 선간전압과 상전압 그리고 사인적인 부하 전류 파형을 확인할 수 있다.

본 논문에서 제안된 토폴로지의 특징 중에 하나인 무효전력 제어 부분을 확인하기 위해 R-L 부하 연결에서 계통 상전압과 부하 전류를 그림 12와 같이 비교하였다.

전류 지령치는 Id와 Iq 값을 가변함으로서 계통전압 기준으로 전류가 90° 진상, 90° 지상 또는 역상이 되도록 전류를 제어함으로써 무효전력 제어가 가능함을 확인할 수 있다.

## 5. 결 론

본 논문에서는 새로운 구조의 4-Level 3상 PWM 인버터 토폴로지를 제안하고 토폴로지 분석, 스위칭 패턴 그리고 모드에 따른 전류 루프에 대해 설명하였다. 제안된 토폴로지는 양방향 스위치가 중성점과 분리된 구조로 무효전력 제어가 가능한 특징을 갖고 있으며, 부족한 PWM 단자를 FPGA 모듈을 사용하여 확장함으로써 제안된 토폴로지를 완벽히 구현하였다. 제안된 토폴로지는 시뮬레이션과 시작품을 통한 실험으로 타당성과 우수성을 검증하였다.

이 논문은 2012년도 (주) 삼성전기 연구비 지원에 의하여 연구되었음

## 참 고 문 헌

- [1] L. G. Franquelo, J. Rodriguez, S. Kouro, R. Portillo, and M. A. M. Prats, "The age of multilevel converter arrives," *IEEE Industrial Electronics Magazine*, pp. 28-39, 2008.
- [2] B. S. Shu, G. Sinha, M. D. Manjrekar, and T. A. Lipo, "multi-level power conversion-an overview of topologies and modulation strategies," in *Proc. Optimization of Electrical and Electronic Equipments-Brasov*, pp. 1-14, 1998.
- [3] Rodriguez J et al., "Multilevel Inverters: A Survey of Topologies, Controls, and Applications", *IEEE Industry Electronics*, Vol 49, pp. 724-738, Aug, 2002.
- [4] Ceglia, G, Grau, V., Guzman, V., Sanchez, C., Ibanez, F., Walter, J., Millan, A., Gimenez, M.I., "A new multilevel inverter topology", *IEEE International Caracas Conference*, Vol. 1, pp. 212-218, Nov, 2004.
- [5] U. T. Hong, W. K. Choi, C. S. Kwon, F. S. Kang, "Hybrid Multilevel Inverter Connecting a Full-bridge Inverter to a 5-level Inverter in Series", *The Transactions of Korean Institute of Power Electronics*, Vol. 16, No. 1, pp. 30-37, 2011. 2.
- [6] W. K. Choi, C. S. Kwon, U. T. Hong, F. S. Kang, "Multilevel inverter using two 5-level inverters connected in series", *The Transactions of Korean Institute of Power Electronics*, Vol. 15, No. 5, pp. 376-380, 2010. 10.
- [7] Xiaoming Yuan, "Fundamentals of a New Diode Clamping Multilevel Inverter", *IEEE Power Electronics*, Vol. 15, pp. 711-718, July, 2000.
- [8] Qingquan Tang, Czarkowski, D., Xu Yang, Songsheng Lu, "A new diode-clamping multilevel converter with reduced device count and DC voltage balancing control", *Energy Conversion Congress and Exposition, 2009. ECCE.*, pp. 3116-3123, 2009.
- [9] Khazraei, M., Sepahvand, H., Corzine, K., Ferdowsi, M., "A generalized capacitor voltage balancing scheme for flying capacitor multilevel converters", *Power Electronics Conference and Exposition(APEC).*, pp. 58-62, 2010.
- [10] Sneineh, A.A., Ming-yan Wang, "A Novel Hybrid Flying-Capacitor-Half-Bridge Cascade 13-Level Inverter for High Power Applications", *Industrial Electronics and Applications, ICIEA*, pp. 2421-2426, 2007.
- [11] Malinowski, M., Gopakumar, K., Rodriguez, J., Pérez, M.A., "A Survey on Cascaded Multilevel Inverters", *IEEE Industrial Electronics*, Vol. 57, pp. 2197-2206. July, 2010.
- [12] Zhong Du, Tolbert, L.M., Ozpineci, B., Chiasson, J.N., "Fundamental Frequency Switching Strategies of a Seven-Level Hybrid Cascaded H-Bridge Multilevel Inverter", *IEEE Power Electronics*, Vol. 24, pp. 25-33, January, 2009.
- [13] T. W. Chun, H. H. Lee, H. G. Kim, E. C. Nho, "Implementation of an FPGA-based Multi-Carrier PWM Techniques for Multilevel Inverter", *The Transactions of Korean Institute of Power Electronics*, Vol. 15, No. 4, pp. 288-295, 2010. 8.
- [14] D. H. Ha, D. S. Hyun, "Implementation of SVPWM Module for the Multi-Motor Control", *Journal of the Korean Institute of Illuminating and Electrical Installation Engineers*, Vol. 23, No. 9, pp. 124-129, 2009. 9.

### 이상혁(李相赫)

1981년 7월 19일생. 2007년 2월 한밭대 제어계측공학과 졸업. 2009년 2월 동 대학원 제어계측공학과 졸업(석사) 2009년 3월~현재 전남대 전기공학과 박사과정.





### 강성구(姜成求)

1978년 10월 27일생. 2004년 동신대 컴퓨터 학과 졸업. 2003년~2009년 광주과학기술원 디지털가전부품개발지원센터 연구원. 2009년~2010년 (주)포에프 연구소 선임연구원. 2010년~2011년 (주)준성전자 개발팀장. 2010년~현재 전남대 전기공학과 석사과정.



### 이태원(李泰遠)

1971년 7월 14일생. 2000년 성균관대 메카트로닉스공학과 졸업(석사). 2007년 동 대학원 메카트로닉스공학과 졸업(공박). 2007년~2008년 미국 Michigan State University Post-doc. 2008년~현재 삼성전기(주) Power

사업팀 책임연구원. 당 학회 학술위원.



### 허민호(許珉鎬)

1971년 7월 22일생. 1999년 전남대 공대 전기공학과 졸업(석사). 2010년 동 대학원 졸업(공박). 2010년~현재 삼성전기(주) Power 사업팀 책임연구원.



### 박성준(朴晟濬)

1965년 3월 20일생. 1991년 부산대 전기공학과 졸업. 1993년 동 대학원 전기공학과 졸업(석사). 1996년 동 대학원 전기공학과 졸업(공박). 2002년 동 대학원 지능기계공학과 졸업(공박). 1996년 3월~2000년 2월 거

제대학 전기과 조교수. 2000년 3월~2003년 8월 동명대학 전기공학과 조교수. 2003년 8월~현재 전남대 전기공학과 부교수.