

# 초소형 수중 음향 시스템 모듈의 저잡음 설계 방법

## Low-noise Design Method of Small-size Underwater Acoustic System and Module

이동호 · 신영산 · 송진호 · 위재경 · 이정민\* · 설재수\*

(Dong-Ho Lee, Young-San Shin, Jin-Ho Song, Jae-Kyung Wee, Jeong-Min Lee\*, and Jae-Soo Seol\*)

송실대학교 전자공학과, \*국방과학연구소 6본부

(접수일자: 2012년 2월 15일; 수정일자: 2012년 3월 20일; 채택일자: 2012년 5월 16일)

**초 록:** 본 논문에서는 다중 전압을 사용하는 초소형 시스템 구성 및 모듈 설계 방법론을 제시한다. 특히 잡음에 취약한 아날로그 IC의 특성을 개선하기 위한 PDN 구성 방법과 필터 구성 방법에 중점을 두어 설계하였다. 이에 제작된 모듈은 고전압에 의한 잡음을 방지하기 위해 공급 전원별로 접지면을 분할하고, 이를 공통 접지면으로 구성하기 위해 필터를 연결하였으며, via stitching 기법을 사용하였다. 이를 본 논문에서는 PDN 구조를 Lumped 모델로 구성하여 시뮬레이션을 통해 분석하고, 측정을 통해 확인하였다. 시뮬레이션 결과 4.7 uH의 Inductor를 연결하였을 때, 공통 접지면을 사용했을 때보다 -7 dB의 잡음 감소 효과를 확인할 수 있었고, 측정 결과 약 12 %가 감소하였음을 확인할 수 있었다.

**핵심용어:** 수중 음향 신호 수신 모듈, PDN, 접지 필터, 잡음 저감, Lumped 모델

**투고분야:** 음향 신호처리 분야(1,4)

**ABSTRACT:** This paper suggest configuration method of small-size system and design method of module using multi power. In particular module designed to focus on PDN(Power Distribution Network) and filter configuration method to improve the characteristics of noise sensitive analog IC. For the prevention of high-voltage noise, manufactured module is used the ground-isolated technique and via stitching, and is connected grounds with a series of filters. In this paper, so we analyzed PDN structure through the simulation using lumped modeling and confirmed through measurement. Simulation results, when connecting 4.7uH inductor, we made certain that noise of -7dB decreases much more than when it did not. And it was confirmed 12% less than Background Noise.

**ASK subject classification:** Acoustic Signal Processing (1,4)

### 1. 서 론

지난 30년간 배나, 대잠용으로 개발된 잠수함 탑재용 음향 신호 수신 모듈은 운용 환경 및 동작 신뢰성 확보 측면과 성능 개선 측면에서 소구경(세장형), 저주파 탐지능력, 다채널, COITS(Commercial off-the-shelf) 지원 등의 방향으로 발전하고 있다. 또한 이러한 음향 신호 수신 모듈의 경우 전자 기술 발전에 따라 저 전력, 소형화, 저가, open-standard 방식으로 발전되어 가고 있다<sup>[1]</sup>.

일반적으로 잡음 제거는 디지털 필터를 적용하는

신호처리 방식이 주로 사용된다<sup>[2][3]</sup>. 이러한 방식은 잡음에 이미 오염된 신호에서 잡음을 제거하는 방식인데 반해 본 논문에서 제시하는 방식은 모듈 내에서 발생하는 전원 잡음을 사전에 방지하여 센서보다 신속하고 정확한 탐지 기능을 갖추도록 한다. 또한 시스템 성능을 극대화시킬 수 있는 상용화된 칩을 이용한 최적화된 신호처리 회로모듈의 구성을 목적으로 한다. 또한 배열의 크기 및 무게가 커질수록 함정의 기동력은 저하된다. 따라서 함정의 기동성을 확보하기 위하여 배열의 크기 및 무게를 감소시켜야 한다. 즉, 모듈의 소형화가 필수적이다. 제작된 모듈은 소형화에 적합한 칩을 선별하여 그 중 저잡음 특성이 우수한 칩을 선정하였다.

\*Corresponding author: 위재경 (wjk@ssu.ac.kr)  
156-743 서울시 동작구 상도동 송실대학교 전자공학과  
(전화: 02-817-2159; 팩스: 02-822-2159)

제작된 모듈은 산업용 Fieldbus 기반의 3600 mm<sup>2</sup>, 8층으로 구성된 수중 음향 신호 수신 모듈이며, 아날로그 IC, 디지털 IC, RX/TX IC로 이루어져 있다. 이 모듈은 60 V의 공급전원을 3개의 DC-DC converter(±9 V, ±3.3 V, 3.3 V)와 4개의 LDO(+5 V, -5 V, +2.5 V, -2.5 V)를 통해 각 IC에 전달한다. 또한 신뢰성과 전력 소모 저감을 만족시키기 위해서는 서로 다른 레벨의 다양한 전원 전압을 한 시스템에서 사용하는 것이 불가피하다. 하지만 이러한 VRM(Voltage regulate module)구조에서는 각 IC로 전달되는 전원 공급 경로에 의해 발생하는 잡음뿐만 아니라, 타 IC에서 발생하게 되는 Ground Bounce에 의해 전원 리플이 발생하게 된다<sup>[4]</sup>. 이는 결과적으로 시스템의 성능 저하를 유발한다. 게다가 소형화를 하기 위해서는 제한된 공간에서 전원 전압 도메인 분배가 이루어져야 한다. 따라서 시스템에서 안정된 전원전압을 공급하기 위해서는 PDN(Power Distribution Network)의 설계가 매우 중요하다. 특히 아날로그/디지털 IC가 혼용되어 사용되고 있기 때문에 소형화에 적합한 PDN의 설계는 필수적이다.

이에 본 논문에서는 저잡음, 소형화를 고려한 산업용 Fieldbus 기반의 수중 음향 신호 수신 모듈을 설계하고, 설계에 적용된 저잡음, 소형화를 위한 설계 방법을 제시하였다. 또한 저잡음 특성을 만족시키기 위해서는 다중전원(±5 V, ±2.5 V, +3.3 V)을 사용하는 것이 불가피하기 때문에 이를 다층 구조에서 효율적으로 적용하기 위한 PDN구조를 설계하였다. 이를 바탕으로 PDN 설계에 따른 잡음 저감 효과를 분석하였다. 이를 위해 Lumped Modeling 기법을 적용하였고, 그 방법론을 제시하였다. 또한 그 결과를 실제 제작된 모듈에 적용하여 그 효과를 비교, 분석하였다.

## II. 소형화 모듈 설계

### 2.1 전체 시스템 구성

수중 음향 신호 수신 모듈은 수중 음원으로부터 발생하는 음파를 수신하여 전기 신호로 출력하는 전압이 수 nV의 미세한 전압이기 때문에 이 신호를 증폭을 하여 전달할 필요가 있다. 하지만 이러한 증폭 과정에서 칩이나 회로 자체에서 잡음이 발생할 수

있으며, 전송선로를 통한 신호 전달 경로에 의한 잡음 또는 감쇠 현상이 발생할 수 있다. 따라서 잡음 최소화를 통한 신호의 정확한 전달이 가능한 시스템 구현이 필수적이다.

제작된 모듈은 구성되는 IC를 신호의 특성에 따라 아날로그, 디지털, 전원 모듈별로 구분하였다. 또한 저잡음 AMP, 고해상도 ADC, MCU 및 RX/TX IC 등 저잡음, 소형화에 적합한 상용 부품을 사용하여 모듈을 구성하였다. 그림 1은 아날로그, 디지털, 전원 모듈로 구성된 수중 음향 신호 수신 모듈의 블록 다이어그램이다.

가장 잡음 특성에 취약한 AMP의 경우 센서를 통해 전달되는 수 nV의 입력을 받기 위해서는 자체 잡음이 적은 LNA(Low Noise Amplifier)를 사용해야 한다. 이에 제작된 모듈에서는 1.1nV/√Hz(at 1 kHz)의 저잡음 특성을 갖는 칩을 선택하였으며, ADC는 입력 신호를 디지털로 변환하는데 있어서 AMP에서 발생한 잡음보다 낮은 해상도는 데이터의 신뢰성이 없기 때문에 AMP의 잡음 특성을 고려한 24 bit ADC를 선택하였다<sup>[5]</sup>. 전력 소모가 적은 MCU 및 전용 통신 프로토콜에 적합한 RX/TX 칩을 선택하였다.

### 2.2 소형화 설계 Methodology

상용 부품을 사용하여 소형 모듈을 구현하는데 있어 가장 중요한 점은 목표에 맞는 칩, 부품 선택을 통해 원하는 방향으로 동작하게 하는 것이다. 두 번째로는 시스템이 동작함에 있어 발생할 수 있는 각종 잡음들에 의한 신호의 왜곡을 줄여 회로의 오동작을 최소로 하고, 목표물의 신호를 원하는 레벨에 맞게 증폭하여 정확한 신호를 전달하는 것이다. 소형화 전송기의 회로에 의해 발생하는 잡음은 전력과 신호에 영향을 주며 이를 분석하는 것을 PI(Power

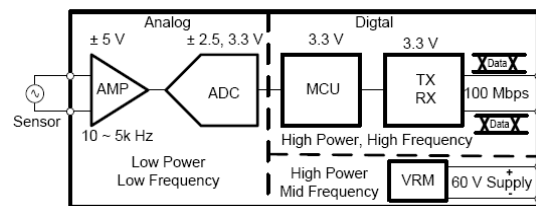


그림 1. 제안된 모듈의 블록 다이어그램  
Fig. 1. The suggested block diagram of module.

Integrity), SI(Signal Integrity)라고 한다.

음향 신호 수신 모듈은 100 MHz 미만의 저주파수 대역을 사용하기 때문에 SI측면에서는 거의 영향을 주지 않는다. 하지만 PI측면에서 살펴보면 ADC를 제어하기 위한 MCU나 데이터 전송을 위한 프로세서에서 디지털 회로 동작에 의해 생기는 SSN(simultaneous switching noise)이 잡음 소스로써 다른 회로의 동작에 영향을 준다. 또한 60 V의 전원을 각 칩의 동작 전원 전압에 맞는 크기로 변환하기 위한 DC-DC converter, LDO(Low-dropout regulator)등의 VRM에서 발생하는 전원 잡음이 있다. 그리고 AMP, ADC 등이 동작하면서 전류를 소모하는데, 이러한 전류소모는 DC-DC converter나 VRM에서부터 전달되는 통로인 PDN의 임피던스에 의해 전원에 잡음으로 나타나게 된다.

일반적인 모듈 설계는 우선적으로 회로도를 구성하고 각 핀의 신호를 분석한 다음 잡음 등의 영향을 최소화하기 위한 PI를 분석한다. PI 분석을 통해 PDN을 설계 한 후 칩을 배치하고 SI를 분석하게 된다. 그리고 이를 바탕으로 부품을 배치하고 신호선 등을 연결한다. PI을 향상시키기 위해서는 PDN 설계가 가장 중요하다. 면적의 제한이 없는 모듈에서는 PDN 구조를 동작 주파수 영역에서의 임피던스 특성을 고려하여 구성하는 형태로 해결한다. 하지만 소형화 설계에서는 이러한 일반적인 해결책이 면적 사용에 대한 제한에 의해 한계를 갖는다. 따라서 그림 2와 같이 모듈의 크기를 우선적으로 결정하고 칩과 부품을 배치한 후 PI를 분석하는 것이 불가피하다. 또한 소형화 설계는 좁은 면적에 많은 칩과 부품을 집적화시키기 때문에 각종 잡음 등의 문제가 회로의 동작

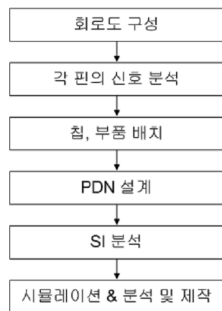


그림 2. 제안된 모듈의 설계 방법  
Fig. 2. The suggested design method of module.

과 신호에 영향을 미치며 이를 해결하기 위해서는 면적을 늘릴 수 없으므로 추가적인 잡음 저감 기법을 사용해야 한다.

2.2.1 다층 구조의 전원 / 접지면 설계

일반적으로 전원 / 접지면의 임피던스는 면적에 반비례한다. 또한 이러한 임피던스는 잡음 특성과 밀접한 관련이 있기 때문에 잡음 특성을 향상시키기 위해서는 넓은 면적을 확보하여 임피던스를 낮출 필요가 있다<sup>[6]</sup>. 그러므로 공간이 협소한 소형화 설계의 경우, 단일 전원 / 접지면으로 구성하는 형태보다 다층 구조의 전원 / 접지면으로 구성하는 것이 필요하다. 그림 3은 단층의 접지면과 2층의 접지면이 Via stitching으로 연결된 구조에서의 자기 임피던스와 상호 임피던스를 보여준다. 그림에서 보는 바와 같이 접지면을 2층 구조로 구성할 경우 단층 구조일 경

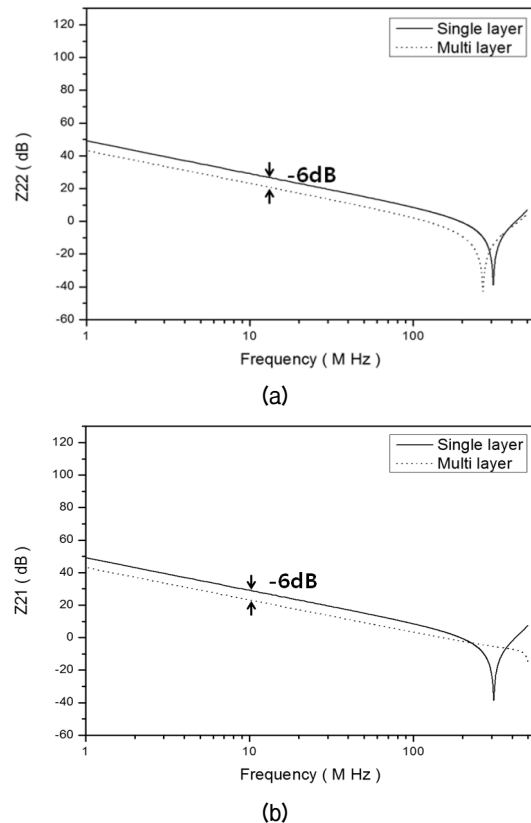


그림 3. 접지면 구조에 따른 임피던스 그래프  
(a) 자기 임피던스 (b) 상호 임피던스  
Fig. 3. Impedance graph according to ground structure.  
(a) Self Impedance (b) Trans Impedance

우보다 자기 임피던스와 상호 임피던스가 -6 dB 감소함을 확인할 수 있었다. 전원 노이즈는

$$V_{noise} = I_{port1}Z_{11} + I_{port2}Z_{21} \quad (1)$$

이므로 결과적으로 전원 잡음 또한 -6 dB 감소함을 알 수 있다. 이를 바탕으로 최대한 많은 영역을 접지면으로 할당하여 설계하였다. 또한 다층 구조의 전원 / 접지면 구성시 임피던스 저감효과와 EMI 발생을 방지하기 위하여 via stitching을 적용하였다<sup>[7]</sup>.

### 2.2.2 접지면 분할 및 필터 연결

다중 전원을 사용하는 본 시스템의 경우 모든 전원이 공통 접지면을 사용하게 되면 각 IC로 전달되는 전원 공급 경로를 통과하면서 발생하는 잡음뿐만 아니라 타 IC에서 각기 다른 전원 전압과 동작 주파수에 의해 발생하게 되는 Ground Bounce에 의해 전원 리플이 발생하게 된다. 그러므로 각 전원 전압별로 접지면을 분할하여 적용하여야 한다. 하지만 접지면 분할은 접지 Floating 현상이 발생한다. 그렇기 때문에 공통 접지로 연결해 주기 위해 필터를 사용한다. 일반적인 필터링 기법은 IC간의 커플링 잡음을 막기 위한 구조로 그림 4(a)처럼 병렬 접지 기법을 사용한다<sup>[8]</sup>. 하지만 본 연구에서 목표로 하는 전송기 모듈은 디지털 칩의 잡음보다 전원 DC-DC Converter 잡음이 더 높으며 AMP의 전력 소모는 상대적으로 작다.

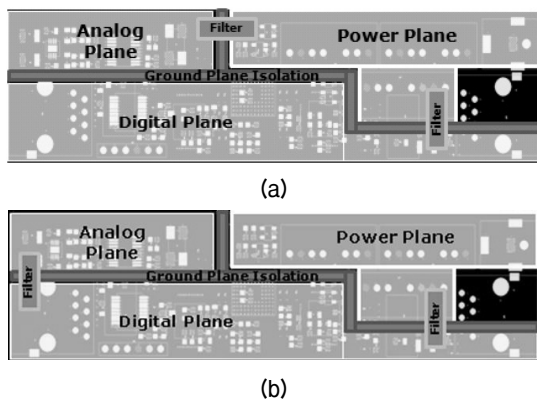


그림 4. 필터 설계 개념도 (a) 일반적인 방식 (b) 제안된 방식  
Fig. 4. Design concept of filter (a) conventional method (b) proposed method.

따라서 전원 DC-DC Converter 잡음을 막아야 할 필요가 있으며 그림 4(b)와 같은 필터링 방법을 제안하였다.

## III. Noise 저감 설계 기법

### 3.1 Lumped Modeling을 통한 분석

그림 5는 앞서 2장에서 서술한 다층 구조 접지면 설계, via stitching, 접지면 분할 및 필터 연결 등의 설계 기법을 적용하여 제작된 모듈과 각 층별 평면 구조이다. 제작된 모듈은 30 mm × 120 mm의 크기이며, 넓은 면적을 확보하기 위해 총 8층으로 구성되었다.

수학적 모델링 방법을 적용함에 있어 R, L, G, C로 구성된 PEEC(Partial Element Equivalent Circuit) 모델링 방법을 사용하였다<sup>[9]</sup>. PEEC 모델이란 전체 평면을 단위 셀로 나누어 각 셀에 대한 소자 값을 할당하여 이를 격자구조로 면적에 맞게 연결하여 만드는 방법이다.

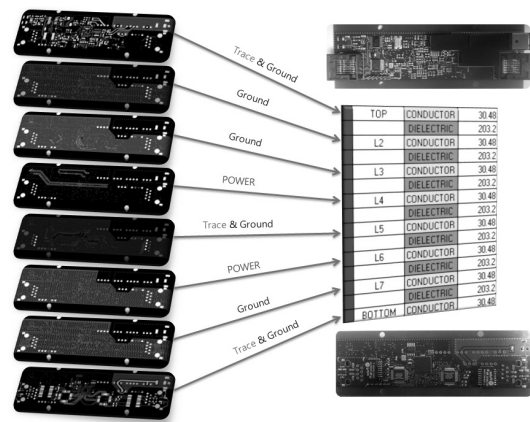


그림 5. Plane stack up 구성  
Fig. 5. Plane stack up formation.

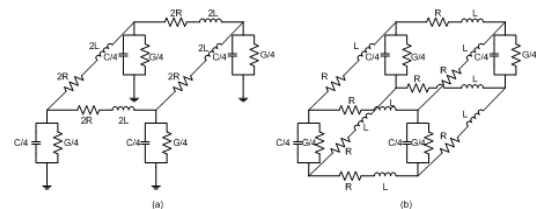


그림 6. PEEC 모델의 구조 (a) unbalance model (b) balance model  
Fig. 6. Structure of PEEC model (a) unbalance model (b) balance model.

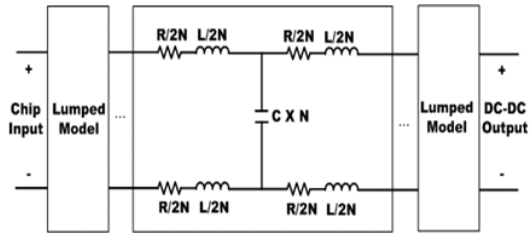


그림 7. 전원 / 접지 경로에 대한 Lumped 모델  
Fig 7. Lumped model about power / ground path.

이러한 PEEC 모델링은 그림 6과 같이 unbalance model과 balance model이 있다. 그림 6(a)은 접지면에 대한 모델이 이상적인 접지 형태이기 때문에 잡음 시뮬레이션이 어렵다. 따라서 그림 6(b)과 같은 balance model을 사용하여야 하며, 다층 구조에 대한 모델링의 경우 layer의 L과 R은 두 유전체가 병렬이며 같은 값을 가지기 때문에 절반 값으로 모델링 할 수 있다.

이때, 전체 평면을 PEEC 모델로 구성을 하면 셀의 개수가 많아서 매우 긴 시뮬레이션 시간을 필요로 하기 때문에 이를 lumped 모델로 변환해야 한다. 잡음에 있어서 가장 중요한 부분은 전원계 노이즈로 전원 / 접지면 경로를 기준으로 lumped 모델링하였다. 이는 그림 7과 같은 방법으로 Lumped 모델을 구현할 수 있으며, 전원 전압 경로를 지나가는 라인의 면적에 따라 각기 다른 파라미터 값을 가진다. 각 파라미터 값은 경로를 기준으로 저항과 인덕터는 병렬이기 때문에 Unit PEEC 개수만큼 나눠주며 병렬 캐패시터는 곱하여 결정할 수 있다. 이렇게 구성된 Lumped 모델을 이용하여 다음 절에서 잡음 특성을 분석하였다.

3.2 필터 적용에 따른 잡음 특성 분석

본 연구에서 목표로 하는 음향 신호 수신 모듈은 60V의 높은 공급 전압이 인가되기 때문에 디지털 칩의 잡음보다 전원 DC-DC Converter 잡음이 더 크다. 또한 AMP의 전력 소모는 상대적으로 적다. 따라서 전원 DC-DC Converter 잡음을 막아야 할 필요가 있으며 그림 8과 같은 필터링 방법을 제안한다. 필터는 4.7 uH의 인덕터를 사용하였다.

그림 9는 접지면 연결 방식에 따른 잡음 전달 특성 (S-parameter)을 보여준다. 시뮬레이션 결과 DC-DC

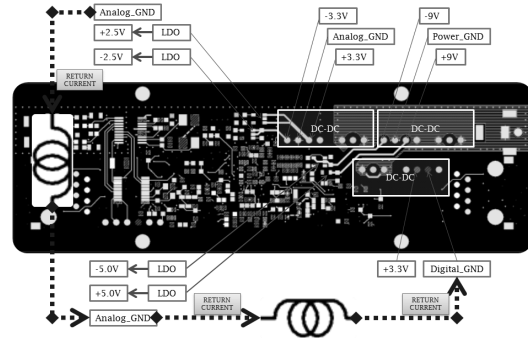


그림 8. 접지면 분할 기법 및 전류 귀환 경로 필터 방법  
Fig 8. Ground Isolation and return current path filter method.

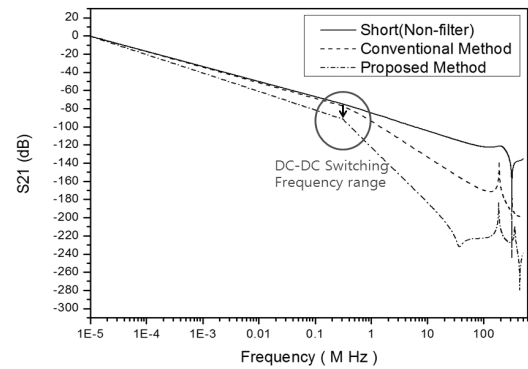


그림 9. 제안하는 필터링 방법에 따른 잡음 전달 그래프  
Fig 9. Noise transfer function according to ground filter techniques.

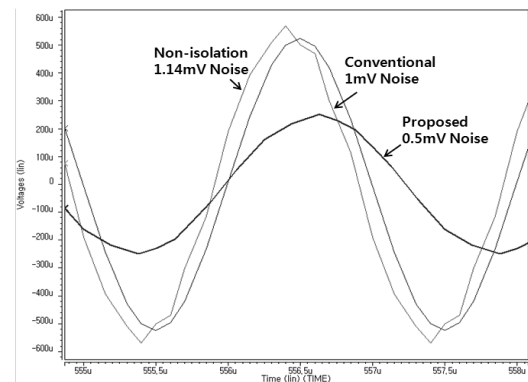
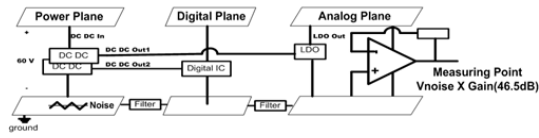
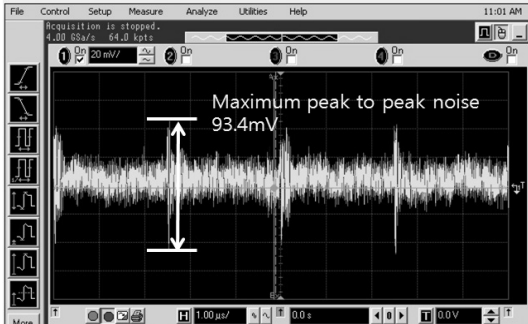


그림 10. 시간 축에서의 잡음 전달 특성 그래프  
Fig 10. Transient simulation of noise transfer function.

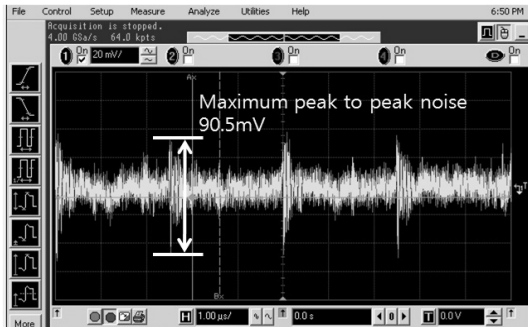
Converter의 동작주파수인 400 kHz 이상 영역에서 잡음 전달 특성이 약 -12 dB정도 감소하였음을 확인할 수 있었다. 또한 필터의 영향을 확인하기 위해 DC-DC Converter의 스위칭 잡음으로 1V, 400 kHz 전원을 인가하여 시간에 대한 시뮬레이션을 실시하였



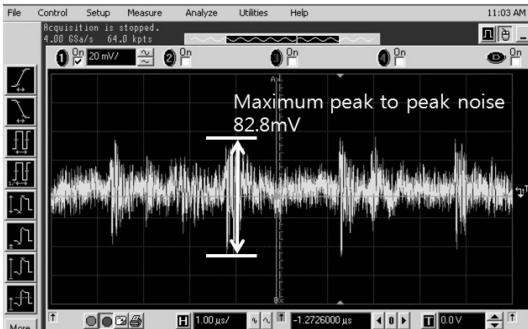
(a)



(b)



(c)



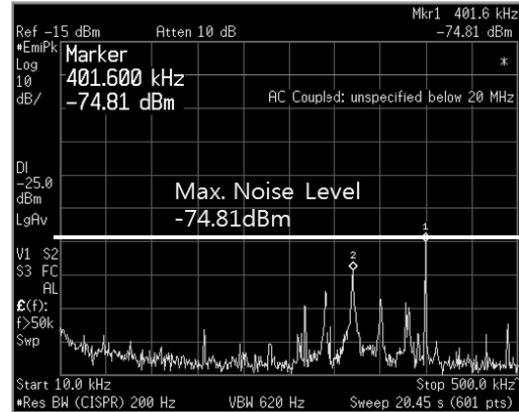
(d)

그림 11. 시간축에서의 증폭된 잡음 측정 결과 (a) 측정 위치 (b) 단순 연결 (c) 일반적인 방식 (d) 제안하는 방식

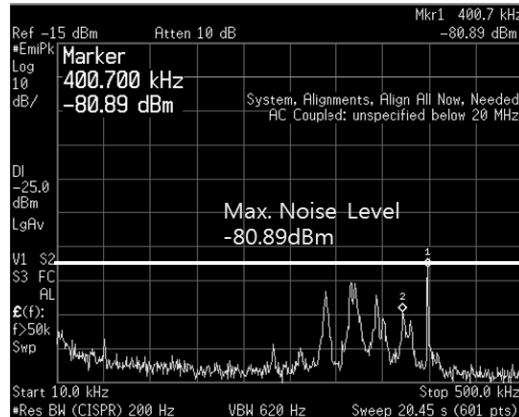
Fig 11. The time domain measurement result of amplified noise.

(a) Measuring point (b) short connect of ground (c) conventional method (d) proposed method

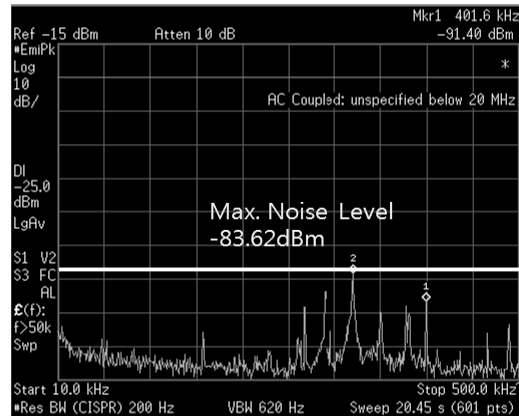
다. 그 결과 그림 10에서 보이는 바와 같이 본 논문에서 제안하는 직렬 필터 연결 방식이 일반적으로 사용하는 병렬 필터 연결 방식보다 -7 dB 만큼 잡음이



(a)



(b)



(c)

그림 12. 스펙트럼 측정 결과

(a) 단순 연결 (b) 일반적인 방식 (c) 제안하는 방식

Fig 12. Spectrum measurement result.

(a) short connect of ground (b) conventional method (c) proposed method insertion

감소한 것을 볼 수 있다.

위와 같은 시뮬레이션 결과를 토대로 그림 11(a)에

서 보는 바와 같이 AMP의 출력 단에서 잡음 특성을 측정하였다. 이는 잡음 레벨이 낮기 때문에 측정이 용이하도록 하기 위해서이다. 즉 출력되는 잡음은 AMP의 이득인 46.5 dB만큼 증폭된 접지 잡음인 셈이다. 측정 결과 그림 11(b)에서 보듯이 단순 연결로 공통 접지를 구성하였을 경우 증폭된 최대 잡음 전압 (Vp-p)은 약 93.4 mV로 나타났다. 그리고 이를 일반적인 방식을 적용한 결과 그림 11(c)에서 보는 바와 같이 약 90.5 mV로 다소 낮아졌다. 이에 비해 본 논문에서 제안한 직렬 필터 연결 구조를 적용한 경우 그림 11(d)에서처럼 측정 결과 82.8 mV로 나타남을 확인할 수 있었다. 이는 단순 연결을 통한 공통 접지 구성의 경우에 비해 약 12% 향상된 잡음 특성이다. 이러한 결과는 스펙트럼 결과에서도 확인할 수 있다. 본 모듈에서 잡음 특성에 가장 치명적인 영향을 주는 DC-DC Converter의 스위칭 주파수는 400 kHz이다. 그림 12에서 보는 바와 같이 Inductor 필터를 연결하였을 때 두가지 방식 모두 잡음 성분이 감소하였으나 본 논문에서 제안하는 방식을 적용하였을 때 일반적인 방식에 비해 스위칭 주파수에서의 잡음이 10 dB 가량 더 감소했을 뿐 아니라 전체 잡음 레벨 또한 약 3 dB 낮아진 것을 확인할 수 있었다.

#### IV. 결 론

본 논문에서는 저잡음, 소형화를 위한 다층 구조 접지면 구성, Via stitching, 접지 분할 기법, 필터를 이용한 공통접지 구성을 적용하는 다중 전원 모듈의 설계 방법에 대하여 제시하였고, 이에 따른 시뮬레이션과 측정 결과로 성능을 검증하였다.

저 잡음 시스템을 구성하기 위하여 첫째, 임피던스에 의한 잡음 전달 특성을 개선하기 위해 다층 구조의 접지면을 구성하여 임피던스를 낮추었다. 둘째, 잡음에 가장 취약한 아날로그 모듈에 Via stitching 기법을 적용하여 임피던스를 낮추고 EMI를 저감시켰다. 셋째, 고전압용 DC-DC Converter의 잡음 전달에 의한 신호의 왜곡을 방지하기 위해 아날로그, 디지털, 전원 전압 모듈의 접지면을 분할하여 사용하

였으며, 접지면 분할에 따른 Floating 현상을 방지하기 위해 각 접지면 사이를 직렬 필터로 연결하였다. 필터를 사용한 공통 접지면 구성 결과 공통 접지면을 사용하였을 때보다 약 12% 정도의 잡음 감소 효과가 나타나는 것을 측정을 통하여 확인할 수 있었다. 위와 같은 측정 및 분석을 토대로 저잡음, 소형화 모듈을 구성하기 위해서는 다층 구조 접지면 구성, Via stitching, 접지면 분할 및 필터 연결 등을 적용한 설계가 필요함을 제안한다.

#### 감사의 글

본 연구는 국방 과학 연구소의 지원으로 수행되었으며, 이에 감사드립니다(UD100012DD).

#### 참고문헌

1. A. Barbagelata, P. Guerrini, L. Troiano, "Thirty Years of TOWED ARRAYS," *Oceanography*, vol. 21, no. 2, pp. 24-33, 2008.
2. 구교식, 차형태, "독립 성분 분석과 지각 필터를 이용한 음질 개선," *한국음향학회지*, 29권, 4호, pp. 270-277, 2010.
3. 윤경식, 정태진, 이균경, "HMS시스템에서 적응필터를 이용한 자함의 소음감소 성능분석," *한국음향학회지*, 29권, 1호, pp. 10-17, 2010.
4. G.V.S. Kumar, N.S. Kumar, "PSPICE Simulation of effect of Ground Bounce in PCB," *Electromagnetic Interference & Compatibility*, pp. 131-134, Nov. 2008.
5. A. S. Sedra, K.C. Smith, *Microelectronic Circuits*, OXFORD, New York, 2004
6. W. Li-xin, Z. Yu-xia, Z. Gang, "Power Integrity Analysis for High-speed PCB," *Pervasive Computing Signal Processing and Applications*, pp. 414-418, 2010.
7. 양국보, 김윤정, 김영수, "SSN과 EMI 저감을 위한 Via Stitching과 Mushroom EBG를 사용한 Power Distribution System," *대한전자공학회 2009년 하계종합 학술대회*, pp. 62-63, 2009.
8. M. I. Montrose, *EMC and the Printed Circuit Board: Design, Theory, and Layout Made Simple*, John Wiley&Sons, New York, 1999.
9. 하중찬, 위재경, "파워/그라운드 평면 기판 상에서 코어 및 I/O잡음에 의한 칩의 성능 분석," *대한전자공학회 SoC 학술대회*, pp. 474-477, May, 2006.

저자 약력

▶ 이 동 호(Dong-Ho Lee)



2011년 2월: 송실대 정보통신전자공학부  
학사  
2011년 3월 ~ 현재: 송실대 전자공학과  
석사과정

▶ 신 영 산(Young-San Shin)



2009년: 송실대학교 정보통신전자공학  
부 학사  
2009년 ~ 현재: 송실대학교 전자공학과  
석박사 통합 과정

▶ 송 진 호(Jin-Ho Song)



2011년: 송실대학교 정보통신전자공학부  
학사  
2011년 3월 ~ 현재: 송실대학교 전자공  
학과 석사과정

▶ 위 재 경(Jae-Kyung Wee)



1988년: 연세대학교 물리학과 학사  
1990년: 서울대학교 물리학과 석사  
1998년: 서울대학교 전자공학과 박사  
1990년 ~ 2002년: 하이닉스 메모리 연  
구소 근무  
2002년 ~ 2004년: 한림대학교 정보통신  
공학부 조교수  
2004년 ~ 2007년 송실대학교 정보통신  
전자공학부 조교수  
2008년 ~ 현재: 송실대학교 정보통신전  
자공학부 부교수

▶ 이 정 민(Jeong-Min Lee)



1990년 2월: 전북대학교 전기공학과 학사  
2001년 8월: 부산대학교 전자공학과 석사  
2010년 2월: 부산대학교 전자공학과 박사  
1990년 3월 ~ 현재: 국방과학연구소

▶ 설 재 수(Jae-Soo Seol)



1994년: 대구대학교 전자공학과 학사  
1994년~현재: 국방과학연구소 연구원