

130 nm CMOS 공정을 이용한 UWB High-Band용 저전력 디지털 펄스 발생기

Digital Low-Power High-Band UWB Pulse Generator in 130 nm CMOS Process

정 창 욱 · 유 현 진 · 어 윤 성

Chang-Uk Jung · Hyun-Jin Yoo · Yun-Seong Eo

요 약

본 논문에서는 UWB의 6~10 GHz 주파수 대역을 위한 디지털 방식의 CMOS UWB 펄스 발생기를 제안하였다. 제안된 펄스 발생기는 매우 적은 전력 소모와 간단한 구조로 설계 및 구현되었다. 이 펄스 발생기는 가변되는 shunt capacitor 방식으로 구성된 CMOS delay line을 사용하여 중심 주파수를 제어할 수 있게 하였고, Gaussian Pulse Shaping 회로를 이용하여 FCC 등에서 제시하는 UWB 스펙트럼 규정을 만족할 수 있도록 설계하였다. 측정 결과, 가변 가능한 중심 주파수는 4.5~7.5 GHz까지 자유롭게 조절이 가능하였고, 펄스의 폭은 대략 1.5 ns였다. 그리고 10 MHz의 PRF 조건에서 310 mV pp의 크기의 펄스 신호를 보여주었다. 회로는 0.13 um CMOS 공정으로 제작되었고, 코어의 크기는 182×65 um²로 매우 작은 크기로 설계되었으며, 평균 소모 전력은 1.5 V 전원을 사용하는 출력 buffer에서 11.4 mW를 소모하고, 이를 제외한 코어에서는 0.26 mW의 매우 작은 전력을 소모하고 있다.

Abstract

In this paper, an all-digital CMOS ultra-wideband(UWB) pulse generator for high band(6~10 GHz) frequency range is presented. The pulse generator is designed and implemented with extremely low power and low complexity. It is designed to meet the FCC spectral mask requirement by using Gaussian pulse shaping circuit and control the center frequency by using CMOS delay line with shunt capacitor. Measurement results show that the center frequency can be controlled from 4.5 GHz to 7.5 GHz and pulse width is 1.5 ns and pulse amplitude is 310 mV peak to peak at 10 MHz pulse repetition frequency(PRF). The circuit is implemented in 0.13 um CMOS process with a core area of only 182×65 um² and dissipates the average power of 11.4 mW at an output buffer with 1.5-V supply voltage. However, the core consumes only 0.26 mW except for output buffer.

Key words : Pulse Generator, Ultra-Wideband (UWB) Transmitter, Impulse Radio (IR), Voltage Controlled Delay Line(VCDL), CMOS

I. 서 론

최근에 초광대역(Ultra-Wideband: UWB) 시스템이

동작 감지 레이더나 실시간 위치 인식 시스템 같은 다양한 응용 분야의 발달에 따라 매력적인 기술로 다시금 각광 받고 있다. UWB는 미국의 연방통신위

광운대학교 전자공학과(Department of Electronic Engineering, Kwangwoon University)

· Manuscript received March 30, 2012 ; Revised May 10, 2012 ; Accepted May 25, 2012. (ID No. 20120330-035)

· Corresponding Author : Yun-Seong Eo (e-mail : yseo71@kw.ac.kr)

원회(FCC) 정의에 의하면 중심 주파수의 20 % 이상의 점유 대역폭을 가지거나 500 MHz 이상의 점유 대역을 차지하는 무선 전송 기술로 정의되며, 일반적으로 3.1~10.6 GHz 대역에서 넓은 대역에 걸쳐 낮은 전력으로 초고속 통신을 실현하는 근거리 무선통신 기술로 규정된다^[1]. 임펄스 초광대역(Impulse Radio UWB: IR-UWB) 시스템에 있어서 펄스 발생기는 송수신 채널에서 UWB 임펄스 신호를 발생시키는 중요한 회로이다. UWB 펄스 발생기를 설계함에 있어서 결정적인 고려사항에 의하면 UWB 펄스의 폭은 수백 ps에서 수 ns 정도로 작아서 매우 빠른 컨트리올이 가능해야 하며, 이미 존재하는 협대역 RF통신에 방해를 주지 않기 위하여 FCC에서 제시한 UWB 전력 밀도(Power Spectrum Density: PSD)의 규정을 준수하도록 개발해야 한다. 이 규정을 고려한 펄스 발생기 설계에 적합한 UWB 임펄스의 파형으로는 가우시안, 헤르미트, 레일리, 처프 신호 등의 파형들이 있다. 이 중에서 가우시안 펄스가 UWB PSD 특성에 가장 적합하고, 다른 파형들에 비해 더 낮은 side lobe를 가지기 때문에 선호된다^[2]. 이러한 고려사항에도 불구하고 5~6 GHz 대역에서의 WLAN과 같은 근접한 대역의 유사한 전자기기들의 스펙트럼 공유 현상으로 인해 많은 문제가 발생하게 되고, 이를 피하기 위해 낮은 주파수 대역(3~5 GHz)과 높은 주파수 대역(6~10 GHz)으로 나누어 사용하는 것이 바람직할 것으로 고려되고 있다. 한편, 높은 주파수 대역에서의 동작은 낮은 주파수 대역에서의 동작에 비하여 상대적으로 주파수가 높고 짧은 펄스의 간격을 필요로 하기 때문에, UWB 펄스 발생기를 설계하고 제작하는 데 많은 어려움을 준다^[3]. 본 논문에서는 상대적으로 구현하기 힘든 높은 주파수 대역의 펄스 발생기 설계를 목표로 하였으며, UWB 펄스 발생기를 설계함에 있어서 전력 소모나 소형화 측면에서 유리한 디지털 게이트를 사용하여 회로를 구성하였다. 기존의 논문에서의 디지털 방식 UWB 펄스 발생기는 추가적인 필터를 사용하지 않고 FCC의 규정에 만족시키며, 가장 효과적인 5차 미분 가우시안 형태의 펄스 발생기를 제안하였다^[4]. 본 논문에서는 side lobe를 줄여주는 동시에 상대적으로 좁은 대역폭을 가지며, 주파수를 선택적으로 사용할 수 있도록 하기 위하여 단일 가우시안 펄스들을 합쳐 하나의 가

우시안 펄스를 생성하고, 지연 시간을 제어하여 중심 주파수를 가변시킬 수 있는 구조를 사용하였다. 또한, 상대적으로 낮은 펄스의 피크 간 전압은 버퍼를 이용하여 보상하였다. 본 논문은 II장에서 펄스 발생기의 회로 설계 및 동작 특성을 소개하고, III, IV장에서 설계된 회로의 시뮬레이션 및 측정 결과에 관해 분석하였고, V장에서 결론을 맺도록 하였다.

II. 디지털 펄스 발생기 회로 설계

본 논문에서는 앞에서 설명한 바와 같이 가우시안 형태의 펄스를 만들기 위한 펄스 발생기를 설계하였다. 그림 1에 나타난 블록 다이어그램은 클락 펄스를 받아 가우시안 형태의 펄스를 만들어 주는 일련의 펄스 발생 과정을 간단히 보여준다. 설계된 펄스 발생기는 그림과 같이 전압 제어 지연 선로(Voltage Controlled Delay Line: VCDL), 인버터, NOR 게이트와 NAND 게이트로 이루어진 1차 미분 가우시안 펄스 발생기 그리고 각 펄스 발생기에서 만들어진 1차 미분 가우시안 펄스들을 단일 가우시안 형태의 펄스로 합치기 위한 단계로 이루어진다. 이러한 과정으로 이루어진 펄스 발생기의 회로도도를 그림 2에 자세히 나타내었다. 실제 회로는 8개의 1차 미분 가우시안 펄스를 발생시켜 합치므로 반복되는 회로는 생략하고, 하나의 1차 미분 가우시안 펄스를 발생시키는 부분 회로만 보였다. 먼저 주파수를 결정할 펄스의 폭을 조절하기 위한 클락 신호의 지연 시간은 이후에 설명될 전압 제어 지연 선로(VCDL)의 인버터 사이즈를 조절함에 따라 결정될 수 있다. 여기서 지연 선로에 의해 지연된 클락 신호는 NAND와 NOR로 이루어진 가우시안 펄스 발생기의 각각의 로직 게이트에 지연 선로의 지연 시간과 인버터 셀에 의하여 다른 위상과 도착시간으로 입력이 가해지게 되어 NAND와 NOR 각각의 논리에 의해 도착 시간차에 따라 발생하는 클락 펄스의 간격 차이를

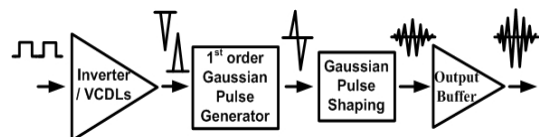


그림 1. 펄스 발생기의 블록 다이어그램
Fig. 1. Block diagram of pulse generator.

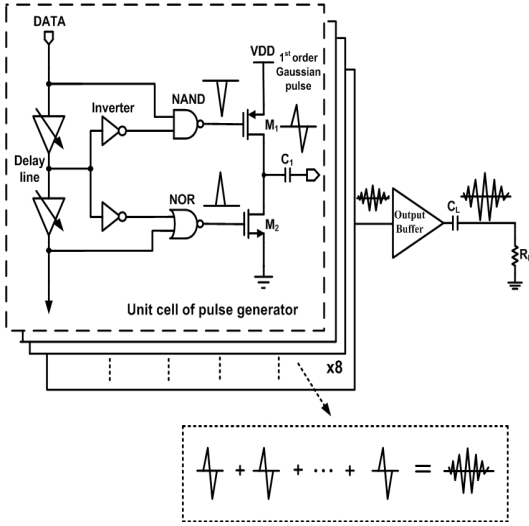


그림 2. 단일 가우시안 펄스 발생기의 회로도
Fig. 2. Schematic of single Gaussian pulse generator.

임펄스로 발생시키게 된다. 이와 같이 각각 다른 위상으로 생성된 펄스들은 푸시풀 회로로 이루어진 다음 단계에서 1차 미분 가우시안 펄스의 형태로 합쳐지게 된다. 이 과정에서 펄스를 발생시키는 동안 어느 한 시점에서 푸시풀 회로 중 하나의 트랜지스터만 동작하므로 푸시풀 구조는 전력 소모를 줄이는데도 도움이 된다. 이렇게 푸시풀 회로를 통과한 1차 미분 가우시안 펄스들은 적절한 시간 지연에 따라 단일 가우시안 형태의 펄스로 합쳐지는 마지막 과정을 거치게 된다. 이 과정에서 발생된 단일 가우시안 펄스의 폭은 중심 주파수 8 GHz일 때를 기준으로 약 1 ns로 전력 밀도에서 중심 주파수의 -3 dB 지점에서 약 1 GHz의 대역폭을 가지도록 설계하였으며, 각 단계에서의 셀들은 이상적인 가우시안 파형을 위해 사이즈를 적절하게 조절하였다. 이와 같이 디지털 방식으로 설계된 펄스 발생기의 임펄스를 만들기 위해 지연 선로의 지연 시간 조절은 매우 결정적인 역할을 한다. 앞서 간단하게 전압으로 제어 가능한 CMOS 회로 기반의 전압 제어 지연 선로(VCDL)는 그림 3과 같이 대표적으로 두 가지가 주로 쓰인다. 먼저 전류 결핍 인버터(Current-Starved Inverter: CSI) 구조는 NMOS의 게이트에 인가되는 전압을 이용하여 인버터에 흐르는 최대 이용 가능한 전류를 컨트롤 하는 방식이고, 분로-커패시터 인버터(Shunt Ca-

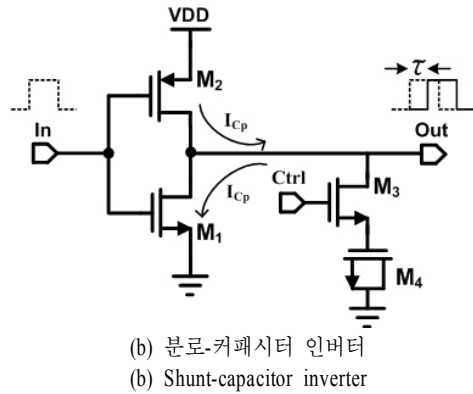
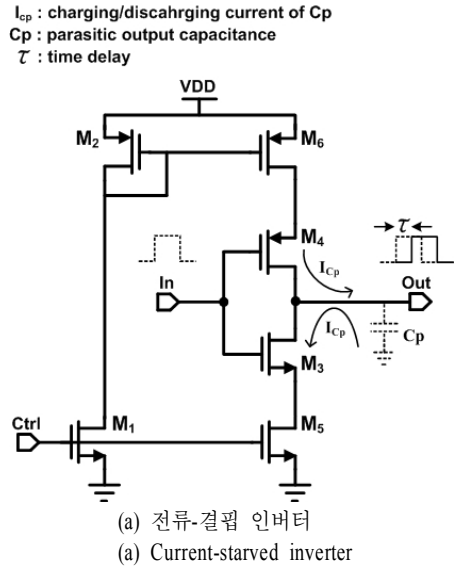


그림 3. 두 가지 타입의 전압 제어 지연 선로
Fig. 3. Voltage controlled delay line(VCDL) of two types.

pacitor Inverter: SCI) 구조는 CSI 방식과 같이 게이트 전압을 조절하지만 moscap을 사용하는 통과 트랜지스터(pass transistor)를 통해 유입되는 전하를 컨트롤 하는 방식이다. 본 설계에서는 그림 3의 (a)에서 보이는 것과 같이 CSI 방식의 회로가 더 견고하고 구성하기가 쉬워 많이 쓰이지만, SCI 방식이 최대 속도와 전력 소모 측면에서 더 높은 성능을 보이기 때문에 디지털 제어에 장점을 갖추고 있어 그림 3의 (b)와 같은 SCI 방식을 사용하게 되었다. SCI 방식의 시간 상수 τ 는 NMOS 채널 저항 R 과 인버터의 출력에 보이는 capacitance C 의 곱에 비례하므로 인버터의 지연 시간을 간단히 나타내면 아래와 같다.

$$t_d \propto \tau \approx R_{nmos} \cdot C_{total} = R_{nmos} \cdot (C_{inv} + C_{SCI} \cdot v_{ctrl}) \quad (1)$$

여기서 C_{inv} 는 인버터의 출력에서 보이는 기생 커패시턴스이고, $C_{SCI} \cdot v_{ctrl}$ 는 출력에서 보이는 shunt capacitance와 게이트 전압의 변화에 따른 컨트롤 백터에 관한 커패시턴스를 나타낸다. 이 식으로부터 지연 시간은 shunt capacitor의 백터에 대한 선형 함수로 정의됨을 알 수 있다^[5]. 본 논문에서는 C_{SCI} 를 100 fF 정도로 고정하고, v_{ctrl} 값을 조절하여 전압 제어 지연 선로(VCDL)의 지연 시간에 의해 정해지는 중심 주파수를 원하는 주파수 대역으로 바꿀 수 있도록 하였다. 마지막으로 펄스 발생기의 출력단에 생성된 가우시안 펄스를 최대한 큰 피크 전압으로 출력시키기 위하여 출력단에 4개의 인버터로 구성된 버퍼를 사용하였다. 버퍼는 UWB high band에서 최대 피크 전압을 얻기 위해 매칭되었고, 거의 전력 소모가 없는 펄스 발생기에 대하여 약 8 mA의 전류만을 소모하도록 설계하였다.

III. 디지털 펄스 발생기의 모의실험 결과

그림 4는 앞서 설명한 분포-커패시터 인버터(SCI) 구조로 된 전압 제어 지연 선로(VCDL)의 NMOS 게이트 전압을 변화시켰을 때 그에 따른 단일 지연 선로의 지연 시간을 시뮬레이션을 통하여 본 결과를 정리한 그래프이다. 단일 지연 선로의 지연 시간

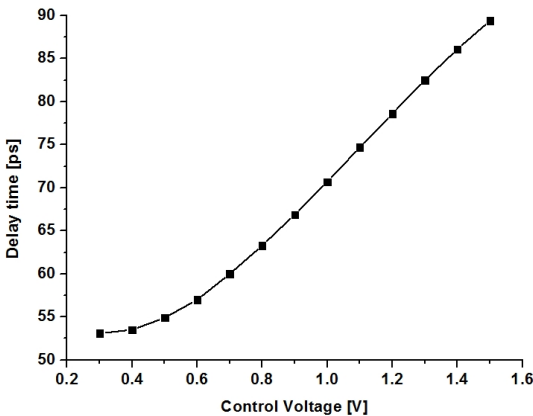
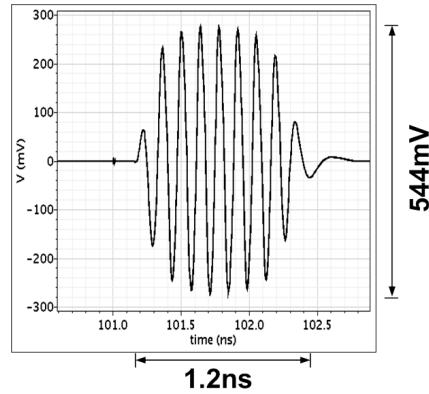
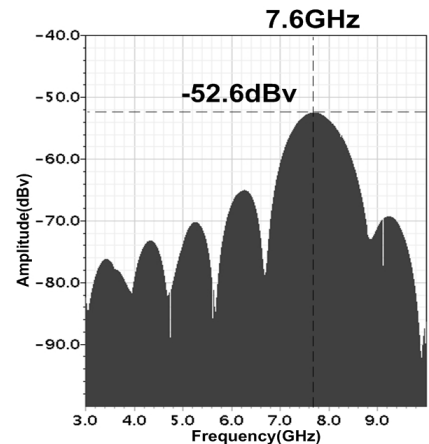


그림 4. VCDL의 제어 전압에 따른 시간 지연
Fig. 4. Time delay of VCDL by control voltage.

은 단일 펄스의 폭을 결정하므로 결과적으로 중심 주파수를 결정하는 역할을 한다. 게이트 전압을 0.3 V부터 1.5 V까지 증가시켰을 때 지연 시간은 약 53 ps에서 89 ps까지 증가하였다. 이에 따라 중심 주파수는 전압에 반비례하여 약 9.1 GHz에서 5.3 GHz까지 감소한다. 여기서 지연 선로의 출력단과 드레인을 통해 연결된 NMOS의 게이트 전압의 변화에 따라 UWB의 6~10 GHz 대역에서 중심 주파수를 제어할 수 있음을 확인할 수 있다. 그림 5(a)는 제어 전압을 0.8 V로 고정하고, 출력을 시간 영역에서 본 시뮬레이션 결과이다. 클락 펄스가 100 ns 주기를 가지므로 이와 같은 주기로 펄스를 발생하였다. 펄스 발



(a) 시간 영역에서 본 가우시안 형태의 펄스
(a) Gaussian waveform pulse in the time domain



(b) 주파수 영역에서 본 전력 밀도
(b) Power spectral density in the frequency domain

그림 5. 펄스 발생기의 모의실험 결과
Fig. 5. Simulation results of pulse generator.

표 1. 시뮬레이션 조건 및 결과

Table 1. Simulation condition and results.

입력 전압	1.5 V
클락 펄스 주기	100 ns
피크 간 최대 전압	470~634 mV
스펙트럼의 크기	-37.6~-44.8 dBm
전체 펄스폭의 범위	1.03~2 ns
스펙트럼의 대역폭	500~960 MHz
주파수 범위	5.3~9.1 GHz

생기의 출력 단에 버퍼를 달지 않았을 때 피크 간 전압이 224 mV이었으나, 높은 주파수 대역에 매칭된 버퍼를 달았을 때 피크 간 전압이 약 544 mV 정도로 증가하는 것을 확인하였다. 그림 5(b)는 시간 영역에서 본 펄스를 푸리에 변환하여 주파수 영역에서 전력 밀도로 본 그림이다. 제어 전압을 0.8 V로 고정하였으므로 이 전압에 따른 단일 펄스의 폭에 따라 7.6 GHz의 중심 주파수를 가지게 됨을 볼 수 있다. 그림에서 중심 주파수에서의 스펙트럼 크기는 전압 기준으로 -52.6 dBV이므로 전력 기준으로 50옴 임피던스를 고려하였을 때 dBm값이 dBV보다 10 dB 큰 값을 가지므로 -42.6 dBm의 크기를 갖는다. 단일 펄스의 폭은 중심 주파수를 결정하지만 전체 펄스의 폭은 대략적으로 스펙트럼의 -3 dB 대역폭을 결정하게 되므로 전체 1.2 ns의 폭을 가지는 펄스 발생기의 전력 스펙트럼은 중심 주파수에서 -3 dB 기준으로 약 900 MHz의 대역폭을 가지며, 중심 주파수가 증가 및 감소함에 따라 그에 비례하여 증가 및 감소한다. 이는 중심 주파수에서의 전력에서 -10 dB 떨어지는 점에서 500 MHz 이상의 대역폭을 갖는 UWB의 정의에 충분히 만족함을 알 수 있다. 또한, 여기서 출력 버퍼를 달아준 효과에 의해 중심 주파수에서 약 10 dB의 이득이 증가됨을 확인하였다. 표 1에 시뮬레이션 조건과 결과 값을 정리하였다.

IV. 측정 및 결과

제작된 펄스 발생기의 칩 사진을 그림 6에 나타내었고, 측정을 위해 추가한 패드의 크기에 의해 칩 전체는 380×260 μm^2 의 크기를 가지며, 패드를 제외한 펄스 발생기는 182×65 μm^2 의 크기를 가진다. 설계된 펄스 발생기에서 버퍼를 제외하고는 전부 디지털 회

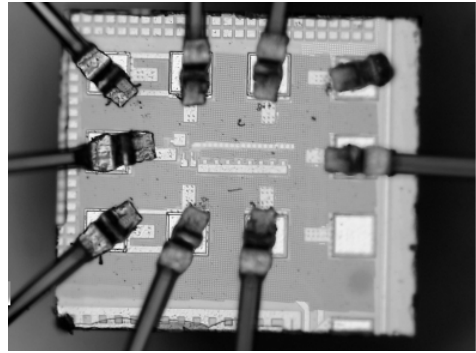
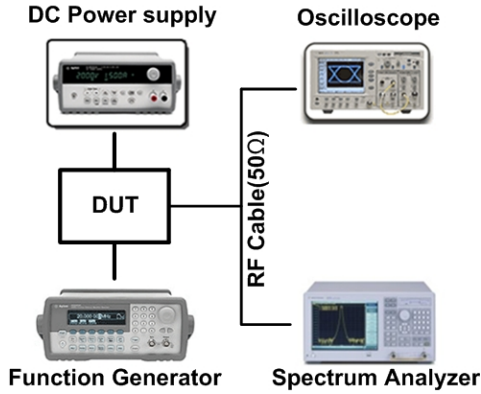


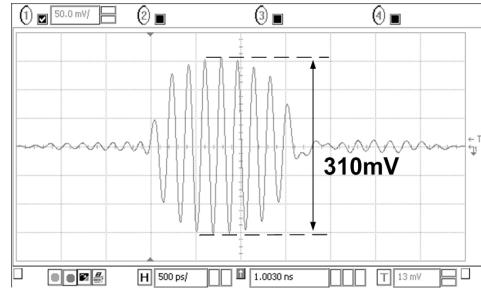
그림 6. 펄스 발생기의 칩 사진
Fig. 6. Chip photograph of pulse generator.

로 구성되어 있기 때문에 매우 작은 크기를 가지고 있음을 알 수 있다. 또한, 이와 같은 이유로 버퍼에 의해서만 전력을 소모하므로 입력 전압이 1.5 V일 때의 조건에서 전체 11.3 mW의 매우 작은 전력을 소모한다. 측정은 PCB 모듈에 회로를 구성하여 펄스 발생기 칩의 패드와 PCB의 패드를 직접 본딩으로 연결하였으며, 그림 7의 (a)와 같이 전원 공급기로 각각 1.5 V 입력 전압과 0.3 V부터 1.5 V까지 제어하는 전압을 주고, 입력에는 함수발생기로 PRF 10 MHz의 클락 신호를 가하고 출력을 오실로스코프와 스펙트럼 분석기로 RF 케이블을 이용하여 측정하였다. 그림 (b)는 오실로스코프를 사용하여 5.5 GHz의 중심 주파수에서의 파형을 측정한 결과이고, 그림 7 (c)와 (d)는 스펙트럼 분석기를 사용하여 펄스 발생기의 전력 밀도를 측정할 결과를 보여주고 있으며, 컨트롤 전압을 제어함에 따라 4.5 GHz에서 7.5 GHz까지 중심 주파수를 커버할 수 있음을 그림을 통해 확인할 수 있다. 시뮬레이션 결과와 오실로스코프 및 스펙트럼 분석기를 통해 측정된 결과를 통하여 시뮬레이션과 측정 결과를 비교한 결과, 시뮬레이션에 비하여 제어할 수 있는 중심 주파수가 가장 높은 주파수를 기준으로 1.6 GHz 정도 낮아지는 결과를 보였다.

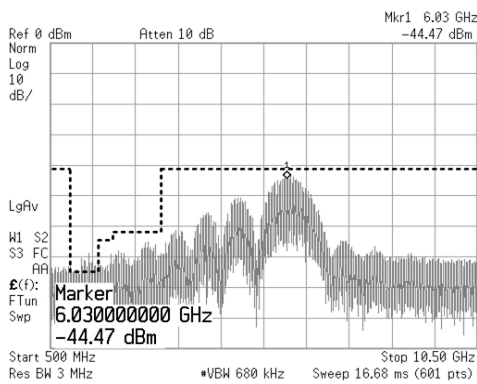
이는 시뮬레이션을 통하여 각각의 지연 선로에 18 fF 정도의 커패시터를 병렬로 연결하였을 때 측정에서와 같이 주파수가 낮아지는 것으로 보아 MOSFET의 모델링에서의 기생 커패시턴스 차이로 이러한 결과를 보이고 있음을 확인하였다. 위 과정을 통하여 측정된 펄스 발생기의 측정 결과를 표 2에 기준에 발표된 펄스 발생기의 회로와 비교하여 나타내



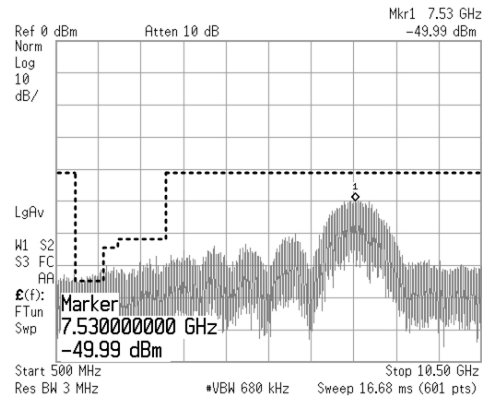
(a) 펄스 발생기의 측정을 위한 측정 장비의 구성
(a) Composition of measuring equipments



(b) 5.5 GHz 중심 주파수를 갖는 펄스 파형
(b) Pulse waveform with 5.5 GHz center frequency



(c) 6 GHz 중심 주파수를 갖는 파워 스펙트럼
(c) Power spectrum density with 6 GHz center frequency



(d) 7.5 GHz 중심 주파수를 갖는 파워 스펙트럼
(d) Power spectrum density with 7.5 GHz center frequency

그림 7. 스펙트럼 분석기와 오실로스코프를 통한 측정 결과
Fig. 7. Measured results through spectrum analyzer and oscilloscope.

표 2. 기존에 발표된 펄스 발생기들과의 비교
Table 2. Comparison with previously reported pulse generators.

Work	Technology	V_{PP} [mV]	EC [pJ/pulse]	τ [ns]	Band [GHz]	Chip area [mm ²]
Ref. [6]	CMOS 0.18 μ m	175	17@1.8 V	0.38	3~10	1.2
Ref. [7]	CMOS 0.18 μ m	1,280	50@2 V	1.75	3~5	0.4
Ref. [8]	CMOS 0.18 μ m	120	41@1.8 V	0.5	6~10	0.3
This work	CMOS 0.13 μ m	310	18@1.5 V	1.6	4.5~7.5	0.1

었다.

V. 결 론

본 논문에서는 UWB high-band용 펄스 발생기를 제안하고 설계 및 제작하였다. 제안된 펄스 발생기

는 버퍼를 제외하고 전체 회로를 디지털 회로로 구현하여 간단한 구조와 낮은 전력 소모를 만족하였고, 디지털 회로에 RF소자가 아닌 아날로그 소자만을 사용하여 소형화를 만족하였다. 또한, 전압 제어 지연 선로(Voltage Controlled Delay Line: VCDL)를 사용

하여 지연 선로의 지연 시간을 제어함으로써 원하는 주파수를 선택적으로 사용할 수 있는 효율적인 결과를 얻었다. 예상과 달리 시뮬레이션과 측정에서 주파수의 차이가 있었지만 좀 더 정확한 소자의 모델링으로 개선될 수 있음을 확인하였으며, 향후에 가우시안 펄스의 전체 폭을 제어하여 주파수와 더불어 대역폭도 선택적으로 사용할 수 있도록 할 예정이다.

참 고 문 헌

[1] 1st. Report & Order: Revision of Part 15 of the Commission's Rules Regarding UWB Transmission Systems, FCC, ET Docket 98-153, Feb. 2002.
 [2] X. Wang, S. Fan, "A 0.05 pJp-mV 5th-derivative pulse generator for full-band IR-UWB transceiver in 0.18 μm CMOS", *IEEE Trans. Microwave Theory and Techniques*, vol. 59, no. 4, pp. 1190-1116, Apr. 2011.
 [3] Sanghoon Sim, Dong-Wook Kim, "A CMOS UWB pulse generator for 6~10 GHz applications", *Microwave and Wireless Components Letters, IEEE*, vol.

19, no. 2, pp. 83-85, Feb. 2009.
 [4] S. Hongsan, O. Philip, "On the spectral and power requirements for ultra-wideband transmission", *Communications, ICC '03. IEEE International Conference on*, vol. 1, pp. 738-742, May 2003.
 [5] P. Andreani, F. Bigongiari, "A digitally controlled shunt capacitor CMOS delay line", *Analog Integrated Circuits and Signal Processing*, vol. 18, no. 1, pp. 89-96, Jul. 1998.
 [6] S. Bagga, A. V. Vorobyov, "Codesign of an impulse generator and miniaturized antennas for IR-UWB", *IEEE Trans. Microwave Theory and Techniques*, vol. 54, no. 4, pp. 1656-1666, Jun. 2006.
 [7] T. Norimatsu, R. Fujiwara, "A UWB-IR transmitter with digitally controlled pulse generator", *Solid-State Circuits, IEEE Journal of*, vol. 42, no. 6, pp. 1300-1309, Jun. 2007.
 [8] V. Kulkarni, M. Muqsith, "A 750Mb/s 12pJ/b 6-to-10 GHz digital UWB transmitter", *Custom Integrated Circuits Conference, CICC '07. IEEE*, pp. 647-650, Sep. 2007.

정 창 욱



2011년 2월: 광운대학교 전자공학과 (공학사)
 2011년 3월~현재: 광운대학교 전자공학과 석사과정
 [주 관심분야] 선형 CMOS 전력 증폭기 설계, CMOS 송신기 시스템 설계

어 윤 성



1993년 2월: 한국과학기술원 전기 및 전자공학과 (공학사)
 1995년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)
 2001년 2월: 한국과학기술원 전기 및 전자공학 (공학박사)
 2000년 8월~2002년 8월: LG 전자 기술원 RF team 선임연구원
 2002년 9월~2005월 8월: 삼성종합기술원 Chip Solution Center 책임연구원
 2004년 3월~2004년 4월: 그리스 Athena Semi사 파견 공동 연구
 2005년 9월~현재: 광운대학교 전자공학과 부교수
 [주 관심분야] 초고주파 CMOS 송수신기 설계, 초고주파 CMOS 시스템 설계, CMOS 전력증폭기 설계, UWB 송신기 설계, 화합물 반도체

유 현 진



2006년 8월: 광운대학교 전자공학과 (공학사)
 2009년 2월: 광운대학교 전자공학과 (공학석사)
 2009년 3월~현재: 광운대학교 전자공학과 박사과정
 [주 관심분야] 선형 CMOS 전력 증폭기 설계, CMOS 송신기 시스템 설계