
PMIC용 고신뢰성 eFuse OTP 메모리 설계

양혜령* · 최인화* · 장지혜** · 김려연** · 하판봉** · 김영희***

Design of High-Reliability eFuse OTP Memory for PMICs

Huiling Yang* · In-Wha Choi* · Ji-Hye Jang** · Liyan Jin** · Pan-Bong Ha** · Young-Hee Kim***

This work was supported by Industrial Strategic Technology Development Program funded by the Ministry of Knowledge Economy (MKE, Korea) (10039239, "Development of Power Management System SoC Supporting Multi-Battery-Cells and Multi-Energy-Sources for Smart Phones and Smart Devices")

요 약

본 논문에서는 BCD 공정 기반으로 PMIC용 고신뢰성 24비트 듀얼 포트(dual port) eFuse OTP 메모리를 설계하였다. 제안된 dynamic pseudo NMOS 로직회로를 이용한 프로그램 데이터 비교회로는 program-verify-read 모드에서 프로그램 데이터와 read 데이터를 비교하여 PFb(pass fail bar) 핀으로 비교 결과를 출력한다. 그래서 한 개의 PFb 핀만 테스트하므로 eFuse OTP 메모리가 정상적으로 프로그램 되었는지를 확인할 수 있다. 그리고 program-verify-read 모드를 이용하여 프로그램된 eFuse 저항의 변동을 고려한 가변 풀업 부하(variable pull-up load)를 갖는 센싱 마진 테스트 회로를 설계하였다. Magnachip 0.35 μ m BCD 공정을 이용하여 설계된 24비트 eFuse OTP 메모리의 레이아웃 면적은 289.9 μ m \times 163.65 μ m(=0.0475mm²)이다.

ABSTRACT

In this paper, a BCD process based high-reliability 24-bit dual-port eFuse OTP Memory for PMICs is designed. We propose a comparison circuit at program-verify-read mode to test that the program datum is correct by using a dynamic pseudo NMOS logic circuit. The comparison result of the program datum with its read datum is outputted to PFb (pass fail bar) pin. Thus, the normal operation of the designed OTP memory can be verified easily by checking the PFb pin. Also we propose a sensing margin test circuit with a variable pull-up load out of consideration for resistance variations of programmed eFuse at program-verify-read mode. We design a 24-bit eFuse OTP memory which uses Magnachip's 0.35 μ m BCD process, and the layout size is 289.9 μ m \times 163.65 μ m(=0.0475mm²).

키워드

전력관리칩, 이퓨즈, 프로그램 검증 읽기 모드, 비교 회로, 고 신뢰성

Key words

PMIC, eFuse, Program-verify-read mode, Comparison circuit, High-reliability

* 준회원 : 창원대학교
** 정회원 : 창원대학교
*** 정회원 : 창원대학교 (youngkim@changwon.ac.kr)

접수일자 : 2012. 05. 19
심사완료일자 : 2012. 06. 13

Open Access <http://dx.doi.org/10.6109/jkiice.2012.16.7.1455>

© This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서 론

PMIC(power management IC)는 아날로그 트리밍 기능을 수행하기 위해 소용량의 비휘발성 메모리를 필요로 한다. 내장되는 비휘발성 메모리는 추가 공정이 필요 없는 로직 공정 기반 설계가 가능한 eFuse OTP (electrical fuse one-time programmable) 메모리가 많이 사용되고 있으며, 메모리 용량은 수 백 Kb 이하가 요구된다[1]. eFuse OTP 메모리는 eFuse에 과전류를 흘려 blowing하여 프로그램 한다[2][3]. eFuse의 프로그램 이전 저항은 50~100 Ω 정도이고, eFuse를 통해 프로그램 과전류가 흐르면서 eFuse의 프로그램 후 저항은 대개 수십 kΩ 이상이 된다. 이와 같이 eFuse는 한 비트의 디지털 데이터를 전도 상태와 고저항 상태 중 하나로 프로그램한다.

eFuse OTP 메모리는 데이터 retention 시간동안 프로그램된 eFuse 링크의 저항이 줄었을 때 센싱 불량이 발생하지 않도록 하는 설계가 요구된다[4]. eFuse 링크의 프로그램된 저항 변동을 고려한 가변 풀-업 부하 저항 (variable pull-up load resistor)는 test read 모드와 read 모드에서 BL 프리차징 회로에 사용되는 풀-업 부하 저항을 가변시킨다. Test read 모드에서 센싱 가능한 eFuse 저항은 read 모드보다 더 크다. 그래서 test read 모드와 read 모드에서 센싱 가능한 eFuse 저항의 차이 값이 데이터 retention 시간동안 센싱 마진 저항이 된다[5][6]. 한편 eFuse OTP 메모리가 정상적으로 프로그램 되었는지 패키지(package) 상태에서 테스트가 가능하도록 설계가 되어야 한다. 그런데 PMIC 칩은 사용 핀(pin) 수가 몇 개 되지 않으므로 8비트 이상의 OTP read 데이터를 패키지 핀에서 읽어볼 수 없는 문제점이 있다.

본 논문에서는 패키지 상태에서 eFuse OTP 메모리가 정상적으로 프로그램 되었는지 테스트하는 program-verify-read 모드를 제안하였다. 프로그램 모드에서 프로그램 데이터(program data)는 eFuse OTP 메모리를 프로그램 하는데 사용할 뿐만 아니라 프로그램 데이터 래치(data latch) 회로에 래치된다. 프로그램 모드를 수행한 이후 program-verify-read 모드를 수행하면 dynamic pseudo NMOS 로직회로를 이용한 프로그램 데이터 비교회로는 프로그램 데이터 래치 회로에 래치된 프로그램 데이터와 read 모드에서 읽혀진 read 데이터를 비교하여 Pfb(pass fail bar) 핀으로 비교 결과를 출력한다. 이렇게

하므로 패키지 상태에서 eFuse OTP 메모리가 정상적으로 프로그램 되었는지를 알 수 있다. 또한 program-verify-read 모드에서는 가변 풀-업 부하 저항 회로를 이용하여 데이터 retention 시간동안 프로그램된 eFuse 링크의 저항 변동에 대한 마진 테스트가 가능하도록 설계하였다.

II. 회로설계

Magnachip 0.35 μm BCD 공정을 이용하여 설계한 24비트 eFuse OTP 메모리의 주요 특징은 표 1과 같다. 셀 어레이는 1행 × 24열로 구성되어 있다. eFuse OTP 셀은 OTP 메모리의 레이아웃 면적을 줄이기 위해 differential paired eFuse OTP 셀에 비해 셀 면적이 작은 듀얼 포트(dual port) eFuse OTP 셀을 사용하였으며, eFuse 링크는 p-polysilicon을 사용하였다. 동작모드는 프로그램 모드, read 모드와 program-verify-read 모드가 있다. 그리고 eFuse OTP 메모리의 프로그램 비트와 read 비트는 각각 1비트, 24비트이고 프로그램 시간은 200 μs이다. 사용되는 전원전압은 VDD의 단일전원이 사용된다. VDD 전압은 프로그램 모드인 경우 eFuse 링크에 충분한 프로그램 파워를 공급하기 위해 5.5V가 사용되며, 읽기 모드인 경우 4.5~5.5V가 사용된다. 설계에 사용된 소자는 5V MOS 트랜지스터만 사용하였다.

표 1. 24비트 eFuse OTP의 주요 특징.
Table. 1 Major specification of a 24-bit eFuse OTP memory.

Items	Main Features
Process	MC 0.35 μm BCD Process(HP35E65)
Cell Array Size	1R × 24C
eFuse Type	P-poly(Ti-silicide)
Supply Voltage	4.5V~5.5V
Temperature Range	-40 ℃ ~ 85 ℃
Operating Mode	Program / Read / Program-Verify-Read
Program bit / Read bit	1bit / 24bit
Program Voltage	5.5V
Program Time	200us
Access Time	200ns

24비트 eFuse OTP 메모리 설계에 사용된 듀얼 포트 eFuse OTP 셀의 회로도도 그림 1에서 보는 바와 같으며, 큰 프로그램 전류를 흘릴 수 있는 프로그램용 NMOS 트랜지스터(MN1)와 읽기 모드 전류를 줄일 수 있는 읽기용 NMOS 트랜지스터(MN2)가 각각 사용되고 있다.

동작 모드별 eFuse 셀의 바이어스 전압 표 2에서 보는 바와 같다. 프로그램 모드에서 '1'로 프로그램되는 eFuse 셀의 SL (source line)과 PGM_COL_SEL 신호는 모두 VDD로 구동된다. 이와 같이 eFuse에 과전류가 흐르면 eFuse는 blowing된다. 그리고 read 모드에서 RWL(read word line)은 0.67VDD를 구동하며, SL은 0V를 구동한다. '0'로 프로그램된 셀은 eFuse가 전도 상태이므로 BL에 0V를 출력하는 반면, '1'로 프로그램된 셀은 고저항 상태이므로 BL에 VDD를 출력한다.

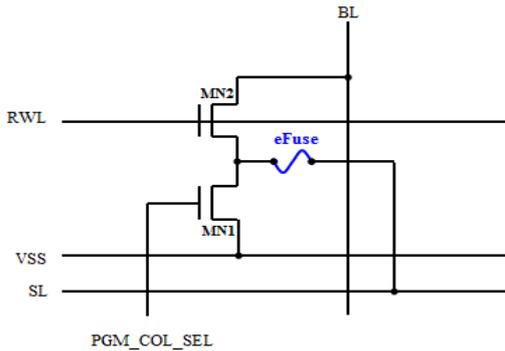


그림 1. 듀얼 포트 eFuse 셀 회로도.
Fig. 1 Dual-port eFuse OTP memory cell.

표 2. 동작 모드에 따른 셀 바이어스 조건.
Table. 2 Cell bias conditions according to operational modes.

구분	Program		Read	
	DIN=0	DIN=1	DIN=0	DIN=1
RWL	0V	0V	0.67VDD	0.67VDD
PGM_COL_SEL	Unselected	0V	0V	0V
	Selected	0V	VDD	0V
SL	VDD	VDD	0V	0V
BL	Floating	Floating	0V	VDD
DOUT	X	X	0	1
eFuse	Unblown	Blown	Unblown	Blown

BCD 공정을 이용하여 설계한 24비트 eFuse OTP 메모리의 블록도는 그림 2에서 보는 바와 같이 1행 × 24열의 OTP 셀 어레이, 제어 신호 (RD, PGM, TM_EN)에 따라 동작 모드에 적합한 내부 제어신호를 공급하는 제어 로직, 어드레스 A[4:0]를 디코딩하여 프로그램되는 열 (column)을 선택해주는 PGM_COL_SEL 회로, 프로그램 데이터를 저장하는 데이터 래치(data latch) 회로, BL의 데이터를 읽어내기 위한 DOUT 버퍼, 그리고 데이터 래치에 저장된 프로그램 데이터 PD[23:0]와 DOUT 버퍼의 읽어낸 데이터 DOUT[23:0]이 일치하는지 비교해주는 비교회로로 구성되어 있다. PD[23:0]와 DOUT[23:0]를 해당 비트끼리 비교하였을 때 모든 비트가 일치하는 경우는 정상적으로 프로그램 되었으므로 PFB 신호는 '1'을 출력하고, 24비트 중 한 비트 이상이 불일치하면 '0'를 출력한다. TM_EN(test mode enable) 신호는 program-verify-read 모드와 read 모드를 구분해 준다.

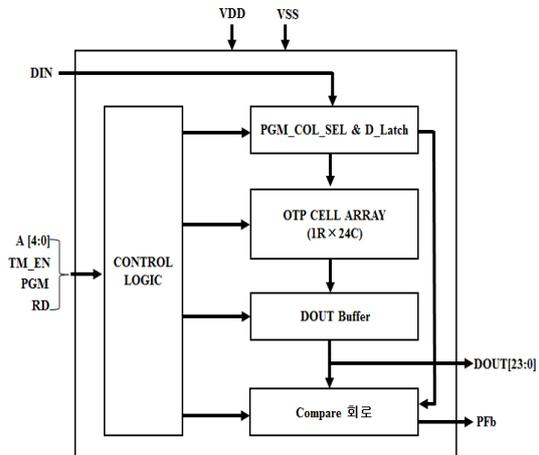
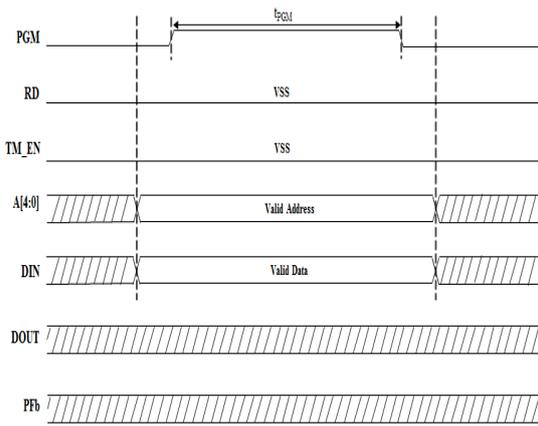


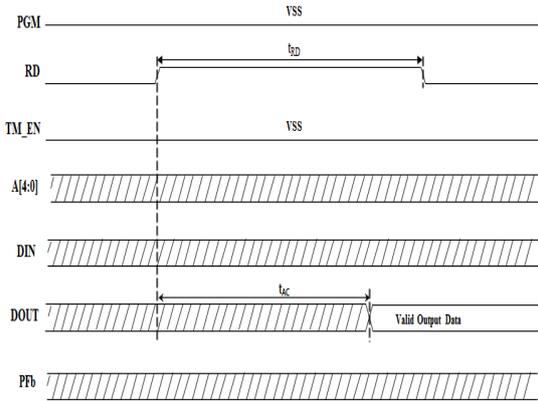
그림 2. 24비트 eFuse OTP 메모리의 블록도.
Fig. 2 Block diagram of 24-bit eFuse OTP memory.

그림 3은 eFuse OTP의 동작 모드별 타이밍 다이어그램을 보여주고 있다. 그림 3(a)는 프로그램 모드에서의 타이밍 다이어그램이며, 프로그램 동작은 어드레스 A[4:0]와 입력 데이터 DIN을 먼저 인가한 상태에서 PGM 신호가 low에서 high로 활성화 되면 선택되는 OTP 메모리 셀은 프로그램 된다. 그리고 프로그램 모드에서 프로그램 입력 데이터 DIN은 eFuse OTP 메모

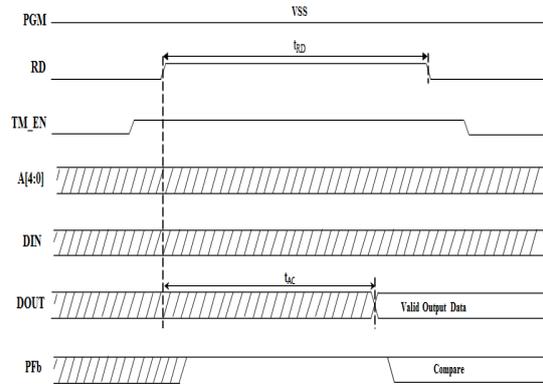
리를 프로그램하는데 사용할 뿐만 아니라 프로그램 데이터 래치 회로에 래치된다. 그림 3(b)는 읽기 모드에서의 타이밍 다이어그램이며, 읽기 동작은 RD 신호를 high로 활성화시키면 24비트의 출력 데이터가 액세스 시간이 지난 이후 DOUT[23:0] 포트로 출력된다. 이때 PGM 신호는 low 상태를 유지해야 된다. 그리고 그림 3(c)는 program-verify-read 모드의 타이밍 다이어그램이며, RD 신호와 TM_EN 신호를 동시에 high로 활성화하면 dynamic pseudo NMOS 로직회로를 이용한 프로그램 데이터 비교회로는 프로그램 데이터 래치 회로에 래치된 프로그램 데이터와 read 모드에서 읽혀진 read 데이터를 비교하여 Pfb 핀으로 비교 결과를 출력한다.



(a)



(b)



(c)

그림 3. 동작 모드별 타이밍 다이어그램

(a) 프로그램 모드 (b) read 모드

(c) program-verify-read 모드.

Fig. 3. Timing diagrams according to operational modes: (a) program mode, (b) read mode, and (c) program-verify-read mode.

그림 4는 프로그램 모드에서 프로그램 되는 열을 선택해주는 PGM_COL_SEL 회로이며, 프로그램 모드로 진입하게 되면 행 어드레스인 A[4:0]을 디코딩하여 프로그램 되는 PGM_COL_SEL만 VDD(=5.5V)로 구동되고 프로그램 되지 않는 PGM_COL_SEL 신호는 0V를 유지하도록 한다.

그리고 읽기 모드에서는 PGM_COL_SEL[23:0] 신호는 모두 0V를 유지한다. 그리고 그림 5는 positive level-sensitive D 래치 형태인 프로그램 데이터 래치(program data latch) 회로이다. 프로그램 모드에서 프로그램 데이터인 DIN은 프로그램 데이터 래치 회로에 저장된다.

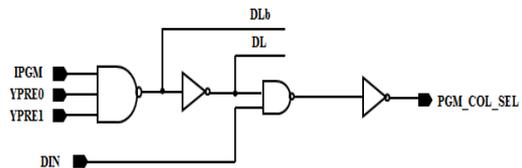


그림 4. PGM_COL_SEL 회로.

Fig. 4 PGM_COL_SEL circuit.

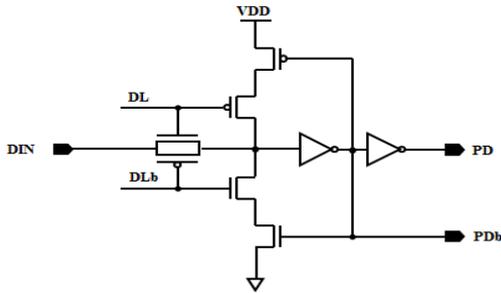


그림 5. 프로그램 데이터 래치 회로.
Fig. 5 Program data latch circuit.

그림 6은 DOUT 버퍼 회로로 read 모드와 program-verify-read 모드에서 BL(bit line) 프리차지 신호인 BL_PCG 신호에 의해 BL은 0V로 프리차지 된다. OTP 셀의 RWL 신호가 0.67·VDD로 활성화되면 풀-업 부하 트랜지스터(MP1 또는 MP2)에 의해 BL은 VDD로 풀-업된다. eFuse OTP 메모리 셀의 데이터가 BL에 충분히 전달되면 DOUT 버퍼는 SAENb(sense amplifier enable bar) 신호가 0V로 활성화된 뒤 VDD 또는 0V인 BL 전압을 센싱하여 DOUT 포트에 읽은 데이터를 출력한다. 그런데 eFuse OTP 셀은 데이터 retention 시간동안 프로그램된 eFuse 링크의 저항이 줄어드는 경우에 BL 센싱 불량이 발생할 수 있다.

그래서 본 논문에서는 프로그램된 eFuse 저항의 변동을 고려한 가변 풀-업 부하 회로[5]를 사용하였다. eFuse를 program한 후 program-verify-read 모드에서는 그림 6의 가변 풀-업 부하 트랜지스터 중 MP1만 ON시켜 eFuse 저항이 정상적으로 프로그램되었는지 테스트한다. 그리고 read 모드에서는 MP1보다 풀-업 저항이 작은 MP2만 ON시켜 프로그램된 eFuse 저항이 낮게 변동하더라도 BL을 풀-업시켜 정상적인 '1' 데이터로 센싱하도록 한다. 그래서 program-verify-read 모드와 read 모드에서 센싱 가능한 eFuse 저항의 차이 값이 데이터 retention 시간동안 DOUT 버퍼에서의 BL 센싱 마진 저항이 된다. 한편 프로그램된 eFuse 저항이 높게 변하는 경우는 BL 센싱 마진이 증가하는 경우이므로 문제가 되지 않는다.

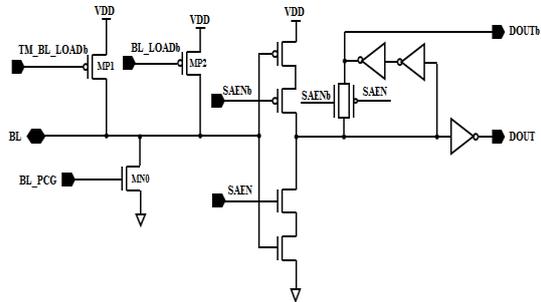


그림 6. DOUT 버퍼 회로.
Fig. 6 DOUT buffer circuit.

한편 그림 7의 dynamic pseudo NMOS 로직회로를 이용한 프로그램 데이터 비교회로는 프로그램 모드 이후 program-verify-read 모드를 수행하면 프로그램 데이터 래치 회로에 래치된 프로그램 데이터인 PD[23:0]와 읽혀진 read 데이터인 DOUT[23:0]가 일치하는지 해당되는 비트끼리 데이터를 비교한다. 프로그램 데이터 비교 결과는 PFb 핀으로 출력한다. COMP_EN(compare enable) 신호가 0V인 경우는 MATCH 신호가 VDD로 프리차지 상태를 유지하고 PFb는 VDD를 출력한다.

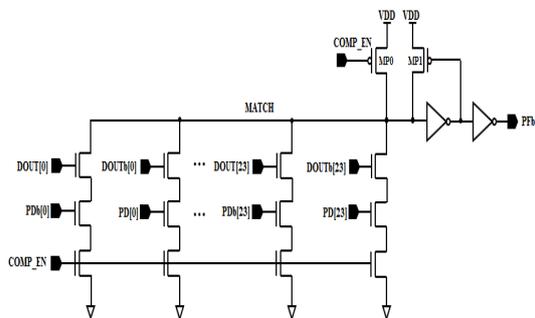


그림 7. Dynamic Pseudo NMOS 로직을 이용한 24비트 프로그램 데이터 비교회로.
Fig. 7 Comparison circuit of 24-bit program data with a dynamic pseudo NMOS logic circuit.

program-verify-read 모드에서 DOUT[23:0]가 먼저 셋-업(set-up)된 상태에서 COMP_EN이 high로 활성화된다. 만약 24-비트의 PD[23:0]와 DOUT[23:0]가 비트끼리 모두 일치하면 MATCH는 VDD를 유지하며, PFb 신호는 VDD로 출력한다. 만약 24비트의 데이터 중 한 비트이상

다르면 MATCH 신호는 0V로 방전되어 PFb는 0V를 출력한다. 그림 7의 MP1은 래치-백(latch-back) 트랜지스터로 24비트 데이터가 모두 일치하는 경우 누설전류에 의해 MATCH 신호가 low로 떨어지는 것을 방지하기 위해 사용하였다.

III. 모의실험 결과

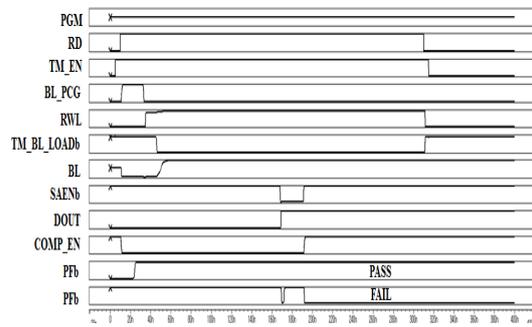
0.35 μ m BCD 공정 기반의 24b eFuse OTP 메모리를 설계하였다. 표 3은 프로그램된 eFuse 링크의 센싱 저항에 대한 모의실험 결과이다. VDD=4.5V, FF 모델 파라미터, -40 $^{\circ}$ C의 program-verify-read 모드와 read 모드에서의 eFuse 센싱 저항은 각각 9k Ω , 4k Ω 으로 모의실험되었다. 이 경우 프로그램된 eFuse 저항이 4k Ω 이하로 떨어지지 않는 이상 정상적으로 센싱이 가능하다.

표 3. 프로그램된 eFuse 링크의 센싱 저항에 대한 모의실험 결과.

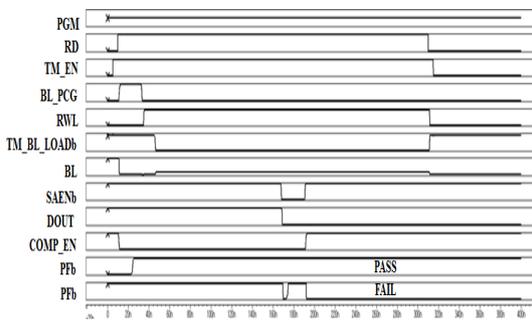
Table. 3 Simulation result of sensed resistances of programmed eFuse links.

VDD	Temp	Program-Verify-Read Mode					Read Mode				
		SS model	SF model	TT model	FS model	FF model	SS model	SF model	TT model	FS model	FF model
4.5V	-40 $^{\circ}$ C	12k Ω	8k Ω	11k Ω	13k Ω	9k Ω	3k Ω	2k Ω	4k Ω	5k Ω	4k Ω
	25 $^{\circ}$ C	13k Ω	9k Ω	12k Ω	14k Ω	11k Ω	4k Ω	3k Ω	4k Ω	5k Ω	4k Ω
	85 $^{\circ}$ C	14k Ω	10k Ω	13k Ω	15k Ω	11k Ω	4k Ω	3k Ω	4k Ω	5k Ω	4k Ω
5V	-40 $^{\circ}$ C	11k Ω	8k Ω	10k Ω	12k Ω	9k Ω	3k Ω	2k Ω	3k Ω	4k Ω	3k Ω
	25 $^{\circ}$ C	12k Ω	9k Ω	11k Ω	14k Ω	10k Ω	3k Ω	3k Ω	4k Ω	5k Ω	4k Ω
	85 $^{\circ}$ C	13k Ω	9k Ω	12k Ω	15k Ω	11k Ω	4k Ω	3k Ω	4k Ω	5k Ω	4k Ω
5.5V	-40 $^{\circ}$ C	11k Ω	8k Ω	10k Ω	11k Ω	9k Ω	3k Ω	2k Ω	3k Ω	4k Ω	3k Ω
	25 $^{\circ}$ C	12k Ω	8k Ω	11k Ω	13k Ω	10k Ω	3k Ω	2k Ω	3k Ω	5k Ω	4k Ω
	85 $^{\circ}$ C	13k Ω	9k Ω	12k Ω	14k Ω	11k Ω	4k Ω	3k Ω	4k Ω	5k Ω	4k Ω

그림 8은 24비트 eFuse OTP 메모리에 대한 program-verify-read 모드에서의 모의실험 결과이다. RD 신호가 활성화 되면 액세스 시간이 지난 후 DOUT이 출력된다. 그 이후 COMP_EN 신호가 high로 활성화되면서 PFb는 PD와 DOUT의 비교 결과를 출력한다. 그림 8에서 프로그램 데이터와 read 데이터가 일치하는 경우 PFb는 PASS를 출력하고, 만약 일치하지 않는 경우는 FAIL을 출력한다.



(a)



(b)

그림 8. Program-verify-read 모드에서의 모의실험 결과 (a) '1'로 프로그램된 경우 (b) '0'로 프로그램된 경우.

Fig. 8. Simulation results at program-verify-read mode: (a) in case of being programmed with '1' and (b) in case of being programmed with '0'.

그림 9는 0.35 μ m BCD 공정을 이용하여 설계된 24비트 eFuse OTP 메모리의 레이아웃 사진을 보여주고 있으며, 레이아웃 면적은 289.9 μ m \times 163.65 μ m(=0.0475mm 2)이다.

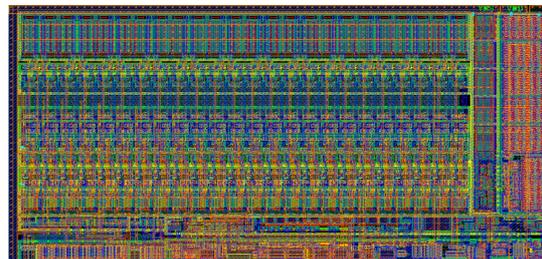


그림 9. 설계된 24비트 eFuse OTP 메모리의 레이아웃 이미지.

Fig. 9 Layout image of the designed 24-bit eFuse OTP memory.

V. 결 론

본 논문에서는 패키지 상태에서 eFuse OTP 메모리가 정상적으로 프로그램 되었는지 테스트하는 program-verify-read 모드를 제안하였다. Program-verify-read 모드는 dynamic pseudo NMOS 로직회로를 이용한 프로그램 데이터 비교회로가 프로그램 데이터 래치 회로에 래치된 프로그램 데이터와 read 모드에서 읽혀진 read 데이터를 비교하여 PFb 핀으로 비교 결과를 출력한다. 이렇게 하므로 패키지 상태에서 하나의 핀으로 출력되는 PFb를 통해 eFuse OTP 메모리가 정상적으로 프로그램 되었는지를 알 수 있다. 또한 program-verify-read 모드에서는 가변 풀-업 부하 저항 회로를 이용하여 데이터 retention 시간동안 프로그램된 eFuse 링크의 저항 변동에 대한 마진 테스트가 가능하도록 설계하였다. Magnchip 0.35 μm BCD 공정을 이용하여 설계된 24비트 eFuse OTP 메모리의 레이아웃 사이즈는 289.9 μm \times 163.65 μm (=0.0475 mm²)이다.

[2] J. Safran, A. Leslie, et al., "A compact eFuse programmable array memory for SOI CMOS," Symposium on VLSI Circuits, pp. 72-73, June 2007.

[3] N. Robson et al., "Electrically programmable fuse (eFuse): From memory redundancy to autonomic chip," Proceedings of Custom Integrated Circuits Conference, pp. 799-804, Sep. 2007.

[4] M. Alavi et al., "A PROM element based on salicide agglomeration of poly fuses in a CMOS logic process," IEEE International Electron Devices Meeting, pp. 855-858, Dec. 1997.

[5] J. H. Kim et al., "Design of 1-Kb eFuse OTP memory IP with reliability considered," Journal of Semiconductor Technology and Science, vol. 11, no. 2, pp. 88-94, June, 2011.

[6] J. H. Jang et al., "Design of an 8-bit differential paired eFuse OTP memory IP reducing sensing resistance," J. Cent. South Univ., vol. 19, no. 1, pp. 168-173, January 2012.

감사의 글

This work was supported by Industrial Strategic Technology Development Program funded by the Ministry of Knowledge Economy (MKE, Korea) (10039239, "Development of Power Management System SoC Supporting Multi-Battery-Cells and Multi-Energy-Sources for Smart Phones and Smart Devices")

참고문헌

[1] S. H. Kulkarni et al., "A 4kb metal-fuse OTP-ROM macro featuring a 2V programmable 1.37 μm^2 1T1R bit cell in 32nm high-k metal-gate CMOS," IEEE Solid-State Circuits, vol. 45, no. 4, pp. 863-868, April 2010.

저자소개



양혜령(Hui-Ling-Yang)

2010.7 연변대학교 전자공학과
공학사
2010.9~현재 창원대학교
전자공학과 석사과정

※ 관심분야: Non-Volatile memory 설계, 아날로그 회로 설계



최인화(In-Hwa Choi)

2011.2 창원대학교 전자공학과
공학사
2011.3~현재 창원대학교
전자공학과 석사과정

※ 관심분야: Non-Volatile memory 설계, 아날로그 회로 설계



장지혜(Ji-Hye Jang)

2008.2 창원대학교 전자공학과
공학사

2008.3~현재 창원대학교
전자공학과 석사과정

※ 관심분야: Non-Volatile memory 설계, 아날로그
회로 설계, PMIC 설계



김려연(Li-Yan Jin)

2007.7 연변대학교 컴퓨터공학과
공학사

2007.9~현재 창원대학교
전자공학과 석사과정

※ 관심분야: Non-Volatile memory 설계, 아날로그 회로
설계, PMIC 설계



하판봉(Pan-Bong Ha)

1981.2 부산대학교 전기공학과
공학사

1983.2 서울대학교 전자공학과
공학석사

1993.2 서울대학교 전자공학과 공학박사
1987.3~현재 창원대학교 전자공학과 교수
※ 관심분야: 임베디드 시스템, SoC 설계



김영희(Young-Hee Kim)

1989.2 경북대학교 전자공학과
공학사

1997.2 포항공과대학교
전자전기공학과 공학석사

2000.8 포항공과대학교 전자전기공학과 공학박사
1989.1~2001.2 현대전자 책임연구원
2001.3~현재 창원대학교 전자공학과 교수
※ 관심분야: 저전압/저전력/고속 메모리 설계, LCD
구동 칩 설계, CMOS 이미지 센서 설계, RFID 태그 칩
설계, PMIC 설계