

SDR 통신장비를 위한 2단계 적응형 Digital AGC 기법

정회원 박 종 훈*, 김 영 제*, 준회원 조 정 일*, 정회원 조 형 원*, 이 영 포**,
종신회원 윤 석 호**

Two-stage Adaptive Digital AGC Method for SDR Radio

Jonghun Park*, Youngje Kim* *Regular Members*, Jungil Cho*, *Associate Member*,
Hyung-Weon Cho*, Youngpo Lee** *Regular Members*, Seokho Yoon** *Lifelong Member*

요 약

본 논문은 SDR(software-defined radio) 기반 무선 통신장비를 위한 디지털 AGC(Automatic Gain Control) 알고리즘에 대한 것이다. 수신신호는 무선 채널 구간에서 발생하는 경로 감쇄 및 수신단 front-end 동작에 의해 시간에 따라 변하는데, 신뢰성 있는 신호 복호를 위해서는 빠르고 정확한 AGC 기술이 적용되어야 한다. 또한, 하나의 수신기에서 다양한 웨이브폼을 수신하는 SDR 통신장비를 위해서는 적응적인 AGC 기술이 필요하다. 본 논문에서 다양한 웨이브폼에 대해 적용하기 위한 2단계로 구성된 적응적 구조를 제안한다. 제안한 적응적 구조는 수신신호 크기에 따라 이득값(gain) 선택 단계를 선택, 변경함으로써 빠르고 안정적인 이득값 조절을 가능하게 한다. 컴퓨터 모의실험을 통하여 제안하는 방식의 수렴속도 및 안정화 정도를 검증하고, 기존 방식과 비교하여 빠른 수렴 속도를 보임을 확인한다.

Key Words : ADC, Digital AGC, Loopback Filter, SDR, Two-stage Adaptive AGC

ABSTRACT

In this paper, an adaptive digital automatic gain control(AGC) algorithm with two stages is proposed. AGC technique is crucial for mobile communication equipment because path loss in wireless channel and gain fluctuation in receiver front-end continuously change the received signal strength. Furthermore, adaptive criteria should be applied to the design of AGC algorithm in order to support many waveforms with one SDR communication device. With these reasons, a two-stage structure is proposed to satisfy both flexibility and adaptiveness. Compared with conventional method, it also requires shorter convergence time. Numerical results show that the gain value of variable gain amplifier(VGA) is converged within proper time and proposed scheme controls the input level of analog to digital converter(ADC) to be stable during long range of time.

I. 서 론

증폭기, 변복조기, 검파기 등의 기존에 하드웨어로 구현되던 요소들을 소프트웨어로 구현하는 시스템으로서 최근 디지털 전자기기의 빠른 발전을 통해 실

SDR(Software Defined Radio) 기술은 믹서, 필터,

* 삼성탈레스 통신연구소 무선통신그룹({johnjh.park, youngje99, jungil01.cho}@samsung.com) (° : 교신저자)

** 성균관대학교 정보통신공학대학 전자전기공학부({leeyyp204, syoon}@skku.edu)

논문번호 : KICS2011-11-568, 접수일자 : 2011년 11월 30일, 최종논문접수일자 : 2012년 5월 24일

제적으로 구현할 수 있게 되었다. SDR에서는 하나의 통신 방식을 결정하는 소프트웨어 어플리케이션들을 웨이브폼(waveform)이라 하며, 하나의 SDR 단말기에서 다양한 웨이브폼을 지원할 수 있도록 활발한 연구가 진행되고 있다^[1]. 특히, 군사용 통신 장비에 SDR 기술을 적용하게 되면 다양한 전장상황에서 필요한 다수의 웨이브폼을 하나의 장비에 탑재할 수 있기 때문에 운용자가 장비 교체 없이 계급간, 부대간 통신이 가능하게 된다. 이는 군통신 장비 운용의 간소화와 군사 예산을 절감하는 효과를 기대할 수 있어 SDR 기술의 군용 통신 장비 적용을 위해 많은 연구들이 진행 중이다.

SDR 기반 통신장비의 수신기는 다양한 종류의 웨이브폼을 수신하여 디지털 처리할 수 있어야 하고, 효과적인 디지털 처리를 위한 ADC(analog to digital converter) 동작이 필수적이다. 무선 환경을 통과한 수신신호는 경로 손실 및 페이딩(fading) 영향에 의해 신호의 크기가 시간에 따라 변화하며^[2], 수신부 RF단 증폭부에서 증폭되기 때문에 ADC 입력신호 크기에 대한 실시간 이득 조절기능이 필요로 하고, 이를 자동이득제어(AGC: automatic-gain control)라고 칭한다. 통상적으로 AGC는 입력신호의 크기 추정 부분과 이를 보상하는 위치에 따라 구분되며 각 기술에 따라 장단점을 갖는다. 아날로그 또는 디지털 AGC 기술은 정확도와 수렴 속도 측면에서 서로 trade-off 관계에 있다^[3,4].

본 논문에서는 SDR 통신장비에 적합한 디지털 AGC 방식을 제안한다. 제안하는 방식은 AGC회로에서의 정확한 이득값(gain) 추정을 위해 이를 디지털단에서 수행하고 이득값 설정 회로를 2단계로 나누어 다양한 웨이브폼들에 적응적으로 동작하도록 하였다. 그 뿐만 아니라, ADC에서 발생할 수 있는 양자화 오류를 인지 및 보상하고, 이득값의 빠른 수렴과 안정적인 유지가 가능하도록 설계하였다.

본 논문은 다음과 같이 구성되어 있다. II장에서는 자동이득제어 기술에 대한 구분 방법과 장단점을 비교하고 III장에서는 제안하는 2단계 적응형 디지털 AGC기술에 대해 상세 설명을 한다. IV장에서는 컴퓨터 기반의 모의실험을 통해 제안하는 방식에 대한 성능평가를 수행한다.

II. 자동 이득 제어 기술

수신 아날로그 신호를 ADC를 거쳐 디지털화할 때, ADC선정에 있어서 입력값 범위와 출력값의 양

자화 비트수는 칩의 가격과 수신단 성능에 직접적인 영향을 주기 때문에 중요한 설계 파라미터가 된다. N. Al-Dhahir와 John M. Cioffi는 가우시안 입력신호에 대해 두 파라미터에 대한 최적값을 찾는 방법을 소개하고 있다^[5].

하지만, 최적의 입력값 범위가 결정되었다고 하더라도, 무선 채널 환경 및 수신단 front-end 동작에 따라 ADC 입력값의 크기는 시간에 따라 변화하여 특정한 경우 ADC 단에서 양자화 오류가 발생할 수 있다. 예를 들어, 입력신호의 진폭이 ADC의 입력값 범위보다 매우 작으면 그림 1의 (a)처럼 양자화 과정에서 신호 데이터가 손실되는 경우가 발생하게 되는데 특히 ADC의 양자화 비트수가 적어 양자화 레벨이 적을 시 수신단 sensitivity 이상의 신호가 입력이 되더라도 이러한 현상이 발생할 수 있다. 이와는 반대로 입력값 범위보다 신호의 크기를 경우에는 그림 1의 (b)처럼 신호가 clipping되어 데이터의 신호대 잡음비(SNR: signal to noise ratio) 손실이 발생하게 된다. AGC 블록에서는 이 같은 경우에서도 유연하게 동작 가능하도록 설계되어야 해야 한다.

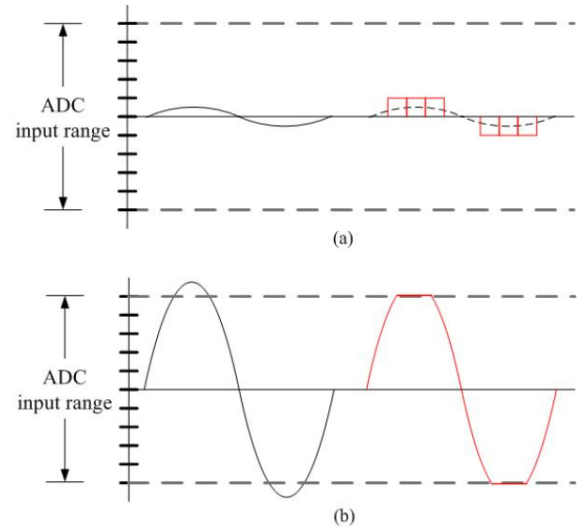


그림 1. ADC에서 발생하는 양자화 오류들
Fig. 1. Quantization Errors in ADC

기존의 AGC 기술에 대한 연구는 수신신호의 크기 추정과 추정결과로 인한 이득값 보상을 아날로그와 디지털 도메인 중 어느 곳에서 수행하느냐에 따라 두 가지 종류로 구분되어진다.

아날로그 AGC는 ADC 앞단에서 수신신호의 크기 추정과 이득조절이 모두 이루어지는 구조로^[3,6], AGC loop 내부에 ADC 및 DAC 과정이 없기 때문에 증폭부의 이득값 조절을 통해 신호를 원하는

크기에서 빠르게 조절시킬 수 있다는 장점이 있지만, 아날로그 신호를 이용하여 수신신호 강도(RSSI: Received Signal Strength Indicator)를 측정하기 때문에, 디지털 신호에 비해 정확한 RSSI 측정이 어려워 신호를 원하는 크기로 정확히 안정화하는 것이 어렵다는 단점이 있다.

반면, 디지털 AGC는 디지털 신호를 이용해 RSSI를 측정하므로 정확한 신호 크기의 추정 및 조절이 가능하고, 모든 기능들이 디지털 단에서 구현되기 때문에 복잡도가 낮다는 장점이 있다⁷⁾. 하지만, 기존에 제안된 디지털 AGC방식들은 ADC에서 양자화 오류가 고려되지 않고 있어, dynamic range가 ADC dynamic range보다 넓은 신호가 수신될 때 이득값 계산에 많은 시간을 필요로 하게 된다. 또한 심볼 주기가 긴 협대역(narrowband) 신호나 주파수 호핑(frequency hopping) 시스템은 빠른 이득 수렴을 요구하는데, 단일 loop filter 기반의 구조는^{4,9,10)} 빠른 시간내에 이득값 수렴이 어렵다. 따라서, 다양한 종류의 waveform을 수신해야 하는 SDR 장비를 위해서는 기존 방식들이 수정 보완이 필요하다.

결론적으로, 본 논문에서 제안하는 방식은 앞서 언급한 기존방식의 단점들을 보완하기 위해 재설계한 방식이다. 디지털 도메인에서 수신신호의 크기를 추정하고 clipping 발생 여부를 추정하여 이에 적합한 이득값을 아날로그 도메인으로 전달하여 ADC input level 을 조절 하도록 하였다. 보다 빠른 이득 조절을 위해 이득값 결정 로직을 coarse 와 fine 의 두 단계로 두어 추정된 신호 크기에 따라 적응적으로 동작할 수 있도록 추가 고려하였다.

III. 제안하는 2단계 적응형 디지털 AGC 기술

3.1. 2단계 적응형 디지털 AGC 기술

앞서 살펴본 아날로그 또는 디지털 AGC 기술은 정확도와 수렴 속도 측면에서 서로 trade-off 관계에 있다. 본 논문에서는 각각의 기술들의 장점을 수용하고, 디지털 AGC의 단점을 보완할 수 있도록 두 단계로 분화된 AGC 기법을 제안한다. 제안 방식의 자세한 동작을 포함한 알고리즘 상태 천이도와 순서도는 다음과 같다.

3.1.1 알고리즘 상태 천이도(State Diagram)

수신기에 전원이 인가되어 활성상태가 되면 (RX_ON) AGC 로직은 Idle 상태에서 coarse AGC로

상태 변이를 하게 된다. Coarse AGC에서는 clipping 발생 여부 판단 및 RSSI 값을 추정한다. 이후 로직에 따라 AGC를 그만 수행하거나(AGC_OFF), fine AGC로 변환해야 하는 경우(FINE_AGC_ON) 상태를 전위시킨다. Fine AGC에서는 추정된 RSSI 값을 보고 이를 loop filter에 축적하며 이득값을 조절하고 계속 fine AGC를 운영할 것인지 coarse AGC로 전위할 것인지를(COARSE_AGC_ON) 판단한다. 전체로직에서 AGC동작을 멈출 경우(AGC_OFF) Idle 상태로 전위한다. 제안하는 방식의 상태 천이도(state transition diagram)은 그림 2에 도시되어 있다.

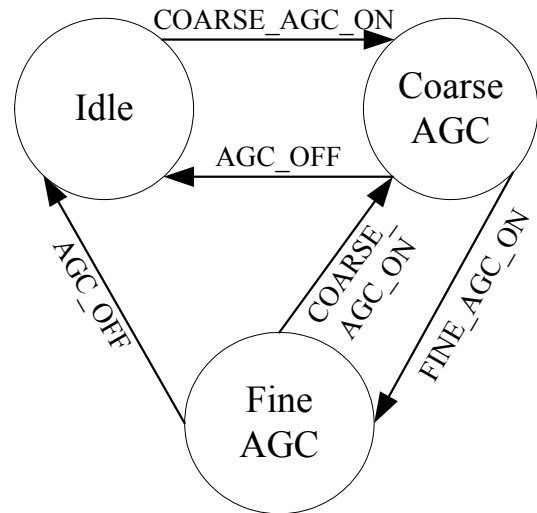


그림 2. 제안 방식의 알고리즘 상태 천이도
Fig. 2. State Transition Diagram of Proposed AGC Algorithm

3.2. 알고리즘 순서도

일반적인 웨이브폼의 프레임 구조에서는 AGC를 위한 신호가 제일 앞에 존재하게 되며, AGC를 위해 설계된 프리앰블(preamble)을 이용한다. 프리앰블의 구성 방법은 동기화 및 AGC성능에 영향을 미치게 되는데, 이에 대한 논의는 본 논문의 범위를 벗어나므로 자세히 언급하지 않겠다.

제안하는 방식은 빠른 적응적 구조를 위해 2단계로 구성되어 있으며 수신신호에 따라 적응적으로 동작하게 설계 되어 있다. 자세한 알고리즘 순서도는 그림 3과 같다.

3.2.1. Coarse AGC

Coarse AGC 구간에서는 VGA(Variable Gain Amplifier)의 이득값 조절을 통해 ADC 입력 신호 크기를 목표치에 빠르게 근접할 수 있도록 한다. 수신 신호 입력되면 VGA에서는 초기 이득값만큼 수

신 신호를 증폭시킨다. 이 후, envelope estimator에서는 ADC를 거친 I, Q 신호의 샘플 envelope을 측

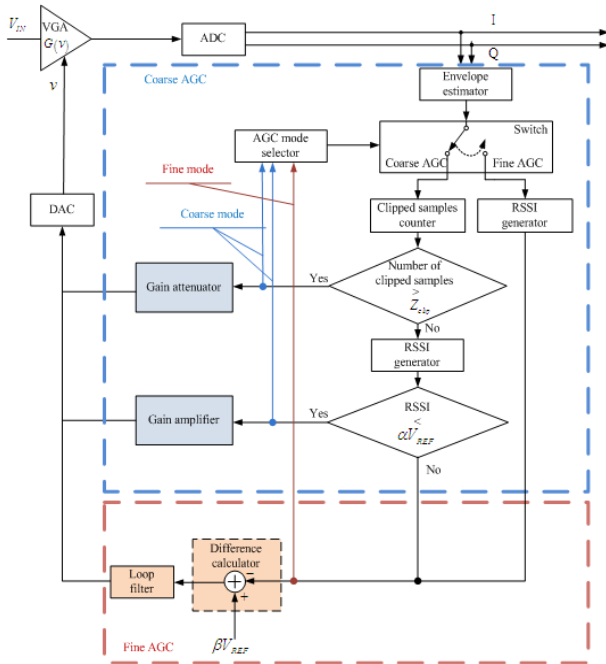


그림 3. 제안 방식의 알고리즘 순서도
Fig. 3. Logical Diagram of Proposed Method

정한다. n 번째 ADC 출력의 in-phase, quadrature-phase 값을 각각 $r_i(n), r_q(n)$ 라고 했을 때 envelop E 는 다음의 식으로 얻어진다.

$$E = \frac{1}{N_{AGC}} \sum_{i=0}^{N_{AGC}-1} \sqrt{r_i^2(i) + r_q^2(i)} \quad (1)$$

N_{AGC} 는 1회 AGC loop에서 사용되는 sample 개수로 웨이브폼에 따라 개수가 달라진다.

AGC의 첫 번째 루프에서는 우선 coarse AGC 모드로 동작하게 되고, 이 후의 루프에서 스위치는 이전 AGC 루프에서 수행된 결과에 clipping된 샘플 수와 RSSI 비교 결과에 따라 coarse AGC 또는 fine AGC 모드를 선택한다. 초기 상태에서 coarse AGC가 동작하면, clipped sample counter에서는 관측 구간 샘플들의 envelope 중 clipping된 샘플들의 개수를 세고, 이를 문턱값(Z_{clip})와 비교하여 clipping된 샘플들의 수가 보다 많을 때, 이득 감쇄(gain attenuation)를 수행한다. 이 때, gain attenuator는 이득값의 크기를 G_m 배 낮춰주게 된다. Clipping된 샘플들의 개수가 문턱값보다 작을 때에는 RSSI generator를 이용하여 RSSI를 생성한

다. RSSI generator 의 세부 구조는 그림 4에 도시 되어 있다.

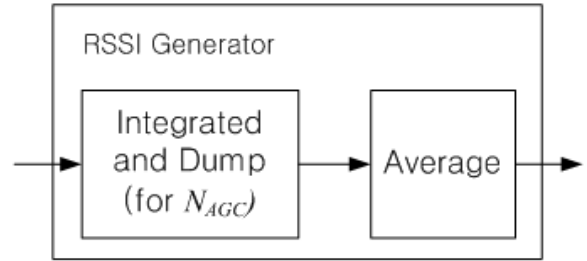


그림 4. RSSI 생성기의 블록도
Fig. 4. Block Diagram of RSSI Generator

RSSI generator를 통해 생성된 RSSI를 목표값의 α 배인 αV_{REF} 와 비교하여 이보다 RSSI의 크기가 작을 경우에 이득 증폭을 수행한다. 이득 값을 증폭 과정은 이득값의 크기를 G_M 배 높여주는 것으로, 이득 증폭 과정을 통해 조절된 신호의 크기가 목표치보다는 작지만 원하는 목표치의 근접 범위에 들지 못하는 경우에 수행된다. 이와 같은 과정들을 통해 신호 크기가 목표치의 근접 범위에 도달하게 되면, AGC mode selector에서는 coarse AGC는 동작을 멈추고 fine AGC가 동작하도록 스위치의 위치를 변경한다.

3.2.2. Fine AGC

Fine AGC 는 신호의 크기를 정확한 목표치에서 안정화 되도록 하는 역할을 수행한다. 우선 RSSI와 βV_{REF} 의 차이를 loop filter에 입력한다. Loop filter는 RSSI와 βV_{REF} 의 차이를 지속적으로 누적시키며 이득값의 크기를 조절하며, 이 이득값을 이용하여 신호를 증폭 혹은 감쇄시킴으로써 신호의 크기를 정확한 목표치에서 안정화되도록 한다. 그림 3에서 loop filter 계수는 loop filter의 입력에 곱해지는 수치로서, RSSI와 βV_{REF} 의 차이를 이용해 이득값을 조절할 때에 사용되는 step size(μ) 역할을 한다. Loop filter 계수를 크게 설정하면 신호 크기의 안정화 시간은 줄어들지만, 정확도가 감소한다는 단점이 있고, loop filter 계수를 작게 설정하면 정확도는 증가하지만, 안정화 시간이 길어진다는 단점이 있다.

최종적으로 loop filter의 출력은 DAC를 통해 analog 신호로 변환된 뒤 VGA에 입력되며, VGA는 v 를 입력 받아 이득값으로 변환한 뒤, 수신된 신호를 증폭 혹은 감쇄함으로써, 출력 신호의 크기

를 목표치에 맞게 조절한다.

IV. 모의실험 및 결과

4.1. 모의실험 환경

일반적인 무선 통신 시스템과 마찬가지로, SDR 통신 장비에서 신뢰성이 보장되는 신호 복호를 위해서는 AGC가 가장 먼저 수행되어야 한다. 특히 AGC를 디지털단에서 수행할 때에는, 정밀한 AGC를 위해 일정한 신호 크기를 갖는 심볼로 preamble을 구성하는 것이 유리하다. 이에 본 실험에서도 CAZAC(Constant Amplitude Zero Autocorrelation Code) 시퀀스를 AGC를 위한 preamble로 선정하였다. 대역폭 제한과 pulse shaping을 위한 transmitter filter는 square root raised cosine (SRRC) filter를 사용하였으며 continuous 신호의 시뮬레이션을 위한 digital to analog converter 블록이 이를 뒤따른다. 무선 채널 모델은 JTRS에서 정의하는 wideband networking waveform (WNW)의 채널 중 다중 경로 환경인 channel D 모델을 적용하였고^[8], 이때 신호 대 잡음비 (signal to noise ratio: E_s/N_0)은 5 dB로 설정하였다. 실험에서는 무선 채널 모델과 noise가 모두 없는 상황 (no channel), 평균이 제로인 AWGN (addictive white gaussian noise)만 존재하는 상황, AWGN 및 무선 채널 모델이 적용된 상황의 총 3가지 상황에 대해 성능 검증을 수행하였다. VGA의 초기 이득값은 30 dB로 설정하였으며, 이 값에는 경로 손실 및 수신단 front-end의 초기 증폭값이 모두 포함되어 있다고 가정한다. 또한, 16 비트로 양자화 하는 ADC가 실험에 사용되었다. 표 1에 주요 시뮬레이션 파라미터를 정리하였다.

표 1. 시뮬레이션 파라미터
Table 1. Simulation Parameters.

항목	파라미터	값
공통 파라 미터	Symbol Rate	4 MHz
	Tx Filter	SRRC filter (Roll-off factor : 0.2)
	ADC	Input range:-2.5V ~ 2.5V, 16bit
	V_{REF}	2.5 V
	초기 이득값	30 dB

	Coarse Gain Factor	$\alpha = 0.6$
	Fine Gain Factor	$\beta = 0.8$
	AGC Loop Duration	1.5 us
	Clipping threshold(Z_{clip})	12
	Loop filter 계수(μ)	0.1
채널 환경	채널 모델	WNW Channel D
	E_s / N_0	5 dB

기존 기술과의 비교를 위해 1단계로 구성된 loop filter 기반 AGC 기법과 비교하였다. 비교 방식에 사용된 loop filter의 damping factor는 0.8 을 적용하였다.^[9]

모의실험은 Mathworks 사의 Simulink 기반의 시뮬레이터에서 수행하였으며 그림 5는 성능 검증을 위한 모의실험 시뮬레이터의 구조를 나타낸다. 전체 시뮬레이터에서 AGC 검증을 위한 블록만을 선별하여 도시하였다.

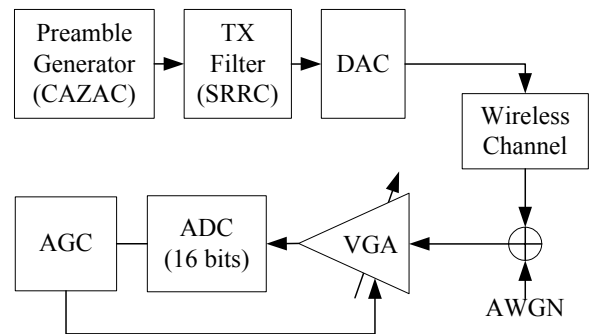


그림 5. 실험 블록도
Fig. 5. Block Diagram for Simulation

4.2. 실험 결과

그림 6은 AGC loop 횟수가 증가함에 따라 VGA의 gain 값의 변화를 나타내는 그래프이다. 채널 환경이 다른 세 실험 결과 모두 일정 시간이후에는 loop 수가 증가해도 gain이 일정하게 유지됨을 확인할 수 있다. 이 구간에서 AGC가 fine stage로 동작함을 알 수 있다.

그 뿐만 아니라, 채널 및 noise의 영향이 없는 경우는 6 loop (9 us) 내에서, AWGN 환경에서는 15 loop (22.5 us) 내에서, 마지막으로 채널과 noise 영향을 모두 받는 경우에는 22 loop (33 us) 내에서 이득값이 안정화됨을 확인할 수 있다. 제안 방식은 동일한 채널 환경에서 수행된 Linde^[9]의 방식과 비교하여 수렴 속도가 약 2배 빠르는데, 이는 fine AGC 단계가 빠르게 수렴할 수 있는 범위까지 coarse AGC 단계가 이득값

을 빠르게 조절했기 때문이다.

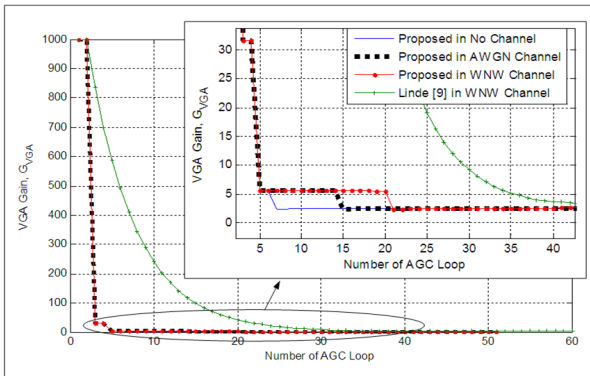


그림 6. VGA Gain 변화 실험 결과
Fig. 6. Simulation Result for VGA Gain Variation

V. 결 론

본 논문에서는 새로운 디지털 AGC기법을 제안하였다. 제안방식은 다양한 웨이브폼에 적용하기 위한 적응형 구조를 채택하고 있으며 초기 수렴 시간을 단축하기 위해 2단계로 구성하였다. 또한, ADC에서 발생하는 quantization 오류를 고려하여 동작할 수 있게 설계 되었다. 컴퓨터 모의실험을 통해 무선 채널 환경에서 기존 방식에 비해 빠른 이득값 수렴 결과를 확인하였다.

References

[1] Palkovic, M., Raghavan, P., Min Li, Dejonghe, A., Van der Perre, L. and Cattoor, F., "Future Software-Defined Radio Platforms and Mapping Flows," *IEEE Signal Processing Magazine*, Vol. 27, pp. 22-33 Mar., 2010

[2] B. Sklar, *Digital Communications: Fundamentals and Applications*. Upper Saddle River, NJ: Prentice-Hall, 2001.

[3] Alegre, J.P., Calvo, B. and Celma, S., "A fast compact CMOS feedforward automatic gain control circuit," *IEEE International Symposium on Circuits and Systems*, pp. 1504-1507, May, 2008.

[4] Choong Il Yeh, Whan Woo Kim, "On the AGC Design of Wireless Communication Systems," *Journal of IEEK*, Vol. 15, No. 6, pp. 567-572, June, 2004.

[5] N. Al-Dhahir and John M. Cioffi, "On the Uniform ADC Bit Precision and Clip Level Computation for a Gaussian Signal," *IEEE Transactions on Signal Processing*, Vol. 44, No. 2, Feb. 1996

[6] Jeon, O., fox, R.M., and Myers, B.A., "Analog AGC Circuitry for a CMOS WLAN Receivers," *IEEE Journal of Solid-state Circuits*, Vol. 41, Issue 10, pp. 2291 - 2300, Oct., 2006

[7] T. Fujisawa, J. Hasegawa, K. Tsuchie, T. Shiozawa, T. Fujita, T. Saito, and Y. Unekawa, "A single-chip 802.11a MAC/PHY with a 32-b RISC processor," *IEEE J. Solid-State Circuits*, vol. 38, no. 11, pp. 2001-2009, Nov. 2003.

[8] JTRS Joint Program Office, *Joint Tactical Radio System (JTRS) Wideband Networking Waveform (WNW) Functional Description Document (FDD)*, Version 2.21, Nov. 2001

[9] Linde, L.P., "AGC strategy for adaptive digital modems employing cyclic channel estimation in an HF frequency hopping scenario," *IEE Proceedings on Communications, Speech and Vision*, Vol. 138, Issue: 3, pp. 185 - 188, June, 1991

[10] Avellon, G., Messina, E., and Serratore, A., "Automatic Gain Control Loop Based on Threshold Crossing Rate Measurement" in *Proceeding on IEEE International Conference on Communications (ICC)*, Vol. 12, pp. 5682 - 5686, June, 2006

박종훈 (Jonghun Park)

정희원



2005년 8월 한국정보통신대학교 (현 KAIST ICC) 전자공학과 학사

2008년 2월 한국정보통신대학교 (현 KAIST ICC) 전자공학과 석사

2010년 4월~현재 삼성탈레스

선임연구원

<관심분야> Military Communication System, Multicarrier System, Synchronization, Information Theory

김 영 제 (Youngje Kim)

정회원



2003년 8월 충남대학교 전자공학교육과 학사
2005년 8월 충남대학교 전자공학과 석사
2010년 2월 충남대학교 전자공학과 박사
2010년 1월~현재 삼성탈레스

전문연구원

<관심분야> Anti-jamming, Estimation Theory, Military Communication System, Synchronization

조 정 일 (Jungil Cho)

준회원



2009년 2월 인하대학교 전자공학과 학사
2011년 2월 인하대학교 전자공학과 석사
2011년 1월~현재 삼성탈레스 연구원

<관심분야> Military Wireless Communication System, Cooperative Communication, Cognitive Radio

조 형 원 (Hyung-Weon Cho)

정회원



1992년 2월 광운대학교 전자공재료학과 학사
1994년 2월 광운대학교 전자공재료학과 석사
2012년 2월 연세대학교 전기전자공학과 박사
1997년 7월~현재 삼성탈레스

수석연구원

<관심분야> Military Communications, 통신 시스템 및 네트워크 설계 및 최적화

이 영 포 (Youngpo Lee)

정회원



2008년 2월 성균관대학교 정보통신공학부 공학사
2010년 2월 성균관대학교 휴대폰학과 공학석사
2010년 3월~현재 성균관대학교 휴대폰학과 박사 과정
2008년 11월 한국통신학회 하계종합학술발표회 우수논문상 수상

2009년 12월 IEEE Seoul Section Student Paper Contest 대상 수상

2010년 1월 성균관대학교 정보통신공학부 우수논문상 수상

2011년 4월 CTRQ 국제학술대회 Best Paper Award 수상

2011년 12월 아이디어 전자신문 대학(원)생 과학기술&IT 논문공모 대제전 최우수상 수상

<관심분야> 통신 이론, 이동통신, 통계학적 신호처리

윤 석 호 (Seokho Yoon)

종신회원



1997년 2월 한국과학기술원 전자전산학과 공학사 (최우등)
1999년 2월 한국과학기술원 전자전산학과 공학석사
2002년 2월 한국과학기술원 전자전산학과 공학박사
2002년 3월~2002년 6월 MIT

박사후 연구원

2002년 7월~2003년 2월 하버드대학교 박사후 연구원

2003년 3월~현재 성균관대학교 정보통신공학대학 전자전기공학부 전임강사, 조교수, 부교수

2000년 2월 삼성 휴먼테크 논문대상 동상 수상

2007년 Marquis Who's Who in Asia에 등재

2007년 IEEE 준석학회원

2008년 Marquis Who's Who in World에 등재

2009년 한국통신학회 LG 학술상 수상

<관심분야> 통신 이론, 이동통신, 통계학적 신호처리