

논문 2012-49SD-7-3

## 낮은 지터를 갖는 지연고정루프를 이용한 클럭 발생기

( A Clock Generator with Jitter Suppressed Delay Locked Loop )

남 정 훈\*, 최 영 식\*\*

( Jeong-Hoon Nam and Young-Shig Choi )

### 요 약

본 논문에서는 낮은 지터를 갖는 지연고정루프를 이용하여 좀 더 정확한 출력을 갖는 클럭 발생기를 제안하였다. 제안된 클럭 발생기에 사용된 지연고정루프는 열 개의 지연단을 가진 전압제어지연단(VCDL)을 사용하며, 기준 지연단의 출력신호와 이전 지연단의 출력신호를 비교하여 위상차에 해당하는 만큼의 전압을 발생시켜 지연단의 제어전압으로 인가된다. 이 제어전압은 지연단의 출력신호의 위상이 흔들림에 따라 증가하거나 감소하여 출력신호의 지연정도를 조절하여 위상변화를 보상하며, 지연고정루프 출력신호 및 체배 된 출력신호의 지터를 감소시킨다. 제안된 클럭 발생기는 1.8V 0.18 $\mu$ m CMOS 공정을 이용하여, 100MHz를 입력신호로 인가 할 경우 1GHz의 신호가 출력 되도록 설계 하였다. 시뮬레이션 결과 출력 신호의 peak-to-peak 지터 값은 3.24ps이었다.

### Abstract

A novel Clock Generator with jitter suppressed delay-locked loop (DLL) has been proposed to generate highly accurate output signals. The proposed Clock Generator has a VCDL which can suppress its jitter by generating control signals proportional to phase differences among delay stages. It has been designed to generate 1GHz output at 100MHz input with 1.8V 0.18 $\mu$ m CMOS process. The simulation result demonstrates a 3.24ps of peak-to-peak jitter.

**Keywords** : DLL, Clock Generator, low jitter

### I. 서 론

최근 시스템의 동작속도가 비약적으로 발전함에 따라, 초고속 시스템의 적절하고 안정적인 동작을 유지하기 위해 주파수 합성기 성능의 진보는 필수적인 것이 되었다. 특히 통신 시스템과 DSP, CPU, 메모리와 같은 전자 시스템에서 주파수 합성기는 매우 중요한 부분을 차지하고 있다. CPU나 DSP와 같은 고속 프로세서에서는 디지털 회로의 동작 속도와 일치하는 높은 주파수의 클럭 신호를 필요로 한다. 그러나 칩들 사이의 직접적

인 인터페이스에서 깨끗한 클럭 신호를 얻는 것은 매우 어렵기 때문에 외부의 클럭 신호를 입력으로 받아 칩 내부에서 깨끗한 클럭 신호를 발생시키는 회로가 필요하다. 일반적으로 이러한 신호 발생기로서 위상고정루프 (Phase-locked loop)가 가장 많이 이용된다.

현재 거대한 수익 시장을 가지고 있는 디지털 칩의 경우, 높은 주파수의 신호를 처리하기 하기 위해선 매우 깨끗한 클럭 신호가 필요하다. 이러한 클럭 신호는 국부발진기에 의해서 공급되며, 국부발진기의 잡음 성능은 칩 동작에 있어서 결정적인 영향을 미친다. 그러나 위상고정루프의 경우 VCO (Voltage Controlled Oscillator)를 사용한 페루프 피드백 구조이기 때문에 고차 시스템의 되어 설계하기가 어려우며, 동작이 안정되었을 때 PVT (process, voltage, temperature) 값들에

\* 정회원, \*\* 정회원-교신저자, 부경대학교 전자공학과 (Pukyong National University)

※ 이 논문은 2011년도 한국연구재단의 지원을 받아 수행된 연구임 (2011-0007768).

접수일자: 2012년3월23일, 수정완료일: 2012년5월22일

의해서 루프 대역폭이 쉽게 변화 될 수 있으며, 고정시간이 늦고, 특히 VCO에서 지터가 축적되는 단점들이 있다. 특히 요즘 모든 시스템을 하나의 칩에 집적화 하는 시스템온칩 (System on a Chip; SOC)의 추세로 나가는 지금, 잡음이 작고, 높은 주파수를 가진 클럭 신호를 합성하는데 필요한 VCO는 하나의 칩으로 집적화하는데 있어서 걸림돌이 되고 있다.

고속 시스템에서는 칩 간의 인터페이스에서 발생하는 클럭 신호의 지연되는 양을 무시할 수 없으며, 이러한 지연이 각 칩 간의 데이터 전송 시 심각한 타이밍 문제를 발생 시킬 수 있기 때문에 100MHz 이상의 고속 시스템에서는 위상고정루프에 비해 좀 더 안정적인 지연고정루프를 사용한 동기회로가 이용된다. 지연고정루프는 VCO대신 VCDL을 사용하는 동시에 일차 시스템이기 때문에 항상 안정하며 지터의 축적이 없고, 빠른 고정 시간을 갖는 장점이 있다. 그러나 시스템이 요구하는 높은 주파수를 가진 출력 신호를 만들기가 어렵다는 단점이 있다.

지연고정루프로 높은 주파수를 가진 출력 신호를 만들기 위해 주파수 체배기를 사용하였다<sup>[1]</sup>. 지연고정루프가 위상고정루프에 비해 구조적으로 작은 지터 값을 가지고 있으나, 더 작은 지터 값을 가지도록 하는 다양한 구조의 지연고정루프가 연구 되고 있다. 위상고정루프를 사용하여 높은 주파수를 가지는 신호를 출력하는 구조는 위상고정루프에서 사용되는 VCDL 지연소자간의 지연시간 불일치가 지터의 원인이 된다. 이러한 불일치를 최소화하고 지터 값을 더 줄이기 위해 여러 가지 구조가 발표되고 있다. 디지털 방식으로 위상고정루프의 지터를 줄이는 구조도 연구 되었다<sup>[2~4]</sup>. 디지털 방식으로 지터를 줄이는 구조는 지연소자의 최소 지연 값에 의해 지터의 최저 값이 결정되므로 지터를 줄이기 위해서는 작은 지연 값을 가지는 지연소자를 만들어야 하므로 전력 소모가 늘어날 수 있다. 각 지연단의 지연 시간 불일치를 줄이기 위해 여러 개의 위상검출기도 사용되었다<sup>[5]</sup>. 여러 개의 위상 검출기를 사용하므로 각 위상검출기는 똑같은 결과를 나타내어야 한다. 논문 [5]에 사용된 위상검출기는 공정 변화에 민감한 구조이므로, 공정 변화에 따라 각 위상 검출기의 출력 값이 달라질 수 있어, 설계할 때나 레이아웃 할 때 세심한 주의가 필요하다.

본 논문에서는 이미 발표된 높은 주파수의 출력 신호

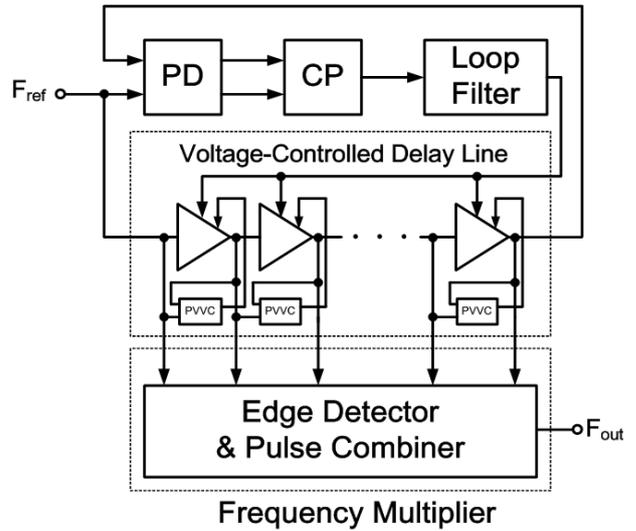


그림 1. 제안한 클럭 발생기의 구조.  
Fig. 1. Block diagram of the proposed clock generator.

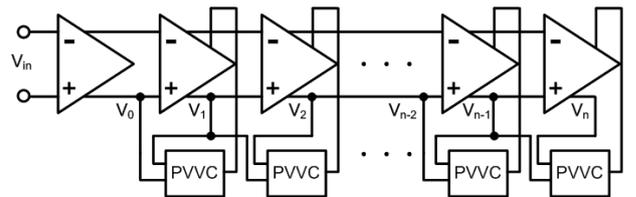


그림 2. 제안한 전압제어 지연단의 구조.  
Fig. 2. Block diagram of the proposed voltage-controlled delay line.

를 만들 수 있는 지연고정루프의 구조를 개선한 것이다. 100MHz 입력 신호로 1GHz의 높은 주파수를 가진 신호를 만들기 위해 주파수 체배기를 사용하였다. 공정 변화에 덜 민감한 개선된 구조의 VCDL을 이용하여 각 지연단의 위상변화를 보상하고, 지연고정루프의 지터를 줄여 보다 정확한 출력을 낼 수 있는 구조의 클럭 발생기를 제안한다.

## II. 제안된 클럭 발생기 설계

### 1. 지연고정루프 및 클럭 발생기의 구조

제안된 클럭 발생기는 그림 1과 같이 위상검출기 (Phase Detector)와 전하펌프 (Charge Pump), 하나의 커패시터로 구성된 루프필터(Loop Filter), 전압제어 지연단(Voltage-Controlled Delay Line), 그리고 주파수 체배기 (Frequency Multiplier)로 구성된다.

본 논문에서 사용된 전압제어 지연단의 구조는 그림 2와 같으며, 10개의 차동 지연단 (Differential Delay

cell), 10개의 위상변화-전압 변환기(Phase Variation - Voltage Converter)로 구성된다. 위상변화-전압 변환기는 지연단의 입력신호와 출력신호의 위상차를 검출하여, 위상차에 반비례하는 전압을 출력한다. 각 지연단에는 지연고정루프의 루프필터에 걸리는 전압과 위상변화-전압 변환기의 출력신호가 제어전압으로 인가되어 지연정도를 조절한다. 루프필터 전압은 각 지연단에 공통으로 인가되어 전체 지연정도를 결정하고, 위상변화-전압 변환기의 출력전압은 지연고정루프가 위상고정이 된 이후 지터로 인해 흔들리는 위상변화를 감지하고, 위상변화에 반비례하는 전압을 지연단에 인가하여, 위상변화를 보상하는 역할을 한다. 주파수 체배기는 엣지검출기(Edge detector)와 펄스 합성기(Pulse combiner)로 구성되며, 각 지연단의 신호를 입력으로 받아 엣지검출기에서 상승엣지를 감지하여 펄스신호로 만들어 펄스 합성기에서 각 펄스신호를 합성하여 높은 주파수의 신호를 출력한다.

## 2. 지연고정루프 회로 설계

본 논문에서 사용한 지연고정루프는 100MHz의 높은 주파수를 입력신호로 사용하기 때문에 발표된 구조의 TSPC-DFE 2개와 NOR게이트로 구성된 위상검출기를 사용하였으며, 전하펌프를 구동하는 신호인, 위상 검출기의 UP/DN 신호 경로에 버퍼를 사용하여 두 신호간의 시간적 불일치를 줄이도록 했다. 전하펌프는 출력노드의 전압이 0.9V일 때 UP전류와 DN전류가 같아지도록 설계하였다<sup>[6]</sup>.

그림 3의 회로는 전압제어지연단에 사용된 지연소자이다. 지연 정도를 결정하는 제어전압은 전압제어 저항을 통해 지연소자에 인가된다. 본 논문에서는 10개의 지연소자로 구성된 전압제어지연단을 사용하며, 100MHz 신호를 입력으로 받아 지연고정루프가 고정이 될 경우 지연소자 하나를 지날 때 마다 1ns씩 신호를 지연시켜 총 10ns의 신호가 지연되도록 설계하였다. 제안한 구조의 전압제어지연단에서는 추가적으로 그림 4(a)의 위상변화-전압 변환기를 사용한다. 각 지연소자의 입력신호와 지연소자를 통과한 지연된 신호를 각각 입력으로 하며, 두 신호간의 위상차이를 전압으로 변환한다. 그림4(b)의  $\phi_1$ ,  $\phi_2$  신호는 각각 스위치와 NMOS를 턴-온 시키는 역할로  $V_n'$ 신호를 입력으로 받아 그림 4(c)의 회로를 이용하여  $\phi_1$ ,  $\phi_2$  신호를 출력한다. 지연

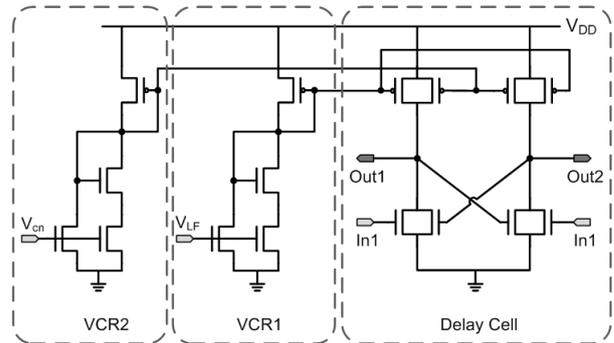
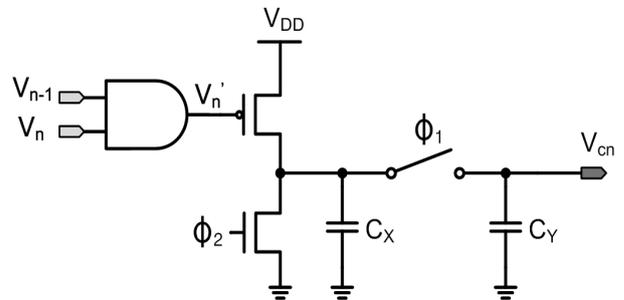
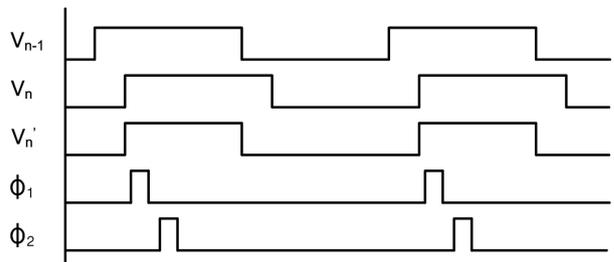


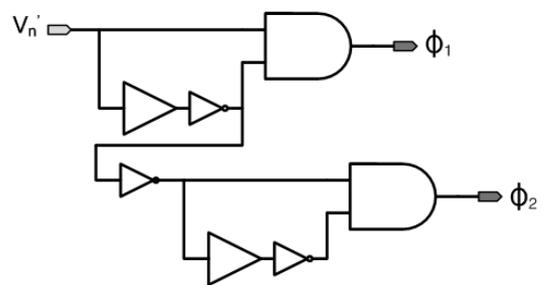
그림 3. 전압제어 저항과 지연소자.  
 Fig. 3. Circuit of Voltage Controlled Resistor & Delay Cell.



(a)



(b)



(c)

그림 4. (a) 위상변화-전압 변환기, (b) 제어신호 타이밍, (c) 제어신호 블럭  
 Fig. 4. (a) Circuit of Phase - variance to Voltage Converter, (b) Control signal timing, (c) Control signal block.

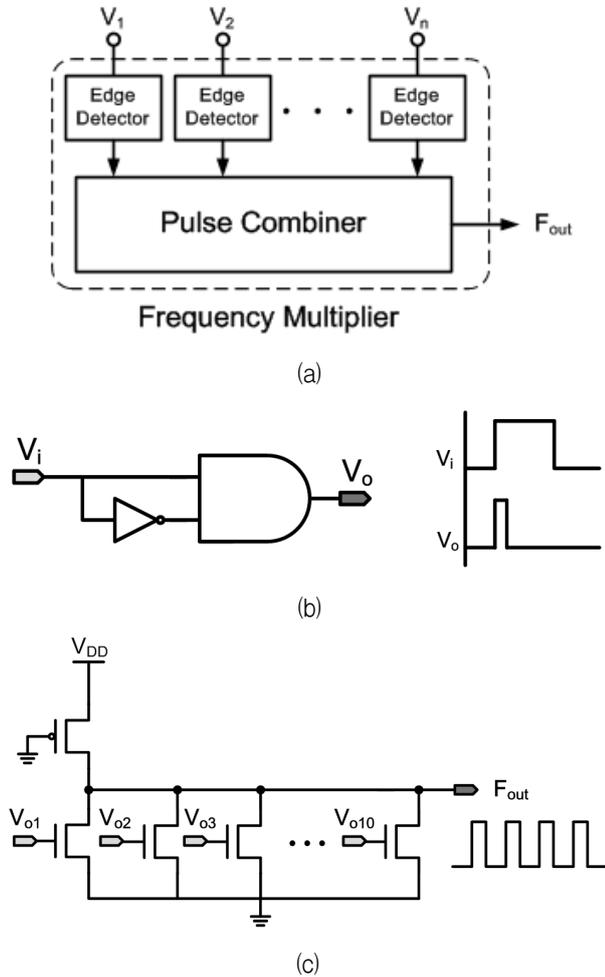


그림 5. (a) 주파수 체배기, (b) 엣지 검출기, (c) 펄스신호 합성기.  
 Fig. 5. (a) Frequency Multiplier, (b) Edge Detector, (c) Pulse Combiner.

고정루프가 고정이 된 경우 두 신호는 1ns의 위상차를 가지며, 이때 0.9V의 전압을 출력하도록 설계하였다. 두 신호의 위상차가 항상 1ns인 경우는 이상적인 경우로써, 노이즈와 기타 요인에 의해 발생하는 지터를 고려해야 한다. 지터로 인해 위상이 당겨지거나 지연되는 경우가 발생하는데 위상이 당겨지는 경우 위상변화-전압 변환기의 PMOS에 인가되는 신호  $V_n$ '이 'Low'가 되는 시간이 짧아져 더 낮은 전압을 출력하고 당겨진 위상을 원래의 위치로 지연시킨다. 반대로 위상이 지연된 경우  $V_n$ '이 'Low'가 되는 시간이 길어져 더 높은 전압을 출력하여 지연된 위상을 원래의 위치로 당겨주는 역할을 한다. 이러한 위상변화-전압 변환기의 동작은 변화하는 위상을 보상하며 결과적으로 지터를 감소시키는 것을 의미한다.

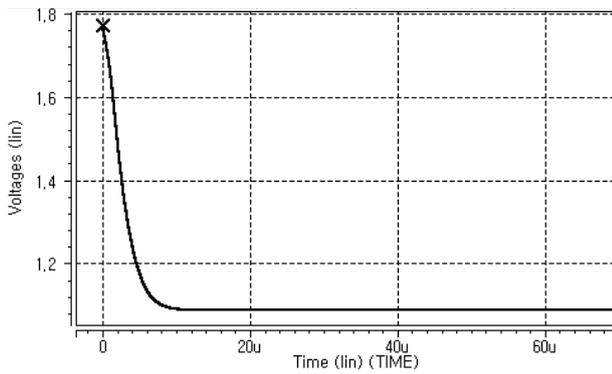
그림 5의 회로는 주파수 체배기로서 엣지 검출기와 펄스신호 합성기로 이루어져 있다. 엣지 검출기는 그림 5(b)와 같은 구조로 되어 있으며 전압제어지연단의 각 단위 지연단에서 받은 클럭 신호의 상승엣지를 감지하고 약간의 지연 시간을 주어 하나의 작은 펄스신호를 만들어 낸다. 펄스신호 합성기는 그림 5(c)와 같고 엣지 검출기에서 만든 펄스신호를 입력으로 받아 주파수 신호로 합성한다. 지연고정루프가 고정이 된 경우 각 지연단의 출력신호는 1ns의 간격을 가지며 주파수 체배기를 통과하여 1GHz의 주파수 신호가 출력이 된다.

### III. 시뮬레이션 결과 및 고찰

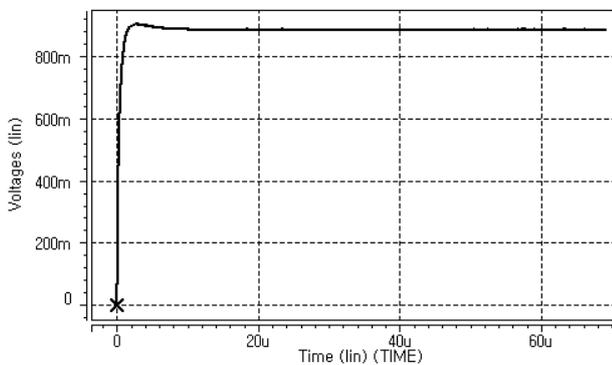
제안된 구조의 지연고정루프를 이용한 클럭신호발생기를 1.8V 0.18 $\mu$ m CMOS 공정 변수를 이용하여 HSPICE로 시뮬레이션을 수행하고 회로의 동작을 검증하였다. 그림 6(a)는 지연고정루프의 루프필터 전압에 대한 시뮬레이션 결과를 보여준다. Harmonic Lock을 방지하기 위하여 초기전압을 1.8V를 인가한 뒤 시뮬레이션을 진행했고, 약 12 $\mu$ s의 고정시간을 가지며 약 1.1V의 전압에서 고정이 된다. 그림 6(b)와 (c)는 위상변화-전압 변환기의 출력파형을 보여준다. 제안된 구조에서는 10개의 위상변화-전압 변환기를 사용하였지만, 임의로 하나의 출력파형을 나타내었으며, 나머지 9개의 출력파형 또한 유사한 형태를 가진다. 이 출력 신호는 약 0.9V 부근에서 고정이 되며, 지연고정루프가 고정이 되고 난 후, 그림 6(c)와 같이  $V_{LF}$ 가 흔들림에 따라 위상변화를 감지하여  $V_{LF}$ 가 움직이는 방향의 반대 방향으로 위상변화-전압 변환기의 전압이 증가하거나 감소하는 형태를 보인다.

그림 7(a)는 주파수 체배기의 출력 신호를 나타내며, 1GHz의 주파수를 가지는 것을 확인할 수 있다. 그림 7(b)는 위상변화-전압 변환기를 추가하지 않은 기본구조의 주파수 체배기의 출력 신호에 대한 지터를 나타내며 최대 32.9ps의 값을 가지며, 제안한 구조의 경우 최대 3.24ps의 값을 가진다.

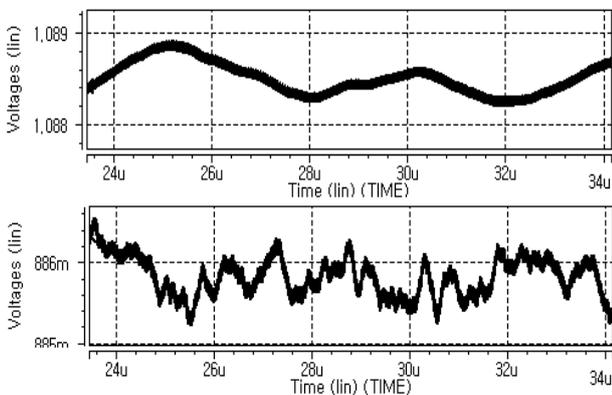
좀 더 정확한 결과를 위해 지연고정루프가 고정이 된 후 출력신호의 주기 200개를 샘플링하여 분산과 표준편차를 구해 표 1에 나타내었으며, 제안한 구조에서 더 낮은 분산 및 표준편차 값을 가지는 것을 확인할 수 있다.



(a)



(b)

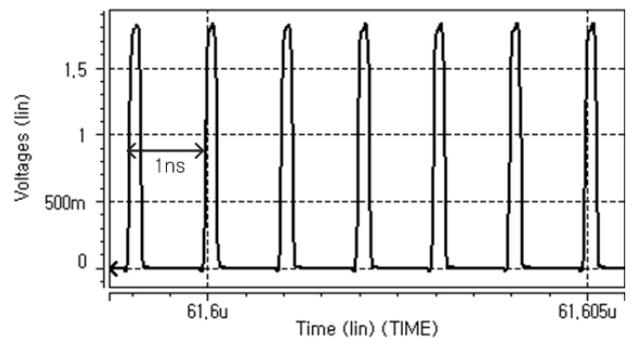


(c)

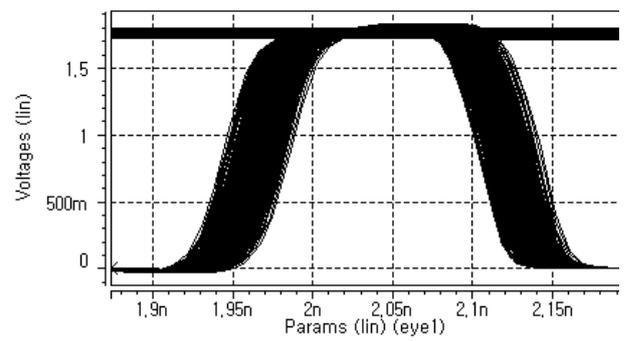
그림 6. (a) 루프필터(VLF)의 시뮬레이션 파형, (b) 위상 변화-전압 변환기의 시뮬레이션 파형, (c) 루프필터 전압(위)과 위상변화-전압 변환기 출력 전압(아래)을 확대한 파형.

Fig. 6. Simulated waveform of (a) VLF, (b) VPVVC, (c) Enlarged waveform at VLF, VPVVC after lock.

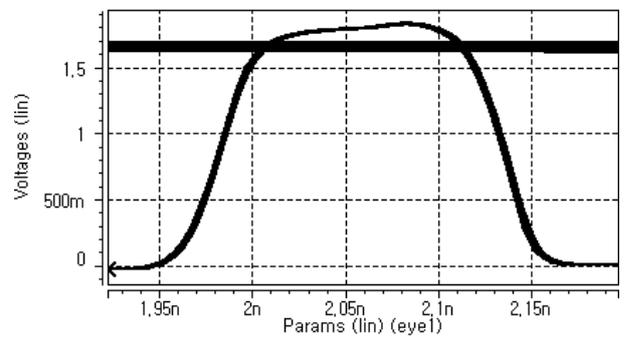
공정 변화에 따라 전압제어 지연단 간의 지연 불일치와 위상변화-전압 변환기 간의 전압 불일치, 그리고 각 지연단의 출력에서 주파수 체배기 사이의 경로 전달 시간 불일치가 발생 할 수 있다. 공정 변화에 따라 출력



(a)



(b)



(c)

그림 7. (a) 제안한 클럭 발생기의 출력파형, (b) 기본 구조의 주파수 체배기 출력신호 지터, (c) 제안한 구조의 주파수 체배기 출력신호 지터.

Fig. 7. (a) Simulated waveform of proposed clock generator, Jitter of (b) basic structure, (c) proposed structure.

지터 값의 변화를 예측하기 위해 위상변화-전압 변환기 간의 전압이  $\pm 5\%$ 가 다르게 출력 되도록 하여 시뮬레이션 하였다. 최대 지터 값은 12% 증가 하였다. 제안한 구조가 최소한의 공정 변화 영향을 받도록 여러 가지 레이아웃 기법을 사용하였다.

그림 8은 루프 필터를 포함한 칩 레이아웃을 나타내며, 전체 크기는  $2270\mu\text{m} \times 520\mu\text{m}$ 이다.

표 1. 기본구조와 제안한 구조의 출력신호 주기에 대한 평균, 분산, 표준편차.

Table 1. The value of period, variance, deviation for basic and proposed structure.

	기본구조	제안한구조
평균(ns)	0.99926	0.99986
분산(ns)	10.958E-5	1.367E-5
표준편차(ns)	10.468E-3	3.698E-3



그림 8. 레이아웃.

Fig. 8. Layout.

#### IV. 결 론

본 논문에서는 낮은 지터를 갖는 지연고정루프를 이용한 클럭 발생기를 제안하였다. 제안된 클럭 발생기에 사용된 지연고정루프는 기존의 전압제어지연단에 위상변화-전압 변환기를 더한 구조로 각 지연단의 위상변화를 감지하여 전압으로 변환한 후 지연단의 제어전압으로 인가된다. 이 때 각 지연단의 위상이 잡음에 의해 당겨지거나 지연될 경우 위상변화-전압 변환기의 출력 전압이 높아지거나 낮아져 위상변화를 보상해주는 역할을 한다.

제안된 주파수 발생기는 1.8V 0.18 $\mu$ m CMOS 공정변수를 이용하여 설계하였고, 지터 측정과 출력신호의 주기에 대한 분산과 표준편차 비교를 통해 기존의 구조에 비해 성능이 향상됨을 확인할 수 있었다.

#### 감사의 글

본 논문은 IDEC에서 제공한 툴을 사용하여 설계하였습니다.

#### 참 고 문 헌

[1] G. Chien and P. R. Gray, "A 900-MHz local oscillator using a DLL-based frequency multiplier technique for PCS applications," IEEE

J. Solid-State Circuits, vol. 35, no. 12, pp. 1996-1999, Dec. 2000.  
 [2] H. H. Chang, J. U. Chang, C. Y. Kuo and S. I. Liu, "A 0.7-2GHz self-calibrated multiphase delay-locked loop," IEEE J. Solid-State Circuits, vol. 41, no. 5, pp. 1051-1061, May. 2006.  
 [3] J. M. Chou, Y. T. Hsieh and J. T. Wu, "Phase averaging and interpolation using resistor strings or resistor rings for multi-phase clock generation," IEEE J. Trans. Circuits Syst. I. vol. 53, no. 5 pp. 984-991, May. 2006.  
 [4] F. Baronti, D. Lunardini, R. Roncella and R. Saletti, "A self-calibrating delay-locked delay line with shunt-capacitor circuit scheme," IEEE J. Solid-State Circuits, vol. 39, no. 2, pp. 384-387, Feb. 2004.  
 [5] K. J. Hsiao and T. C. Lee, "An 8-GHz to 10-GHz distributed DLL for multiphase clock generation," IEEE J. Solid-State Circuits, vol. 44, no. 9, pp. 2478-2487, Sept. 2009.  
 [6] 송윤귀, 최영식 "다중 전하펌프를 이용한 고속 위상고정루프" 전자공학회논문지-SD, 제46권 제2호, 71-77쪽, 2009.2

#### 저 자 소 개



최 영 식(정회원)

1982년 경북대학교 전자공학과 학사 졸업.

1986년 Texas A&M University 전자공학과 석사 졸업.

1993년 Arizona State University 박사 졸업.

1987년~1999년 현대전자 책임연구원

1999년~2003년 동의대학교 전자공학과 교수

2003년~현재 부경대학교 전자공학과 교수

<주관심분야 : PLL, DLL, CDRC 설계>



남 정 훈(정회원)

2011년 부경대학교 전자공학과 학사 졸업.

2011년 부경대학교 전자공학과 석사 입학.

<주관심분야 : PLL, DLL 설계>